

**Ј. БОРЂЕВИЋ, З. РАДИВОЈЕВИЋ,  
Ј. ПРОТИЋ, Д. МИЛИЋЕВ,  
А. МИЛЕНКОВИЋ, Б. НИКОЛИЋ, М. ПУНТ**

**ОСНОВИ  
РАЧУНАРСКЕ  
ТЕХНИКЕ  
II**

**ЗБИРКА РЕШЕНИХ ЗАДАТАКА**

**Београд 2013.**

# САДРЖАЈ

САДРЖАЈ .....	I
<b>1 ПРОЈЕКТОВАЊЕ УРЕЂАЈА .....</b>	<b>1</b>
1.1 СУМА ЧЕТИРИ 8-БИТНЕ РЕЧИ .....	1
1.2 РАСПАКИВАЊЕ ЈЕДНЕ 32-БИТНЕ РЕЧИ У ЧЕТИРИ 8-БИТНЕ РЕЧИ СА БАФЕРОВАЊЕМ .....	7
1.3 ПАКОВАЊЕ ЧЕТИРИ 8-БИТНЕ РЕЧИ СА БАФЕРОВАЊЕМ У ЈЕДНУ 32-БИТНУ РЕЧ .....	12
1.4 РАСПАКИВАЊЕ ЈЕДНЕ 32-БИТНЕ У ЧЕТИРИ 8-БИТНЕ РЕЧИ БЕЗ БАФЕРОВАЊА .....	18
1.5 ПАКОВАЊЕ ЧЕТИРИ 8-БИТНЕ РЕЧИ БЕЗ БАФЕРОВАЊА У ЈЕДНУ 32-БИТНУ РЕЧ .....	22
1.6 САБИРАЊЕ 32-БИТНИХ РЕЧИ САБИРАЊЕМ 8-БИТНИХ РЕЧИ .....	26
1.7 ДРУГИ КОМПЛЕМЕНТ .....	33
1.8 ПАРОВИ ЈЕДНАКИХ ИЛИ РАЗЛИЧИТИХ СУСЕДНИХ БИТОВА .....	39
1.9 ПОЗИЦИЈА ЈЕДИНИЦЕ НАЈВЕЋЕ ИЛИ НАЈМАЊЕ ТЕЖИНЕ .....	46
1.10 РАСТОЈАЊЕ НАЈУДАЉЕНИЈИХ ЈЕДИНИЦА ИЛИ НУЛА .....	53
1.11 ШИФРОВАЊЕ ЗАМЕНОМ МЕСТА .....	60
1.12 ДЕШИФРОВАЊЕ ЗАМЕНОМ МЕСТА .....	66
1.13 КОДИРАЊЕ СА ИНВЕРТОВАЊЕМ НА 1 .....	72
1.14 ДЕКОДИРАЊЕ ОД ИНВЕРТОВАЊА НА 1 .....	78
1.15 ОДУЗИМАЊЕ 16-БИТНИХ РЕЧИ .....	84
1.16 СЕРИЈСКО САБИРАЊЕ .....	90
1.17 ПОМЕРАЊЕ УЛЕВО .....	94
1.18 ПОМЕРАЊЕ УДЕСНО .....	98
1.19 ГЕНЕРИСАЊЕ БИТА ПАРНОСТИ .....	103
1.20 ПРОВЕРА БИТА ПАРНОСТИ .....	109
1.21 ГЕНЕРИСАЊЕ БИТА ПРОВЕРЕ .....	114
1.22 ПРОВЕРА БИТА ПРОВЕРЕ .....	118
1.23 НАЈДУЖИ НИЗ УЗАСТОПНИХ ЈЕДИНИЦА ИЛИ НУЛА .....	122
1.24 БИНАРНА РЕЧ СА ДУЖИМ НИЗОМ УЗАСТОПНИХ ЈЕДИНИЦА .....	128
1.25 ШИФРОВАЊЕ .....	132
1.26 ЧЕТИРИ ОПЕРАЦИЈЕ - CLC, ZERO, TRN И ADJ .....	138
1.27 НАЈЧЕШЋЕ ПРИМЉЕНА РЕЧ .....	144
1.28 АУТОМАТ ЗА ПРОДАЈУ ПРОИЗВОДА .....	150
1.29 МИНИМУМ И МАКСИМУМ .....	158
1.30 ДВА МАКСИМУМА .....	163
1.31 ДОХВАТАЊЕ ПОДАКА СА ЧЕКАЊЕМ .....	168
1.32 ПРОГРАМАТОР .....	171
1.33 ПРОСЛЕЂИВАЊЕ ПОРУКА СА ЧЕКАЊЕМ .....	175
<b>2 ЛИТЕРАТУРА .....</b>	<b>178</b>

# 1 ПРОЈЕКТОВАЊЕ УРЕЂАЈА

## 1.1 СУМА ЧЕТИРИ 8-БИТНЕ РЕЧИ

Реализовати уређај Р за спрегу између уређаја UA и UB. Уређај Р треба од уређаја UA да прими паралелно 32-битну бинарну реч, да је подели на четири 8-битне бинарне речи, да израчуна њихов збир и да тако добијену 10-битну бинарну реч збира пошаље уређају UB. Код израчунавања збира 8-битне бинарне речи треба интерпретирати као целобројне вредности без знака. Операција треба да се понавља циклично. Уређаји UA, Р и UB треба раде синхронно на исти сигнал такта.

Уређај UA шаље уређају Р 32-битну бинарну реч по линијама података  $DAP_{31..0}$ , при чему је бит 31 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја UA и Р користе се статусни сигнал SPA и управљачки сигнал CAP. Вредностима 0 и 1 сигнала SPA уређај Р шаље уређају UA индикацију када не може и када може да прими 32-битну бинарну реч, респективно. Вредношћу 1 сигнала CAP, трајања једна периода сигнала такта, уређај UA шаље уређају Р команду да треба да прими 32-битну бинарну реч, при чему уређај UA то чини када утврди да уређај Р на статусној линији SPA држи вредност 1.

Уређај Р шаље уређају UB 10-битну бинарну реч збира по линијама података  $DPB_{9..0}$ , при чему је бит 9 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја Р и UB користе се статусни сигнал SBP и управљачки сигнал CPB. Вредностима 0 и 1 сигнала SBP уређај UB шаље уређају Р индикацију када не може и када може да прими 10-битну бинарну реч, респективно. Вредношћу 1 сигнала CPB, трајања једна периода сигнала такта, уређај Р шаље уређају UB команду да треба да прими 9-битну бинарну реч, при чему уређај Р то чини када утврди да уређај UB на статусној линији SBP држи вредност 1.

Претпоставити да су на почетку на статусним линијама SPA и SBP налазе вредности 0.

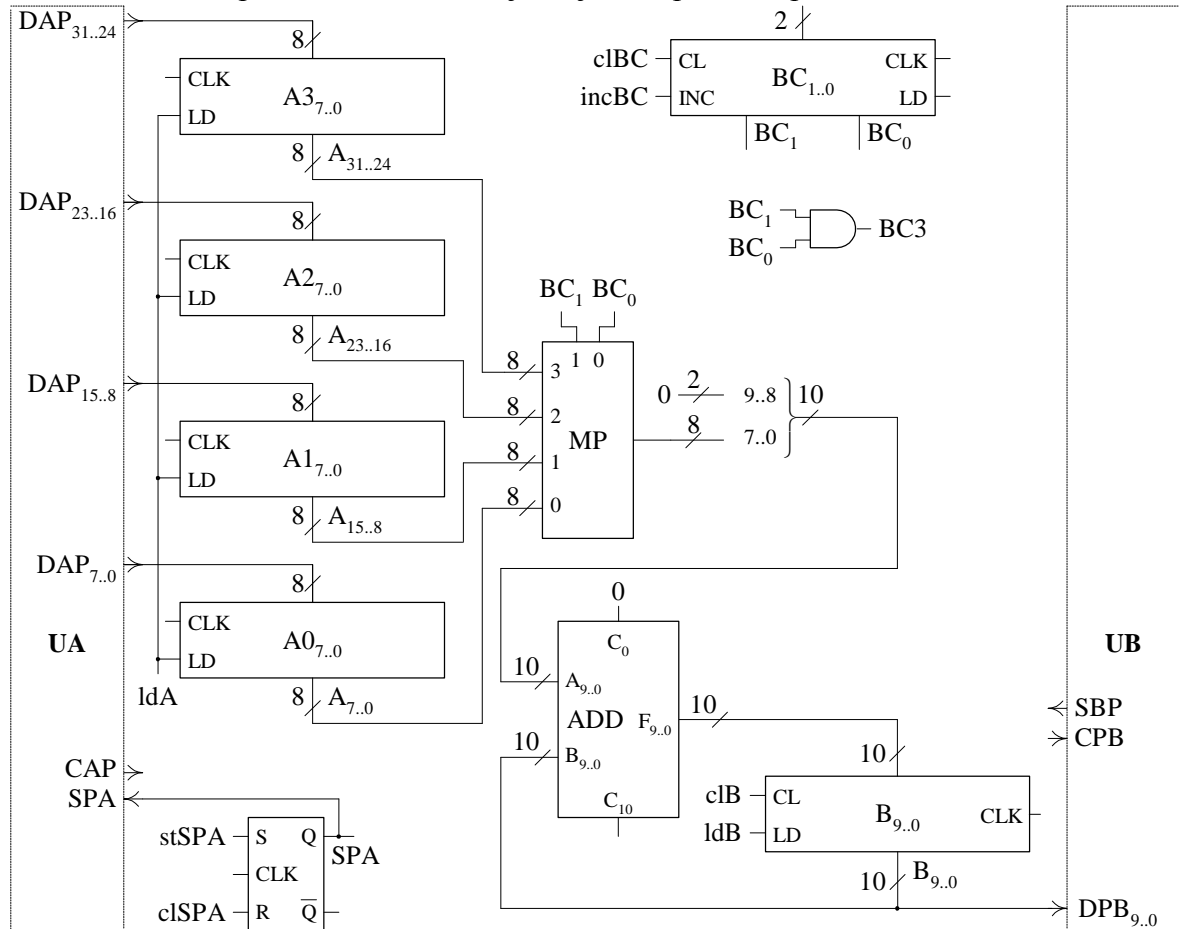
- а) Нацртати структурну шему операционе јединице уређаја Р.
- б) Нацртати дијаграме тока управљачких сигнала операционе јединице и управљачке јединице уређаја Р.
- в) Нацртати структурну шему управљачке јединице уређаја Р реализоване помоћу бројача корака и декодера и дати изразе за генерисање управљачких сигнала операционе јединице и управљачке јединице уређаја Р.

### Решење:

- а) Структурна шема операционе јединице приказана је на слици 1.а.

Четири 8-битне бинарне речи за које се тражи сума се прихватају од уређаја UA у 8-битним регистрима  $A3_{7..0}$ ,  $A2_{7..0}$ ,  $A1_{7..0}$  и  $A0_{7..0}$ , њихова сума се формира у 10-битном регистру  $B_{9..0}$  и из њега шаље уређају UB. Сабирање се реализује у четири итерације, при чему се у свакој итерацији сабира садржај регистра  $B_{9..0}$  и садржај једног од регистара  $A0_{7..0}$ ,  $A1_{7..0}$ ,  $A2_{7..0}$  и  $A3_{7..0}$ , а резултат уписује у регистар  $B_{9..0}$ . Почетни садржај регистра  $B_{9..0}$  је нула, док крајњи садржај регистра  $B_{9..0}$  после четврте итерације представља тражену суму. Сабирање се реализује коришћењем 10-разредног сабирача ADD на чији улаз А се доводе мултиплексирани садржаји регистара  $A0_{7..0}$ ,  $A1_{7..0}$ ,  $A2_{7..0}$  и

$A_{37..0}$ , а на улаз  $B$  садржај регистра  $B_{9..0}$ . Мултиплексирање садржаја регистра  $A_{07..0}$ ,  $A_{17..0}$ ,  $A_{27..0}$  и  $A_{37..0}$  се реализује вредностима 00 до 11 бројача  $BC_{1..0}$ . Почетна вредност бројача  $BC_{1..0}$  је нула, а његов садржај се после сваке итерације инкрементира. Када садржај бројача  $BC_{1..0}$  достигне вредност 3, сигнал  $BC3$  добија вредност 1. Вредност 1 сигнала  $BC3$  се користи као индикација да је сабирање завршено.



Слика 1.а Структурна шема операционе јединице

Операциона јединица садржи регистре  $A_{37..0}$ ,  $A_{27..0}$ ,  $A_{17..0}$  и  $A_{07..0}$ , бројач  $BC_{1..0}$ , мултиплексер  $MP$ , регистар  $B_{9..0}$ , сабирач  $ADD$  и флип-флоп  $SPA$ .

Регистри  $A_{37..0}$ ,  $A_{27..0}$ ,  $A_{17..0}$  и  $A_{07..0}$  су 8-разредни регистри са паралелним уписом и читањем. У регистре  $A_{37..0}$ ,  $A_{27..0}$ ,  $A_{17..0}$  и  $A_{07..0}$  се вредношћу 1 сигнала  $ldA$  уписују четири 8-битне бинарне речи које по линијама  $DA_{31..24}$ ,  $DA_{23..16}$ ,  $DA_{15..8}$  и  $DA_{7..0}$ , респективно, долазе из уређаја  $UA$ . Излази регистра  $A_{37..0}$ ,  $A_{27..0}$ ,  $A_{17..0}$  и  $A_{07..0}$  се воде на улазе 3, 2, 1 и 0, респективно, мултиплексера  $MP$ .

Бројач  $BC_{1..0}$  је 2-разредни инкрементирајући бројач чијим се вредностима од 00 до 11 приликом сабирања кроз мултиплексер  $MP$  на улазе  $A_{9..0}$  сабирача  $ADD$  доводе редом садржаји регистра  $A_{07..0}$ ,  $A_{17..0}$ ,  $A_{27..0}$  и  $A_{37..0}$ . Поред тога, вредност 1 сигнала  $BC3$ , која се формира када бројач  $BC_{1..0}$  инкрементирањем достигне вредност три, користи се као сигнал логичког услова да сабирање садржаја регистра  $A_{07..0}$ ,  $A_{17..0}$ ,  $A_{27..0}$  и  $A_{37..0}$  и садржаја регистра  $B_{9..0}$  треба завршити.

Мултиплексер  $MP$  је 8-разредни мултиплексер на чијим излазима се појављује 8-битни садржај једног од регистра  $A_{07..0}$ ,  $A_{17..0}$ ,  $A_{27..0}$  или  $A_{37..0}$ , са улаза 0, 1, 2 и 3, респективно. Селекција садржаја једног од регистра са улаза мултиплексера се реализује сигнаlima  $BC_1$  и  $BC_0$  са излаза инкрементирајућег бројача  $BC_{1..0}$ .

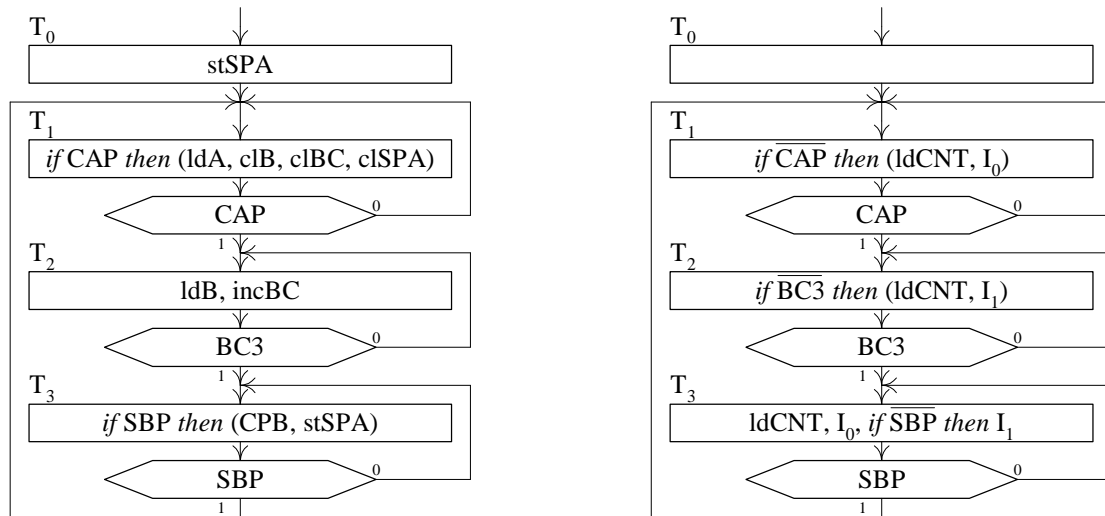
Селектовани 8-битни садржај са излаза мултиплексера MP проширен нулама на 10-битну вредност се води на улазе  $A_{9..0}$  сабирача ADD.

Регистар  $V_{9..0}$  је 10-разредни регистар са паралелним уписом и читањем. Управљачким сигналом **clB** садржај регистра  $V_{9..0}$  се на почетку поставља на нулу. Током срачунавања суме садржај са излаза регистра  $V_{9..0}$  се води на улазе  $V_{9..0}$  сабирача ADD. Парцијална сума садржаја регистра  $V_{9..0}$  и једног од регистра  $A_{07..0}$ ,  $A_{17..0}$ ,  $A_{27..0}$  и  $A_{37..0}$  проширеног нулама на 10-битну вредност се са излаза сабирача ADD сигналом **ldB** уписује у регистар  $V_{9..0}$ . По завршетку срачунавања суме садржај са излаза регистра  $V_{9..0}$  представља 10-битну бинарну реч коју уређај P по линијама  $DPB_{9..0}$  шаље уређају UB.

Сабирач ADD је 10-разредни сабирач на чије улазе  $A_{9..0}$  и  $V_{9..0}$  се воде 8-битни садржај са излаза мултиплексера MP проширен нулама на 10-битну вредност и садржај регистра  $V_{9..0}$ , респективно. Сабирање четири 8-битне вредности даје резултат за чије представљање је потребно 10 битова. Због тога постоји потреба да се користе 10-разредни сабирач ADD и регистар  $V_{9..0}$ , као и да се мултиплексирани садржај једног од регистра  $A_{07..0}$ ,  $A_{17..0}$ ,  $A_{27..0}$  и  $A_{37..0}$  прошири нулама на 10-битну вредност.

У флип-флоп SPA се вредношћу 1 управљачког сигнала **stSPA** уписује вредност 1 онда када је уређај P спреман да прими садржај са линија  $DAP_{31..0}$ , а вредношћу 1 управљачког сигнала **clSPA** вредност 0, онда када није спреман.

б) Дијаграми тока управљачких сигнала операционе и управљачке јединице дати су на слици 1.б.



Слика 1.б Дијаграми тока управљачких сигнала операционе и управљачке јединице

У кораку  $T_0$  се генерише вредност 1 управљачког сигнала **stSPA**, па се на сигнал такта у флип-флоп SPA уписује вредност 1 и прелази на корак  $T_1$ . Уписивањем вредности 1 у флип-флоп SPA уређај P сигнализира уређају UA да је спреман да од уређаја UA прими четири 8-битне бинарне речи по линијама података  $DAP_{31..0}$ .

У кораку  $T_1$  се остаје све време док сигнал **CAP** има вредност 0. Поред тога, све време док сигнал **CAP** има вредност 0 и сигнали **ldA**, **clB**, **clBC** и **clSPA** имају вредност 0. Вредношћу 1 сигнала **CAP** трајања једна периода сигнала такта, уређај UA сигнализира уређају P да се на линијама података  $DAP_{31..0}$  налазе важеће четири 8-битне бинарне речи. У кораку  $T_1$  се при вредности 1 сигнала **CAP** генеришу вредности 1 управљачких сигнала **ldA**, **clB**, **clBC** и **clSPA**, па се на сигнал такта у регистре  $A_{37..0}$ ,  $A_{27..0}$ ,  $A_{17..0}$  и  $A_{07..0}$ , уписује садржај са линијама података  $DAP_{31..0}$ , регистар  $V_{9..0}$  и

бројач  $BC_{1..0}$  бришу а у флип-флоп SPA уписује вредност 0 и прелази на корак  $T_2$ . Уписивањем вредности 0 у флип-флоп SPA уређај P сигнализира уређају UA да до даљег није спреман да од уређаја UA прими четири 8-битне бинарне речи по линијама података  $DAP_{31..0}$ .

У кораку  $T_2$  се остаје четири периоде сигнала такта, па се прелази на корак  $T_3$ . За време четири периоде сигнала такта сигнали **ldB** и **incBC** имају вредност један, па се врши акумулативно сабирање садржаја регистра  $V_{9..0}$  и редом регистара  $A0_{7..0}$ ,  $A1_{7..0}$ ,  $A2_{7..0}$  и  $A3_{7..0}$ . За време прве периоде сигнала такта, садржај регистра  $A0_{7..0}$ , који се вредношћу нула бројача  $BC_{1..0}$  пропушта кроз мултиплексер MP, се сабира са садржајем регистра  $V_{9..0}$ , који тада има вредност нула, и њихива сума сигналом **ldB** уписује у регистар  $V_{9..0}$ . Тада се сигналом **incBC** врши инкрементирање бројача  $BC_{1..0}$  на вредност један. На сличан начин се за време друге периоде сигнала такта врши уписивање суме регистара  $A1_{7..0}$  и  $V_{9..0}$  у регистар  $V_{9..0}$  и инкрементирање бројача  $BC_{1..0}$  на вредност два. За време треће периоде сигнала такта врши се уписивање суме регистара  $A2_{7..0}$  и  $V_{9..0}$  у регистар  $V_{9..0}$  и инкрементирање бројача  $BC_{1..0}$  на вредност три. Коначно за време четврте периоде сигнала такта врши се уписивање суме регистара  $A3_{7..0}$  и  $V_{9..0}$  у регистар  $V_{9..0}$ , инкрементирање бројача  $BC_{1..0}$  на вредност нула и прелазак на корак  $T_3$ . Стога приликом прва три проласка кроз корак  $T_2$  сигнал **BC3** има вредност 0, а приликом четвртог проласка вредност 1.

У кораку  $T_3$  се остаје све време док сигнал **SBP** има вредност 0. Вредношћу 0 сигнала **SBP** уређај UB сигнализира уређају P да није спреман да прихвати резултат са линија података  $DPV_{9..0}$ , па све време док сигнал **SBP** има вредност 0 и сигнали **CPB** и **stSPA** имају вредност 0. Вредношћу 1 сигнала **SBP**, уређај UB сигнализира уређају P да је спреман да прихвати резултат са линија података  $DPV_{9..0}$ . У кораку  $T_3$  се при вредности 1 сигнала **SBP** генеришу вредности 1 управљачких сигнала **CPB** и **stSPA**. Вредношћу 1 сигнала **CPB** се омогућава да на први следећи сигнал такта уређај UB упише резултат са линија података  $DPV_{9..0}$  у неки свој прихватни регистар, док се вредношћу 1 сигнала **stSPA** у флип-флоп SPA уписује вредност 1. На исти сигнал такта се прелази на корак  $T_1$ . Уписивањем вредности 1 у флип-флоп SPA уређај P сигнализира уређају UA да је сада спреман да од уређаја UA прими следеће четири 8-битне бинарне речи по линијама података  $DAP_{31..0}$ .

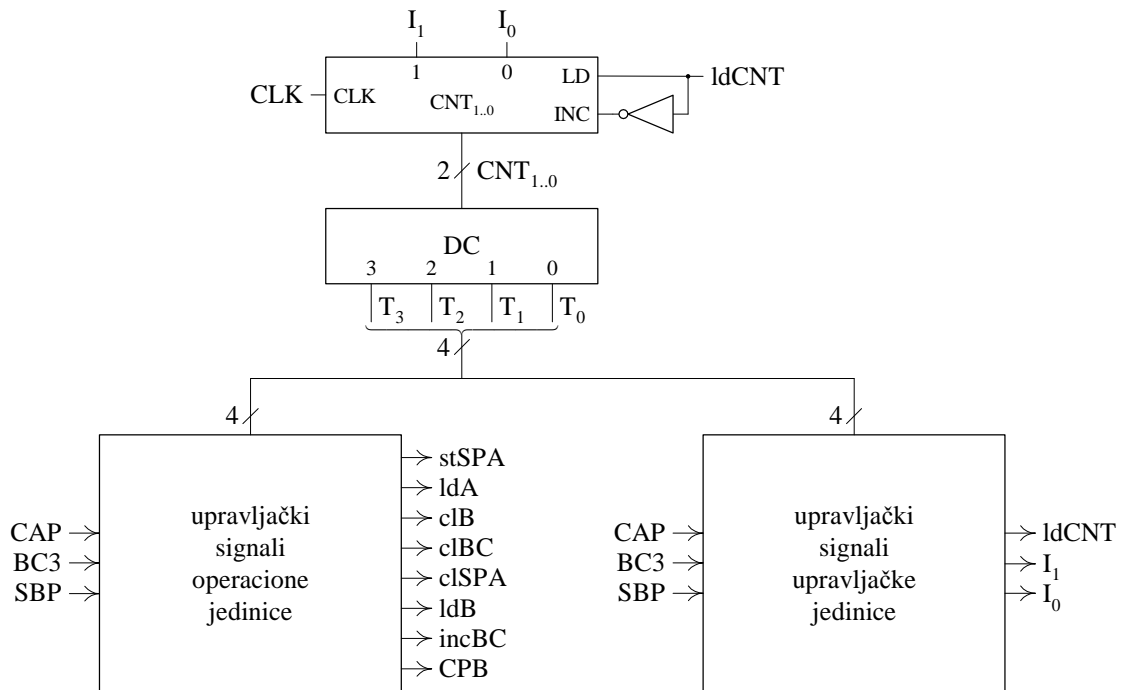
Повратком у корак  $T_1$  се прелази на примање следеће четири 8-битне бинарне речи од уређаја UA.

в) Структурна шема управљачке јединице реализоване помоћу бројача корака и декодера приказана је на слици 1.в.

У кораку  $T_0$  треба да се остане само једна периода сигнала такта и да се на први сигнал такта пређе на корак  $T_1$ . У кораку  $T_0$  сигнал **ldCNT** има вредност 0, па су на улазима LD и INC бројача  $CNT_{1..0}$  вредности 0 и 1, респективно. Стога се на први сигнал такта садржај бројача  $CNT_{1..0}$  инкрементира и прелази на корак  $T_1$ .

У кораку  $T_1$  треба да се остане све време док сигнал **SAP** има вредност 0, а на корак  $T_1$  треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал **SAP** добија вредност 1. Све време док сигнал **SAP** има вредност 0 сигнали **ldCNT** и  $I_0$  имају вредност 1, па су на улазима LD и INC бројача  $CNT_{1..0}$  вредности 1 и 0, респективно, а на паралелним улазима бројача  $CNT_{1..0}$  је бинарна вредност 01. На сигнал такта у бројач  $CNT_{1..0}$  се уписује вредност 01, па се остаје у кораку  $T_1$ . На сигнал такта на који сигнал **SAP** добија вредност 1 сигнали **ldCNT** и  $I_0$  добијају вредност 0, па су на улазима LD и INC бројача  $CNT_{1..0}$  вредности 0 и 1, респективно.

Стога се на први следећи сигнал такта садржај бројача  $CNT_{1...0}$  инкрементира и прелази на корак  $T_2$ .



Слика 1.в Структурна шема управљачке јединице

У кораку  $T_2$  треба да се остане све време док сигнал **BC3** има вредност 0, а на корак  $T_3$  треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал **BC3** добија вредност 1. Све време док сигнал **BC3** има вредност 0 сигнали  $ldCNT$  и  $I_1$  имају вредност 1, па су на улазима  $LD$  и  $INC$  бројача  $CNT_{1...0}$  вредности 1 и 0, респективно, а на паралелним улазима бројача  $CNT_{1...0}$  је бинарна вредност 10. На сигнал такта у бројач  $CNT_{1...0}$  се уписује вредност 01, па се остаје у кораку  $T_2$ . На сигнал такта на који сигнал **BC3** добија вредност 1 сигнали  $ldCNT$  и  $I_1$  добијају вредност 0, па су на улазима  $LD$  и  $INC$  бројача  $CNT_{1...0}$  вредности 0 и 1, респективно. Стога се на први следећи сигнал такта садржај бројача  $CNT_{1...0}$  инкрементира и прелази на корак  $T_3$ .

У кораку  $T_3$  треба да се остане све време док сигнал **SBP** има вредност 0, а на корак  $T_1$  треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал **SBP** добија вредност 1. У кораку  $T_3$  сигнал  $ldCNT$  има вредност 1, па су на улазима  $LD$  и  $INC$  бројача  $CNT_{1...0}$  вредности 1 и 0, респективно. Стога се на сигнал такта увек врши уписивање у бројач  $CNT_{1...0}$ . Како у кораку  $T_3$  и сигнал  $I_0$  увек има вредност 1, вредност која ће се уписивати зависи од тога да ли сигнал  $I_1$  има вредност 1 или 0. Све време док сигнал **SBP** има вредност 0, сигнал  $I_1$  има вредност 1, па је на паралелним улазима бројача  $CNT_{1...0}$  бинарна вредност 11. На сигнал такта у бројач  $CNT_{1...0}$  се уписује вредност 11, па се остаје у кораку  $T_3$ . На сигнал такта на који сигнал **SBP** добија вредност 1, сигнал  $I_1$  добија вредност 0, па је на паралелним улазима бројача  $CNT_{1...0}$  бинарна вредност 01. Стога се на први следећи сигнал такта у бројач  $CNT_{1...0}$  уписује вредност 01, па се прелази на корак  $T_1$ .

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$stSPA = T_0 + SBP \cdot T_3$$

$$ldA = CAP \cdot T_1$$

$$clB = CAP \cdot T_1$$

$$clBC = CAP \cdot T_1$$

$$c\text{SPA} = \text{CAP} \cdot \text{T}_1$$

$$l\text{dB} = \text{T}_2$$

$$i\text{ncBC} = \text{T}_2$$

$$\text{CPB} = \text{SBP} \cdot \text{T}_3$$

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$l\text{dCNT} = \overline{\text{CAP}} \cdot \text{T}_1 + \overline{\text{BC3}} \cdot \text{T}_2 + \text{T}_3$$

$$\text{I}_0 = \overline{\text{CAP}} \cdot \text{T}_1 + \text{T}_3$$

$$\text{I}_1 = \overline{\text{BC3}} \cdot \text{T}_2 + \overline{\text{SBP}} \cdot \text{T}_3$$



## 1.2 РАСПАКИВАЊЕ ЈЕДНЕ 32-БИТНЕ РЕЧИ У ЧЕТИРИ 8-БИТНЕ РЕЧИ СА БАФЕРОВАЊЕМ

Реализовати уређај Р за спрегу између уређаја UA и UB. Уређај Р треба од уређаја UA да прими паралелно 32-битну бинарну реч, да је подели на четири 8-битне бинарне речи и да тако добијене 8-битне бинарне речи уз баферовање у посебном 8-разредном регистру шаље једну за другом редом од најмлађе до најстарије уређају UB. Операција треба да се понавља циклично. Уређаји UA, Р и UB треба раде синхроно на исти сигнал такта.

Уређај UA шаље уређају Р 32-битну бинарну реч по линијама података  $DAP_{31..0}$ , при чему је бит 31 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја UA и Р користе се статусни сигнал SPA и управљачки сигнал CAP. Вредностима 0 и 1 сигнала SPA уређај Р шаље уређају UA индикацију када не може и када може да прими 32-битну бинарну реч, респективно. Вредношћу 1 сигнала CAP, трајања једна периода сигнала такта, уређај UA шаље уређају Р команду да треба да прими 32-битну бинарну реч, при чему уређај UA то чини када утврди да уређај Р на статусној линији SPA држи вредност 1.

Уређај Р шаље уређају UB једну 8-битну бинарну реч збира по линијама података  $DPB_{7..0}$ , при чему је бит 7 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја Р и UB користе се статусни сигнал SBP и управљачки сигнал CPB. Вредностима 0 и 1 сигнала SBP уређај UB шаље уређају Р индикацију када не може и када може да прими 8-битну бинарну реч, респективно. Вредношћу 1 сигнала CPB, трајања једна периода сигнала такта, уређај Р шаље уређају UB команду да треба да прими 8-битну бинарну реч, при чему уређај Р то чини када утврди да уређај UB на статусној линији SBP држи вредност 1.

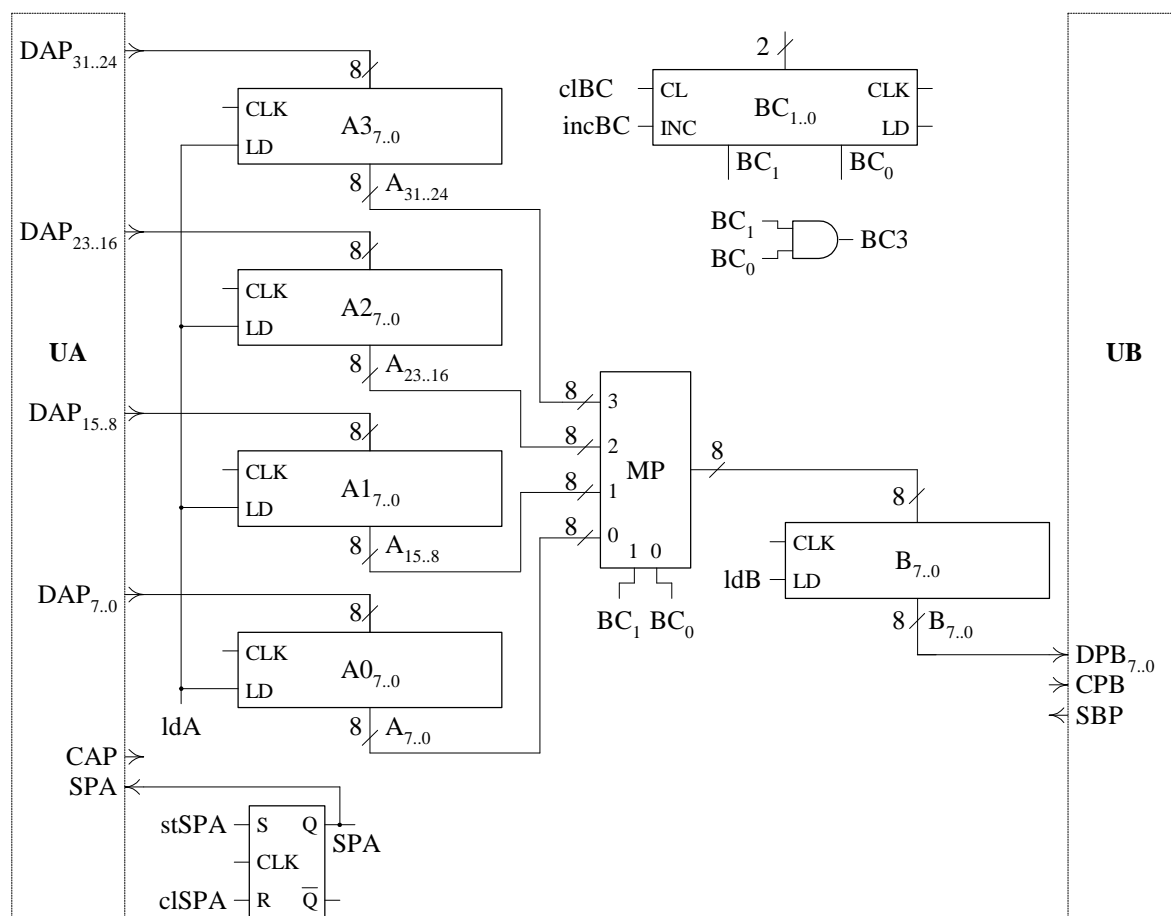
Претпоставити да су на почетку на статусним линијама SPA и SBP налазе вредности 0.

- а) Нацртати структурну шему операционе јединице уређаја Р.
- б) Нацртати дијаграме тока управљачких сигнала операционе јединице и управљачке јединице уређаја Р.
- в) Нацртати структурну шему управљачке јединице уређаја Р реализоване помоћу бројача корака и декодера и дати изразе за генерисање управљачких сигнала операционе јединице и управљачке јединице уређаја Р.

### Решење:

- а) Структурна шема операционе јединице приказана је на слици 2.а.

Уређај Р прима паралелно од уређаја UA 32-битну бинарну реч и разреде 31...24, 23...16, 15...8 и 7...0 подељене на четири 8-битне бинарне речи смешта у 8-битне регистре  $A3_{7..0}$ ,  $A2_{7..0}$ ,  $A1_{7..0}$  и  $A0_{7..0}$ , тако да у регистар  $A3_{7..0}$  смешта најстарију а у регистар  $A0_{7..0}$  најмлађу 8-битну бинарну реч. Уређај Р шаље уређају UB четири 8-битне бинарне речи једну за другом редом од најмлађе до најстарије у четири итерације. У свакој итерацији се најпре мултиплексирани садржај једног од регистара  $A0_{7..0}$ ,  $A1_{7..0}$ ,  $A2_{7..0}$  и  $A3_{7..0}$  баферује уписивањем у регистар  $B_{7..0}$ , а затим из регистра  $B_{7..0}$  шаље уређају UB. Мултиплексирање садржаја регистара  $A0_{7..0}$ ,  $A1_{7..0}$ ,  $A2_{7..0}$  и  $A3_{7..0}$  се реализује вредностима 00 до 11 бројача  $BC_{1..0}$ . Почетна вредност бројача  $BC_{1..0}$  је нула, а његов садржај се после сваке итерације инкрементира. Када садржај бројача  $BC_{1..0}$  достигне вредност 3, сигнал **BC3** добија вредност 1. Вредност 1 сигнала **BC3** се користи као индикација да је слање четири 8-битне бинарне речи завршено.



Слика 2.а Структурна шема операционе јединице

Операциона јединица садржи регистре  $A_{3_{7..0}}$ ,  $A_{2_{7..0}}$ ,  $A_{1_{7..0}}$  и  $A_{0_{7..0}}$ , бројач  $BC_{1..0}$ , мултиплексер  $MP$ , регистар  $B_{7..0}$  и флип-флоп  $SPA$ .

Регистри  $A_{3_{7..0}}$ ,  $A_{2_{7..0}}$ ,  $A_{1_{7..0}}$  и  $A_{0_{7..0}}$  су 8-разредни регистри са паралелним уписом и читањем. У регистре  $A_{3_{7..0}}$ ,  $A_{2_{7..0}}$ ,  $A_{1_{7..0}}$  и  $A_{0_{7..0}}$  се вредношћу 1 сигнала  $ldA$  уписује 32-битна бинарна реч која по линијама  $DA_{31..24}$ ,  $DA_{23..16}$ ,  $DA_{15..8}$  и  $DA_{7..0}$ , респективно, долази из уређаја  $UA$ . Излази регистара  $A_{3_{7..0}}$ ,  $A_{2_{7..0}}$ ,  $A_{1_{7..0}}$  и  $A_{0_{7..0}}$  се воде на улазе 3, 2, 1 и 0, респективно, мултиплексера  $MP$ .

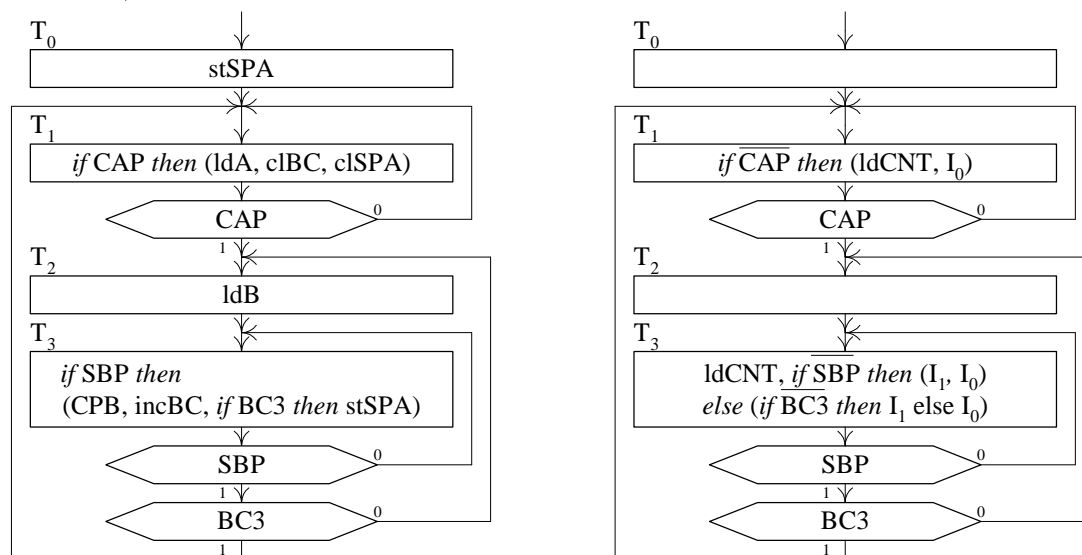
Бројач  $BC_{1..0}$  је 2-разредни инкрементирајући бројач чијим се вредностима од 00 до 11 кроз мултиплексер  $MP$  на улазе регистра  $B_{7..0}$  доводе редом садржаји регистара  $A_{0_{7..0}}$ ,  $A_{1_{7..0}}$ ,  $A_{2_{7..0}}$  и  $A_{3_{7..0}}$ . Поред тога, вредност 1 сигнала  $BC3$ , која се формира када бројач  $BC_{1..0}$  инкрементирањем достигне вредност три, користи се као сигнал логичког услова да слање садржаја регистара  $A_{0_{7..0}}$ ,  $A_{1_{7..0}}$ ,  $A_{2_{7..0}}$  и  $A_{3_{7..0}}$  преко регистра  $B_{7..0}$  по линијама  $DB_{7..0}$  у уређај  $UB$  треба завршити и прећи на примање следеће 32-битне бинарне речи.

Мултиплексер  $MP$  је 8-разредни мултиплексер на чијим излазима се појављује 8-битни садржај једног од регистара  $A_{0_{7..0}}$ ,  $A_{1_{7..0}}$ ,  $A_{2_{7..0}}$  и  $A_{3_{7..0}}$  са улаза 0, 1, 2 и 3, респективно. Селекција садржаја једног од регистара са улаза мултиплексера се реализује сигнаlima  $BC_1$  и  $BC_0$  са излаза инкрементирајућег бројача  $BC_{1..0}$ . Селектовани 8-битни садржај са излаза мултиплексера  $MP$  се води на улазе регистра  $B_{7..0}$ .

Регистар  $V_{7..0}$  је 8-разредни регистар са паралелним уписом и читањем. Селектовани садржај једног од регистара  $A_{07..0}$ ,  $A_{17..0}$ ,  $A_{27..0}$  и  $A_{37..0}$ , са излаза мултиплексера  $MP$  се води на улазе регистра  $V_{7..0}$ . Садржај са излаза регистра  $V_{7..0}$  представља 8-битну бинарну реч коју уређај  $P$  по линијама  $DB_{7..0}$  шаље уређају  $UB$ .

У флип-флоп  $SPA$  се вредношћу 1 управљачког сигнала  $stSPA$  уписује вредност 1 онда када је уређај  $P$  спреман да прими садржај са линија  $DAP_{31..0}$ , а управљачким сигналом  $clSPA$  вредност 0, онда када није спреман.

б) Дијаграм тока управљачких сигнала операционе и управљачке јединице приказан је на слици 2.б.



Слика 2.б Дијаграми тока управљачких сигнала операционе и управљачке јединице

У кораку  $T_0$  се генерише вредност 1 управљачког сигнала  $stSPA$ , па се на сигнал такта у флип-флоп  $SPA$  уписује вредност 1 и прелази на корак  $T_1$ . Уписивањем вредности 1 у флип-флоп  $SPA$  уређај  $P$  сигнализира уређају  $UA$  да је спреман да од уређаја  $UA$  прими 32-битну бинарну реч по линијама података  $DAP_{31..0}$ .

У кораку  $T_1$  се остаје све време док сигнал  $CAP$  има вредност 0. Поред тога, све време док сигнал  $CAP$  има вредност 0 и сигнали  $ldA$ ,  $clBC$  и  $clSPA$  имају вредност 0. Вредношћу 1 сигнала  $CAP$  трајања једна периода сигнала такта, уређај  $UA$  сигнализира уређају  $P$  да се на линијама података  $DAP_{31..0}$  налазе важећа 32-битна бинарна реч. У кораку  $T_1$  се при вредности 1 сигнала  $CAP$  генеришу вредности 1 управљачких сигнала  $ldA$ ,  $clBC$  и  $clSPA$ , па се на сигнал такта у регистре  $A_{37..0}$ ,  $A_{27..0}$ ,  $A_{17..0}$  и  $A_{07..0}$ , уписује садржај са линијама података  $DAP_{31..0}$ , бројач  $BC_{1..0}$  брише а у флип-флоп  $SPA$  уписује вредност 0 и прелази на корак  $T_2$ . Уписивањем вредности 0 у флип-флоп  $SPA$  уређај  $P$  сигнализира уређају  $UA$  да до даљег није спреман да од уређаја  $UA$  прима 32-битне бинарне речи по линијама података  $DAP_{31..0}$ .

У корацима  $T_2$  и  $T_3$  се остаје онолико периода сигнала такта колико је неопходно да се у четири итерације из примљене 32-битне бинарне распакују четири 8-битне бинарне речи и уз баферовање у регистру  $V_{7..0}$  шаље једна за другом редом од најмлађе до најстарије уређају  $UB$ .

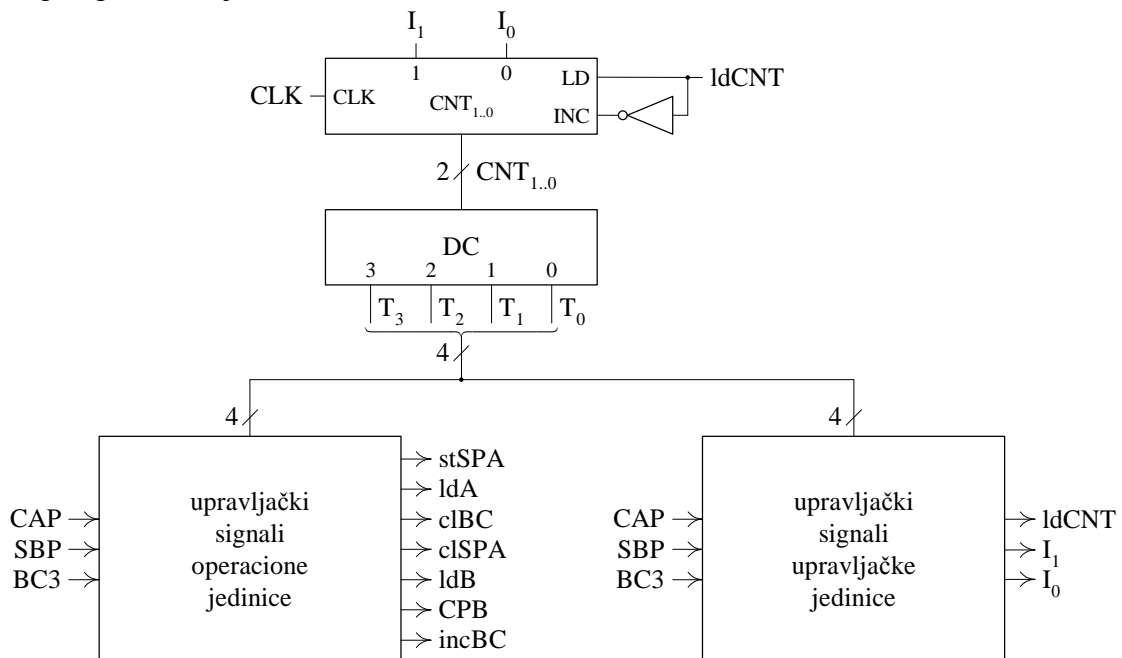
У кораку  $T_2$  се генерише вредност 1 управљачког сигнала  $ldB$  и прелази на корак  $T_3$ . Вредношћу 1 сигнала  $ldB$  се у регистар  $V_{7..0}$  уписује садржај једног од регистара  $A_{07..0}$ ,  $A_{17..0}$ ,  $A_{27..0}$  или  $A_{37..0}$  селектован кроз мултиплексер  $MP$  садржајем бројача  $BC_{1..0}$ . С обзиром да је почетна вредност бројача  $BC_{1..0}$  нула и да се сваки следећи пут у корак  $T_2$

долази после проласка кроз корак  $T_3$  у коме се врши инкрементирање бројача  $BC_{1..0}$ , првим, другим, трећим и четвртим проласком кроз корак  $T_2$  у регистар  $V_{7..0}$  се уписују садржаји регистра  $A_{0..7}$ ,  $A_{1..7}$ ,  $A_{2..7}$  или  $A_{3..7}$ , респективно.

У кораку  $T_3$  се остаје све време док сигнал **SBP** има вредност 0. Вредношћу 0 сигнала **SBP** уређај UB сигнализира уређају P да није спреман да прихвати садржај са линија података  $DPB_{7..0}$ , па све време док сигнал **SBP** има вредност 0 и сигнали **CPB**, **incBC** и **stSPA** имају вредност 0. Вредношћу 1 сигнала **SBP**, уређај UB сигнализира уређају P да је спреман да прихвати садржај са линија података  $DPB_{7..0}$ . У кораку  $T_3$  се при вредности 1 сигнала **SBP** генеришу вредности 1 управљачких сигнала **CPB** и **incBC**. Вредношћу 1 сигнала **CPB** се омогућава да на први следећи сигнал такта уређај UB упише резултат са линија података  $DPB_{9..0}$  у неки свој прихватни регистар. На исти сигнал такта се вредношћу 1 сигнала **incCB** омогућава инкрементирање садржаја бројача  $BC_{1..0}$ , па се у првој, другој, трећој и четвртој итерацији врши увећавање његовог садржаја са нула на један, са један на два, са два на три и са три на нула, респективно. Стога у прве три итерације сигнал **BC3** има вредност 0, а у четвртој вредност 1. У четвртој итерацији се при вредности 1 сигнала **SBP** генеришу вредности 1 не само управљачких сигнала **CPB** и **incBC** већ и сигнала **stSPA**. Вредношћу 1 сигнала **stSPA** у четвртој итерацији се омогућава да се на први следећи сигнал такта у флип-флоп SPA упише вредност 1. Уписивањем вредности 1 у флип-флоп SPA уређај P сигнализира уређају UA да је сада спреман да од уређаја UA прими следећу 32-битну бинарну речи по линијама података  $DAP_{31..0}$ . На тај сигнал такта се у зависности од вредности сигнала **BC3** прелази или на корак  $T_2$  или на корак  $T_1$ .

Повратком у корак  $T_1$  се прелази на примање следеће 32-битне бинарне речи од уређаја UA.

в) Структурна шема управљачке јединице реализована помоћу бројача корака и декодера приказана је на слици 2.в.



Слика 2.в Структурна шема управљачке јединице

У кораку  $T_0$  треба да се остане само једна периода сигнала такта и да се на први сигнал такта пређе на корак  $T_1$ . У кораку  $T_0$  сигнал **IdCNT** има вредност 0, па су на

улазима LD и INC бројача CNT<sub>1...0</sub> вредности 0 и 1, респективно. Стога се на први сигнал такта садржај бројача CNT<sub>1...0</sub> инкрементира и прелази на корак T<sub>1</sub>.

У кораку T<sub>1</sub> треба да се остане све време док сигнал CAP има вредност 0, а на корак T<sub>1</sub> треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал CAP добија вредност 1. Све време док сигнал CAP има вредност 0 сигнали ldCNT и I<sub>0</sub> имају вредност 1, па су на улазима LD и INC бројача CNT<sub>1...0</sub> вредности 1 и 0, респективно, а на паралелним улазима бројача CNT<sub>1...0</sub> је бинарна вредност 01. На сигнал такта у бројач CNT<sub>1...0</sub> се уписује вредност 01, па се остаје у кораку T<sub>1</sub>. На сигнал такта на који сигнал CAP добија вредност 1 сигнали ldCNT и I<sub>0</sub> добијају вредност 0, па су на улазима LD и INC бројача CNT<sub>1...0</sub> вредности 0 и 1, респективно. Стога се на први следећи сигнал такта садржај бројача CNT<sub>1...0</sub> инкрементира и прелази на корак T<sub>2</sub>.

У кораку T<sub>2</sub> треба да се остане само једна периода сигнала такта и да се на први сигнал такта пређе на корак T<sub>3</sub>. У кораку T<sub>2</sub> сигнал ldCNT има вредност 0, па су на улазима LD и INC бројача CNT<sub>1...0</sub> вредности 0 и 1, респективно. Стога се на први сигнал такта садржај бројача CNT<sub>1...0</sub> инкрементира и прелази на корак T<sub>3</sub>.

У кораку T<sub>3</sub> треба да се остане све време док сигнал SBP има вредност 0, а на корак T<sub>2</sub> или T<sub>1</sub> треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал SBP добија вредност 1. Све време док сигнал BC3 има вредност 0 прелази се на корак T<sub>2</sub>, а када вредност сигнала BC3 постане 1 прелази се на корак T<sub>1</sub>. У кораку T<sub>3</sub> сигнал ldCNT има вредност 1, па су на улазима LD и INC бројача CNT<sub>1...0</sub> вредности 1 и 0, респективно. Стога се на сигнал такта увек врши уписивање у бројач CNT<sub>1...0</sub>. Која ће се вредност уписивати зависи од вредности сигнала SBP и BC3. Све време док сигнал SBP има вредност 0, сигнали I<sub>1</sub> и I<sub>0</sub> имају вредност 1, па је на паралелним улазима бројача CNT<sub>1...0</sub> бинарна вредност 11. На сигнал такта у бројач CNT<sub>1...0</sub> се уписује вредност 11, па се остаје у кораку T<sub>3</sub>. На сигнал такта на који сигнал SBP добија вредност 1, сигнал I<sub>1</sub> добија вредност 1 уколико сигнал BC3 има вредност 0, па је на паралелним улазима бројача CNT<sub>1...0</sub> бинарна вредност 10. Стога се на први следећи сигнал такта у бројач CNT<sub>1...0</sub> уписује вредност 10, па се прелази на корак T<sub>2</sub>. Међутим, на сигнал такта на који сигнал SBP добија вредност 1, сигнал I<sub>0</sub> добија вредност 1 уколико сигнал BC3 има вредност 1, па је на паралелним улазима бројача CNT<sub>1...0</sub> бинарна вредност 01. Стога се на први следећи сигнал такта у бројач CNT<sub>1...0</sub> уписује вредност 01, па се прелази на корак T<sub>1</sub>.

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$\text{stSPA} = T_0 + \text{SBP} \cdot \text{BC3} \cdot T_3$$

$$\text{ldA} = \text{CAP} \cdot T_1$$

$$\text{clBC} = \text{CAP} \cdot T_1$$

$$\text{clSPA} = \text{CAP} \cdot T_1$$

$$\text{ldB} = T_2$$

$$\text{CPB} = \text{SBP} \cdot T_3$$

$$\text{incCB} = \text{SBP} \cdot T_3$$

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$\text{ldCNT} = \overline{\text{CAP}} \cdot T_1 + T_3$$

$$I_0 = \overline{\text{CAP}} \cdot T_1 + \overline{\text{SBP}} \cdot T_3 + \text{SBP} \cdot \text{BC3} \cdot T_3$$

$$I_1 = \overline{\text{SBP}} \cdot T_3 + \text{SBP} \cdot \overline{\text{BC3}} \cdot T_3$$

### 1.3 ПАКОВАЊЕ ЧЕТИРИ 8-БИТНЕ РЕЧИ СА БАФЕРОВАЊЕМ У ЈЕДНУ 32-БИТНУ РЕЧ

Реализовати уређај Р за спрегу између уређаја UA и UB. Уређај Р треба од уређаја UA да прими једну за другом четири 8-битне бинарне речи уз баферовање сваке примљене речи у посебном 8-разредном регистру, да их упакује по редоследу пријема редом од најмлађих до најстаријих 8 битова у једну 32-битну реч и да тако добијену 32-битну реч пошаље уређају UB. Операција треба да се понавља циклично. Уређаји UA, Р и UB треба раде синхроно на исти сигнал такта.

Уређај UA шаље уређају Р једну 8-битну бинарну реч по линијама података DAP<sub>7..0</sub>, при чему је бит 7 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја UA и Р користе се статусни сигнал SPA и управљачки сигнал CAP. Вредностима 0 и 1 сигнала SPA уређај Р шаље уређају UA индикацију када не може и када може да прими 8-битну бинарну реч, респективно. Вредношћу 1 сигнала CAP, трајања једна периода сигнала такта, уређај UA шаље уређају Р команду да треба да прими 8-битну бинарну реч, при чему уређај UA то чини када утврди да уређај Р на статусној линији SPA држи вредност 1.

Уређај Р шаље уређају UB 32-битну бинарну реч збира по линијама података DPB<sub>31..0</sub>, при чему је бит 31 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја Р и UB користе се статусни сигнал SBP и управљачки сигнал CPB. Вредностима 0 и 1 сигнала SBP уређај UB шаље уређају Р индикацију када не може и када може да прими 32-битну бинарну реч, респективно. Вредношћу 1 сигнала CPB, трајања једна периода сигнала такта, уређај Р шаље уређају UB команду да треба да прими 32-битну бинарну реч, при чему уређај Р то чини када утврди да уређај UB на статусној линији SBP држи вредност 1.

Претпоставити да су на почетку на статусним линијама SPA и SBP налазе вредности 0.

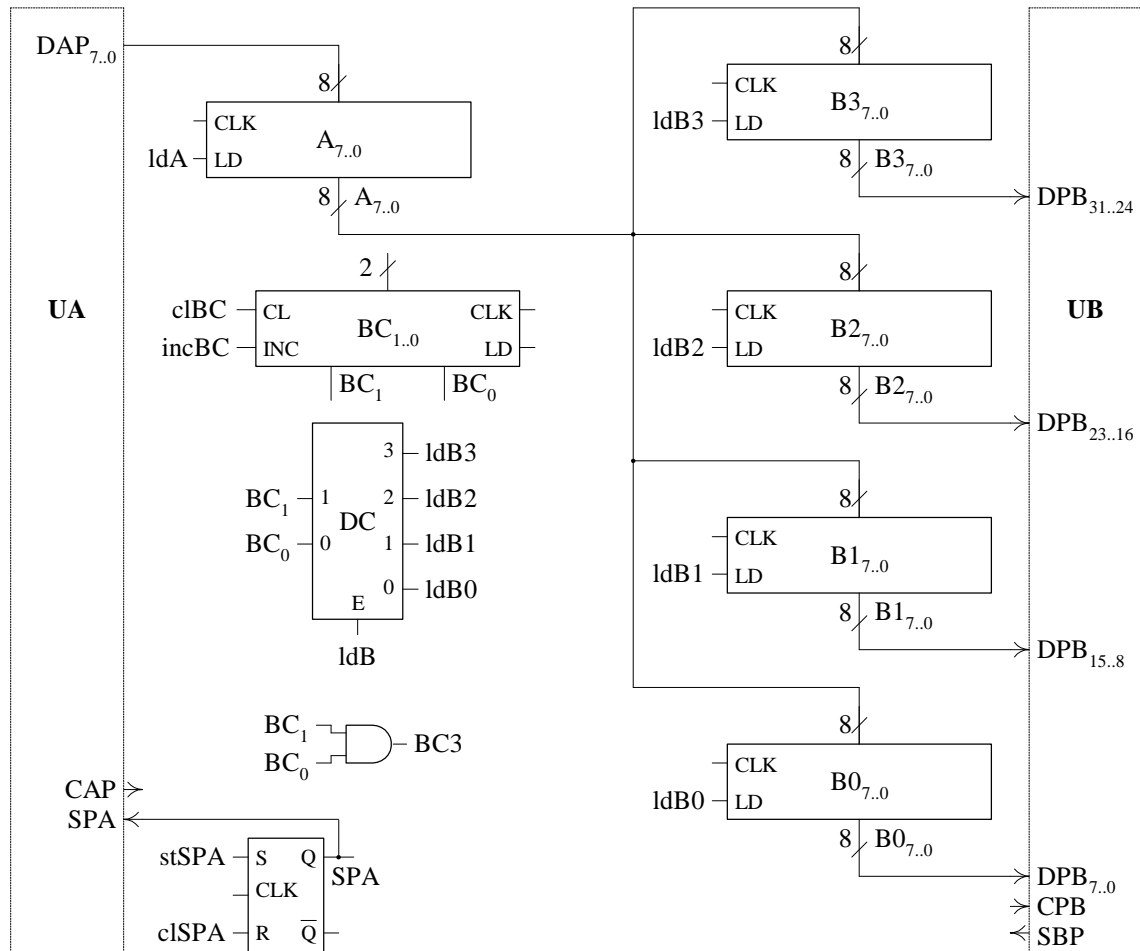
- а) Нацртати структурну шему операционе јединице уређаја Р.
- б) Нацртати дијаграме тока управљачких сигнала операционе јединице и управљачке јединице уређаја Р.
- в) Нацртати структурну шему управљачке јединице уређаја Р реализоване помоћу бројача корака и декодера и дати изразе за генерисање управљачких сигнала операционе јединице и управљачке јединице уређаја Р.

#### Решење:

- а) Структурна шема операционе јединице приказана је на слици 3.а.

Уређај Р прима од уређаја UA четири 8-битне бинарне речи паралелно једну за другом редом од најмлађе до најстарије у четири итерације. У свакој итерацији се 8-битна бинарна реч паралелно прима и баферује уписивањем у регистар A<sub>7..0</sub>, а затим из регистра A<sub>7..0</sub> у зависности од тога да ли се ради о првој, другој, трећој или четвртој итерацији уписује у регистар B0<sub>7..0</sub>, B1<sub>7..0</sub>, B2<sub>7..0</sub> или B3<sub>7..0</sub>, респективно. Паковање четири 8-битне бинарне речи у 32-битну бинарну реч се тако реализује да се разреди 31...24, 23...16, 15...8 и 7...0 паковане 32-битне бинарне речи налазе у 8-битним регистрима B3<sub>7..0</sub>, B2<sub>7..0</sub>, B1<sub>7..0</sub> и B0<sub>7..0</sub>, респективно. Селекција једног од регистара B0<sub>7..0</sub>, B1<sub>7..0</sub>, B2<sub>7..0</sub> и B3<sub>7..0</sub>, у који се из регистра A<sub>7..0</sub>, уписује баферована 8-битна бинарна реч, се реализује сигнаlima декодованих вредности 00 до 11 бројача BC<sub>1..0</sub>. Почетна вредност бројача BC<sub>1..0</sub> је нула, а његов садржај се после сваке итерације инкрементира. Када садржај бројача BC<sub>1..0</sub> достигне вредност 3, сигнал BC3 добија

вредност 1. Вредност 1 сигнала  $BC3$  се користи као индикација да је паковање четири 8-битне бинарне речи у 32-битну бинарну реч завршено и да она може да се шаље уређају  $UB$ .



Слика 3.а Структурна шема операционе јединице

Операциона јединица садржи регистре  $A_{7..0}$ ,  $B_{0..7}$ ,  $B_{1..7}$ ,  $B_{2..7}$  и  $B_{3..7}$ , бројач  $BC_{1..0}$ , декодер  $DC$  и флип-флоп  $SPA$ .

Регистар  $A_{7..0}$  је 8-разредни регистар са паралелним уписом и читањем. У регистар  $A_{7..0}$  се вредношћу 1 сигнала  $ldA$  уписује 8-битна бинарна реч која по линијама  $DA_{7..0}$  долази из уређаја  $UA$ . Излази регистра  $A_{7..0}$  се воде на улазе регистра  $B_{0..7}$ ,  $B_{1..7}$ ,  $B_{2..7}$  и  $B_{3..7}$ .

Регистри  $B_{0..7}$ ,  $B_{1..7}$ ,  $B_{2..7}$  и  $B_{3..7}$  су 8-разредни регистри са паралелним уписом и читањем у које се уписује садржај регистра  $A_{7..0}$ . Вредношћу 1 једног од сигнала  $ldB0$ ,  $ldB1$ ,  $ldB2$  и  $ldB3$  са излаза декодера  $DC$  се одређује у који од регистра  $B_{0..7}$ ,  $B_{1..7}$ ,  $B_{2..7}$  и  $B_{3..7}$ , респективно, се уписује садржај регистра  $A_{7..0}$ . Садржај на излазима регистра  $B_{3..7}$ ,  $B_{2..7}$ ,  $B_{1..7}$  и  $B_{0..7}$  представља 32-битну бинарну реч, при чему је у разреду  $B_{37}$  најстарији а у разреду  $B_{00}$  најмлађи бит, коју уређај  $P$  по линијама  $DB_{31..0}$  шаље уређају  $UB$ .

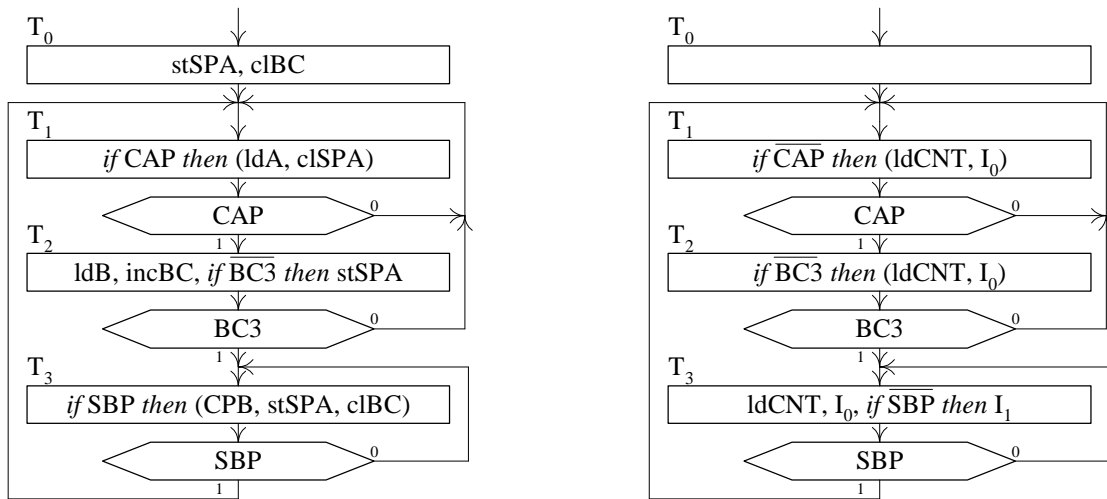
Бројач  $BC_{1..0}$  је 2-разредни инкрементирајући бројач чијим се вредностима од 00 до 11 одређује који од сигнала  $ldB0$ ,  $ldB1$ ,  $ldB2$  и  $ldB3$  са излаза 0 до 3 декодера  $DC$  има вредност 1 онда када сигнала  $ldB$  има вредност 1. Поред тога, вредност 1 сигнала  $BC3$ , која се формира када бројач  $BC_{1..0}$  инкрементирањем достигне вредност три, користи се као сигнал логичког услова да су из уређаја  $UA$  примљене четири 8-битне бинарне речи

и да се у регистрима  $V_{37..0}$ ,  $V_{27..0}$ ,  $V_{17..0}$  и  $V_{07..0}$  налази 32-битна бинарна реч коју треба послати уређају UB.

Декодер DC има два улазна сигнала  $BC_1$  и  $BC_0$  и четири излазна сигнала  $ldB0$ ,  $ldB1$ ,  $ldB2$  и  $ldB3$ . Вредностима од 00 до 11 сигнала  $BC_1$  и  $BC_0$  се одређује који од сигнала  $ldB0$ ,  $ldB1$ ,  $ldB2$  и  $ldB3$  са излаза 0 до 3 декодера DC има вредност 1 онда када сигнал  $ldB$  има вредност 1.

У флип-флоп SPA се вредношћу 1 управљачким сигналом  $stSPA$  уписује вредност 1 онда када је уређај P спреман да од уређаја UA прими садржај са линија података  $DAP_{7..0}$ , а вредношћу 1 управљачког сигналом  $clSPA$  вредност 0, онда када није спреман.

б) Дијаграм тока управљачких сигнала операционе и управљачке јединице приказан је на слици 3.б.



Слика 3.б Дијаграми тока управљачких сигнал операционе и управљачке јединице

У кораку  $T_0$  се генеришу вредности 1 управљачких сигнала  $stSPA$  и  $clBC$ , па се на сигнал такта у флип-флоп SPA уписује вредност 1, бројач  $BC_{1..0}$  брише и прелази на корак  $T_1$ . Уписивањем вредности 1 у флип-флоп SPA уређај P сигнализира уређају UA да је спреман да од уређаја UA прими 8-битну бинарну реч по линијама података  $DAP_{7..0}$ .

У корацима  $T_1$  и  $T_2$  се остаје онолико периода сигнала такта колико је неопходно да се у четири итерације из уређаја UA приме, баферују у регистру  $A_{7..0}$  и пакују у један од регистара  $V_{07..0}$ ,  $V_{17..0}$ ,  $V_{27..0}$  и  $V_{37..0}$  једна за другом редом од најмлађе до најстарије четири 8-битне бинарне речи и тиме у регистрима  $V_{37..0}$ ,  $V_{27..0}$ ,  $V_{17..0}$  и  $V_{07..0}$  формира 32-битна бинарна реч.

У кораку  $T_1$  се остаје све време док сигнал  $CAP$  има вредност 0. Поред тога, све време док сигнал  $CAP$  има вредност 0 и сигнали  $ldA$  и  $clSPA$  имају вредност 0. Вредношћу 1 сигнала  $CAP$  трајања једна периода сигнала такта, уређај UA сигнализира уређају P да се на линијама података  $DAP_{7..0}$  налази важећа 8-битна бинарна реч. У кораку  $T_2$  се при вредности 1 сигнала  $CAP$  генеришу вредности 1 управљачких сигнала  $ldA$  и  $clSPA$ , па се на сигнал такта у регистар  $A_{7..0}$  уписује садржај са линија података  $DAP_{7..0}$ , а у флип-флоп SPA уписује вредност 0 и прелази на корак  $T_2$ . Уписивањем вредности 0 у флип-флоп SPA уређај P сигнализира уређају UA да до даљег није спреман да од уређаја UA прими следећу 8-битну бинарну реч по линијама података  $DAP_{7..0}$ .



У кораку  $T_2$  сигнали **ldB** и **incCB** увек имају вредност 1, док сигнал **stSPA** има вредност 1 или 0 у зависности од тога да ли сигнал **BC3** има вредност 0 или 1, респективно. Вредношћу 1 сигнала **ldB** садржај регистра  $A_{7..0}$  се уписује у један од регистара  $B0_{7..0}$ ,  $B1_{7..0}$ ,  $B2_{7..0}$  или  $B3_{7..0}$ . Који ће то регистар да буде зависи од садржаја бројача  $BC_{1..0}$ , чијим се вредностима 00 до 11 одређује који од сигнала **ldB0**, **ldB1**, **ldB2** и **ldB3** са излаза 0 до 3 декодера DC има вредност 1 онда када сигнала **ldB** има вредност 1. С обзиром да бројач  $BC_{1..0}$  има почетну вредност 0 и да се у свакој итерацији при проласку кроз корак  $T_2$  врши инкрементирање бројача  $BC_{1..0}$ , првим, другим, трећим и четвртим проласком кроз корак  $T_2$  садржај регистра  $A_{7..0}$  се уписује у регистре  $B0_{7..0}$ ,  $B1_{7..0}$ ,  $B2_{7..0}$  и  $B3_{7..0}$ , респективно. Вредношћу 1 сигнала **incCB** омогућава се инкрементирање садржаја бројача  $BC_{1..0}$ , па се у првом, другом, трећем и четвртном проласку кроз корак  $T_2$  врши увећавање његовог садржаја са нула на један, са један на два, са два на три и са три на нула, респективно. Стога приликом прва три проласка кроз корак  $T_2$  сигнал **BC3** има вредност 0, а приликом четвртог проласка вредност 1, па сигнал **stSPA** има вредност 1 приликом прва три и вредност 0 приликом четвртог проласка кроз корак  $T_2$ . Приликом прва три проласка кроз корак  $T_2$  због вредности 1 сигнала **stSPA** у флип-флоп SPA се уписује вредност 1, док при четвртном проласку кроз корак  $T_2$  због вредности 0 сигнала **stSPA** флип-флоп SPA остаје 0. Уписивањем вредности 1 у флип-флоп SPA приликом прва три проласка кроз корак  $T_2$  уређај P сигнализира уређају UA да може да пошаље другу, трећу и четврту 8-битну бинарну реч по линијама  $DA_{7..0}$ , док држањем флип-флопа SPA на вредности 0 при четвртном проласку уређај P сигнализира уређају UA да до даљег не може да прима нови садржај са линија  $DA_{7..0}$ . Уређај P ће моћи поново да прими нови садржај са линија  $DA_{7..0}$  од уређаја UA, тек пошто уређају UB по линијама  $DB_{31..0}$  у кораку  $T_3$  пошаље 32-битну бинарну реч из регистара  $B3_{7..0}$ ,  $B2_{7..0}$ ,  $B1_{7..0}$  и  $B0_{7..0}$ . У зависности од тога да ли је вредност сигнала **BC3** 0 или 1, из корака  $T_2$  се прелази на корак  $T_1$  или корак  $T_3$ , респективно.

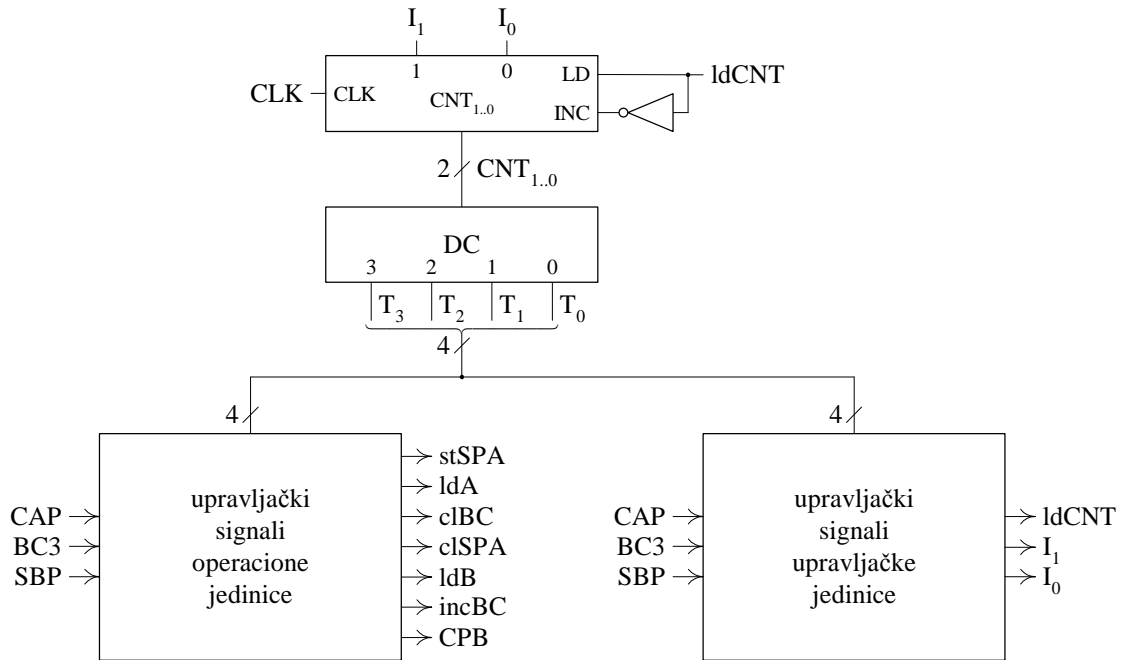
У кораку  $T_3$  се остаје све време док сигнал **SBP** има вредност 0. Вредношћу 0 сигнала **SBP** уређај UB сигнализира уређају P да није спреман да прихвати паковану 32-битну бинарну реч са линија података  $DPB_{31..0}$ , па све време док сигнал **SBP** има вредност 0 и сигнали **CPB**, **stSPA** и **cIBC** имају вредност 0. Вредношћу 1 сигнала **SBP**, уређај UB сигнализира уређају P да је спреман да прихвати 32-битну бинарну реч са линија података  $DPB_{31..0}$ . У кораку  $T_3$  се при вредности 1 сигнала **SBP** генеришу вредности 1 управљачких сигнала **CPB**, **stSPA** и **cIBC**. Вредношћу 1 сигнала **CPB** се омогућава да уређај UB на први следећи сигнал такта упише 32-битну бинарну реч са линија података  $DPB_{31..0}$  у неки свој прихватни регистар, вредношћу 1 сигнала **stSPA** у флип-флоп SPA се уписује вредност 1 и вредношћу 1 сигнала **cIBC** бројач  $BC_{1..0}$  се брише и прелази на корак  $T_1$ . Уписивањем вредности 1 у флип-флоп SPA уређај P сигнализира уређају UA да је спреман да од уређаја UA прими 8-битну бинарну реч.

Повратком у корак  $T_1$  се прелази на примање следеће 8-битне бинарне речи од уређаја UA.

в) Структурна шема управљачке јединице реализована помоћу бројача корака и декодера приказана је на слици 3.в.

У кораку  $T_0$  треба да се остане само једна периода сигнала такта и да се на први сигнал такта пређе на корак  $T_1$ . У кораку  $T_0$  сигнал **ldCNT** има вредност 0, па су на улазима LD и INC бројача  $CNT_{1..0}$  вредности 0 и 1, респективно. Стога се на први сигнал такта садржај бројача  $CNT_{1..0}$  инкрементира и прелази на корак  $T_1$ .

У кораку  $T_1$  треба да се остане све време док сигнал **CAP** има вредност 0, а на корак  $T_1$  треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал **CAP** добија вредност 1. Све време док сигнал **CAP** има вредност 0 сигнали  $I_{dCNT}$  и  $I_0$  имају вредност 1, па су на улазима LD и INC бројача  $CNT_{1..0}$  вредности 1 и 0, респективно, а на паралелним улазима бројача  $CNT_{1..0}$  је бинарна вредност 01. На сигнал такта у бројач  $CNT_{1..0}$  се уписује вредност 01, па се остаје у кораку  $T_1$ . На сигнал такта на који сигнал **CAP** добија вредност 1 сигнали  $I_{dCNT}$  и  $I_0$  добијају вредност 0, па су на улазима LD и INC бројача  $CNT_{1..0}$  вредности 0 и 1, респективно. Стога се на први следећи сигнал такта садржај бројача  $CNT_{1..0}$  инкрементира и прелази на корак  $T_2$ .



Слика 3.в Структурна шема управљачке јединице

У кораку  $T_2$  треба да се остане само једна периода сигнала такта и да се на сигнал такта у зависности од тога да ли сигнал **BC3** има вредност 0 или 1 пређе или на корак  $T_1$  или на корак  $T_3$ , респективно. Уколико сигнал **BC3** има вредност 0 сигнали  $I_{dCNT}$  и  $I_0$  имају вредност 1, па су на улазима LD и INC бројача  $CNT_{1..0}$  вредности 1 и 0, респективно, а на паралелним улазима бројача  $CNT_{1..0}$  је бинарна вредност 01. На сигнал такта у бројач  $CNT_{1..0}$  се уписује вредност 01, па се прелази на корак  $T_1$ . Уколико сигнал **BC3** има вредност 1 сигнали  $I_{dCNT}$  и  $I_0$  добијају вредност 0, па су на улазима LD и INC бројача  $CNT_{1..0}$  вредности 0 и 1, респективно. Стога се на први следећи сигнал такта садржај бројача  $CNT_{1..0}$  инкрементира и прелази на корак  $T_3$ .

У кораку  $T_3$  треба да се остане све време док сигнал **SBP** има вредност 0, а на корак  $T_1$  треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал **SBP** добија вредност 1. У кораку  $T_3$  сигнал  $I_{dCNT}$  има вредност 1, па су на улазима LD и INC бројача  $CNT_{1..0}$  вредности 1 и 0, респективно. Стога се на сигнал такта увек врши уписивање у бројач  $CNT_{1..0}$ . Како у кораку  $T_3$  и сигнал  $I_0$  увек има вредност 1, вредност која ће се уписивати зависи од тога да ли сигнал  $I_1$  има вредност 1 или 0. Све време док сигнал **SBP** има вредност 0, сигнал  $I_1$  има вредност 1, па је на паралелним улазима бројача  $CNT_{1..0}$  бинарна вредност 11. На сигнал такта у бројач  $CNT_{1..0}$  се уписује вредност 11, па се остаје у кораку  $T_3$ . На сигнал такта на који сигнал **SBP** добија вредност 1, сигнал  $I_1$  добија вредност 0, па је на паралелним улазима бројача  $CNT_{1..0}$

бинарна вредност 01. Стога се на први следећи сигнал такта у бројач  $CNT_{1...0}$  уписује вредност 01, па се прелази на корак  $T_1$ .

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$stSPA = T_0 + \overline{BC3} \cdot T_2 + SBP \cdot T_3$$

$$clBC = T_0 + SBP \cdot T_3$$

$$ldA = CAP \cdot T_1$$

$$clSPA = CAP \cdot T_1$$

$$ldB = T_2$$

$$incBC = T_2$$

$$CPB = SBP \cdot T_3$$

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$ldCNT = \overline{CAP} \cdot T_1 + \overline{BC3} \cdot T_2 + T_3$$

$$I_0 = \overline{CAP} \cdot T_1 + \overline{BC3} \cdot T_2 + T_3$$

$$I_1 = \overline{SBP} \cdot T_3$$

## 1.4 РАСПАКИВАЊЕ ЈЕДНЕ 32-БИТНЕ У ЧЕТИРИ 8-БИТНЕ РЕЧИ БЕЗ БАФЕРОВАЊА

Реализовати уређај Р за спрегу између уређаја UA и UB. Уређај Р треба од уређаја UA да прими паралелно 32-битну бинарну реч, да је подели на четири 8-битне бинарне речи и да тако добијене 8-битне бинарне речи без баферовање у посебном 8-разредном регистру директно шаље једну за другом редом од најстарије до најмлађе уређају UB. Операција треба да се понавља циклично. Уређаји UA, Р и UB треба раде синхроно на исти сигнал такта.

Уређај UA шаље уређају Р 32-битну бинарну реч по линијама података  $DAP_{31..0}$ , при чему је бит 31 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја UA и Р користе се статусни сигнал SPA и управљачки сигнал CAP. Вредностима 0 и 1 сигнала SPA уређај Р шаље уређају UA индикацију када не може и када може да прими 32-битну бинарну реч, респективно. Вредношћу 1 сигнала CAP, трајања једна периода сигнала такта, уређај UA шаље уређају Р команду да треба да прими 32-битну бинарну реч, при чему уређај UA то чини када утврди да уређај Р на статусној линији SPA држи вредност 1.

Уређај Р шаље уређају UB једну 8-битну бинарну реч збира по линијама података  $DPB_{7..0}$ , при чему је бит 7 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја Р и UB користе се статусни сигнал SBP и управљачки сигнал CPB. Вредностима 0 и 1 сигнала SBP уређај UB шаље уређају Р индикацију када не може и када може да прими 8-битну бинарну реч, респективно. Вредношћу 1 сигнала CPB, трајања једна периода сигнала такта, уређај Р шаље уређају UB команду да треба да прими 8-битну бинарну реч, при чему уређај Р то чини када утврди да уређај UB на статусној линији SBP држи вредност 1.

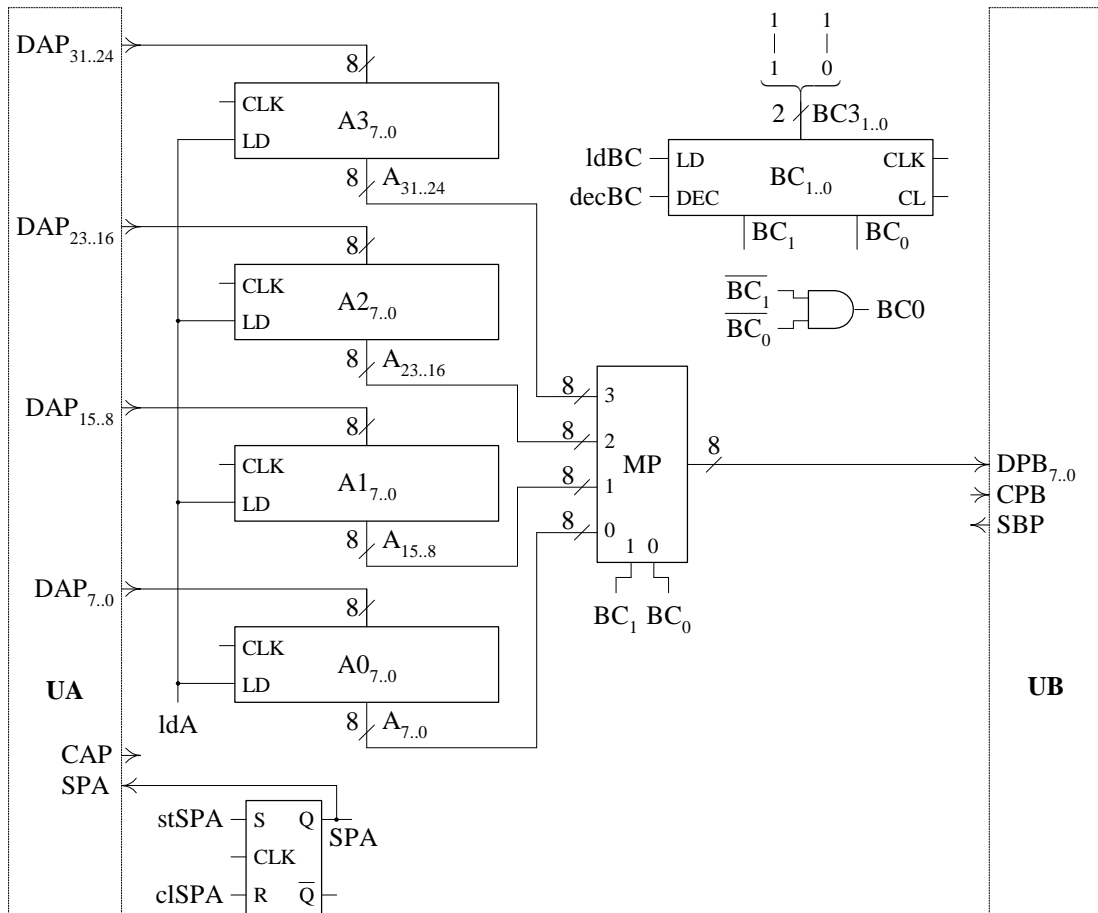
Претпоставити да су на почетку на статусним линијама SPA и SBP налазе вредности 0.

- а) Нацртати структурну шему операционе јединице уређаја Р.
- б) Нацртати дијаграме тока управљачких сигнала операционе јединице и управљачке јединице уређаја Р.
- в) Нацртати структурну шему управљачке јединице уређаја Р реализоване помоћу бројача корака и декодера и дати изразе за генерисање управљачких сигнала операционе јединице и управљачке јединице уређаја Р.

### Решење:

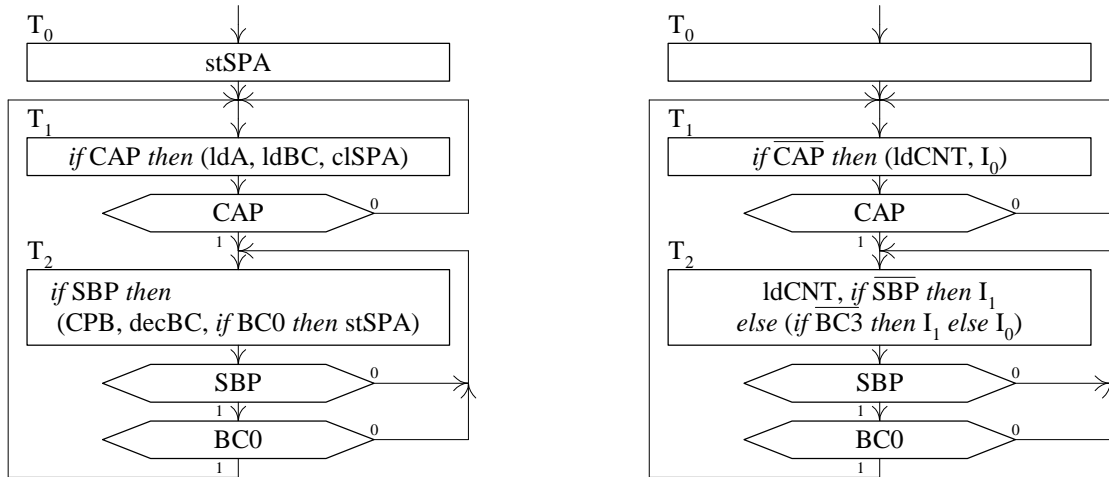
- а) Структурна шема операционе јединице приказана је на слици 4.а.

Структурна шема операционе јединице из овог задатка је веома слична са структурном шемом операционе јединице из задатка 2. Прва разлика је у томе да нема баферовања, па у операционој јединици из овог задатка нема регистра  $V_{7..0}$ . Стога се 8-битне бинарне речи из регистра  $A_{37..0}$ ,  $A_{27..0}$ ,  $A_{17..0}$  и  $A_{07..0}$  преко мултиплексера MP директно воде на линије  $DB_{7..0}$  и шаљу уређају UB. Друга разлика је у томе да се као прва шаље најстарија 8-битна бинарна реч из регистра  $A_{37..0}$ , а као задња најмлађа 8-битна бинарна реч из регистра  $A_{07..0}$ . Стога се на почетку у бројач  $BC_{1..0}$  уписује вредност три, током извршавања операције се врши његово декрементирање, а као индикација да треба завршити са слањем 8-битних бинарних речи уређају UB служи сигнал **BC0** који постаје 1 онда када садржај бројача  $BC_{1..0}$  декрементирањем дође до вредности 0.



Слика 4.а Структурна шема операционе јединице

б) Дијаграм тока управљачких сигнала операционе и управљачке јединице приказан је на слици 4.б.



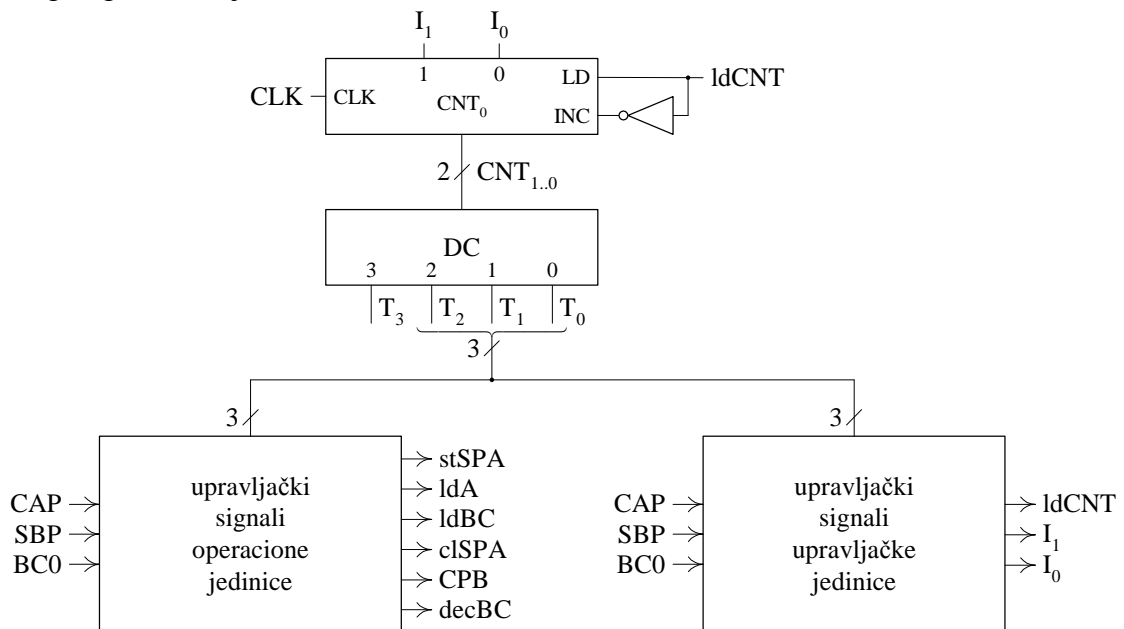
Слика 4.б Дијаграми тока управљачких сигнал операционе и управљачке јединице

Дијаграми тока управљачких сигнал операционе и управљачке јединице из овог задатка су веома слична са дијаграмима ток из задатка 2. Прва разлика је у томе да нема бафоровања, па нема као у задатку 2 корака  $T_2$  у коме се врши упис 8-битне бинарне речи из једног од регистра  $A_{37.0}$ ,  $A_{27.0}$ ,  $A_{17.0}$  или  $A_{07.0}$  преко мултиплексера MP у регистар  $B_{7.0}$ . Стога корак  $T_3$  из задатка 2 постаје корак  $T_2$  у овом задатку. Друга разлика је у томе да се као прва шаље најстарија 8-битна бинарна реч из регистра  $A_{37.0}$ , а као задња најмлађа 8-битна бинарна реч из регистра  $A_{07.0}$ . Стога се у кораку  $T_1$

сигналом **ldBC** у бројач  $BC_{1..0}$  уписује вредност три, у кораку  $T_2$  сигналом **decBC** врши декрементирање бројача  $BC_{1..0}$ , а као индикација да треба завршити са слањем 8-битних бинарних речи уређају UB користи сигнал **BC0**.

Треба уочити да у овом задатку, за разлику од задатка 2, уређај P може у кораку  $T_2$  да пошаље уређају UB четири 8-битне бинарне речи у четири узастопне периоде сигнала такта. Да ли ће се то десити или не зависи једино од уређаја UB. Уколико уређај UB може у узастопним периодама сигнала такта да прима 8-битне бинарне речи, он ће држати сигнал **SBP** на вредности један, што ће уређају P омогућавати да их шаље. Уколико уређај UB не може у узастопним периодама сигнала такта да прима 8-битне бинарне речи, он ће по пријему једне 8-битне бинарне речи обарати сигнал **SBP** на вредност 0 и постављати га поново на вредност 1 тек кад постане спреман да прими следећу 8-битну бинарну реч. То ће изазивати да уређај P у кораку  $T_2$  по слању једне 8-битне бинарне речи најпре чека да уређај UB постави сигнал **SBP** на вредност један и да тек онда шаље следећу 8-битну бинарну реч.

в) Структурна шема управљачке јединице реализована помоћу бројача корака и декодера приказана је на слици 4.в.



Слика 4.в Структурна шема управљачке јединице

У кораку  $T_0$  треба да се остане само једна периода сигнала такта и да се на први сигнал такта пређе на корак  $T_1$ . У кораку  $T_0$  сигнал **ldCNT** има вредност 0, па су на улазима LD и INC бројача  $CNT_{1..0}$  вредности 0 и 1, респективно. Стога се на први сигнал такта садржај бројача  $CNT_{1..0}$  инкрементира и прелази на корак  $T_1$ .

У кораку  $T_1$  треба да се остане све време док сигнал **CAP** има вредност 0, а на корак  $T_1$  треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал **CAP** добија вредност 1. Све време док сигнал **CAP** има вредност 0 сигнали **ldCNT** и  $I_0$  имају вредност 1, па су на улазима LD и INC бројача  $CNT_{1..0}$  вредности 1 и 0, респективно, а на паралелним улазима бројача  $CNT_{1..0}$  је бинарна вредност 01. На сигнал такта у бројач  $CNT_{1..0}$  се уписује вредност 01, па се остаје у кораку  $T_1$ . На сигнал такта на који сигнал **CAP** добија вредност 1 сигнали **ldCNT** и  $I_0$  добијају вредност 0, па су на улазима LD и INC бројача  $CNT_{1..0}$  вредности 0 и 1, респективно. Стога се на први следећи сигнал такта садржај бројача  $CNT_{1..0}$  инкрементира и прелази на корак  $T_2$ .

У кораку  $T_2$  треба да се остане све време док сигнал **SBP** има вредност 0. Међутим, на први следећи сигнал такта после сигнала такта на који сигнал **SBP** добија вредност 1 треба или да се остане у кораку  $T_2$  или да се пређе на корак  $T_1$ . Све време док сигнал **BC0** има вредност 0 остаје се у кораку  $T_2$ , а када вредност сигнала **BC0** постане 1 прелази се на корак  $T_1$ .

У кораку  $T_2$  сигнал **ldCNT** има вредност 1, па су на улазима **LD** и **INC** бројача  $CNT_{1...0}$  вредности 1 и 0, респективно. Стога се на сигнал такта увек врши уписивање у бројач  $CNT_{1...0}$ . Која ће се вредност уписивати зависи од вредности сигнала **SBP** и **BC0**. Све време док сигнал **SBP** има вредност 0, сигнал  $I_1$  има вредност 1, па је на паралелним улазима бројача  $CNT_{1...0}$  бинарна вредност 10. На сигнал такта у бројач  $CNT_{1...0}$  се уписује вредност 10, па се остаје у кораку  $T_2$ . На сигнал такта на који сигнал **SBP** добија вредност 1, сигнал  $I_1$  добија вредност 1 уколико сигнал **BC0** има вредност 0, па је на паралелним улазима бројача  $CNT_{1...0}$  бинарна вредност 10. Стога се на први следећи сигнал такта у бројач  $CNT_{1...0}$  уписује вредност 10, па се остаје у кораку  $T_2$ . Међутим, на сигнал такта на који сигнал **SBP** добија вредност 1, сигнал  $I_0$  добија вредност 1 уколико сигнал **BC0** има вредност 1, па је на паралелним улазима бројача  $CNT_{1...0}$  бинарна вредност 01. Стога се на први следећи сигнал такта у бројач  $CNT_{1...0}$  уписује вредност 01, па се прелази на корак  $T_1$ .

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$stSPA = T_0 + SPB \cdot BC0 \cdot T_2$$

$$ldA = CAP \cdot T_1$$

$$ldBC = CAP \cdot T_1$$

$$clSPA = CA \cdot T_1$$

$$CPB = SBP \cdot T_2$$

$$decBC = SBP \cdot T_2$$

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$ldCNT = \overline{CAP} \cdot T_1 + T_2$$

$$I_0 = \overline{CAP} \cdot T_1 + SPB \cdot BC0 \cdot T_2$$

$$I_1 = \overline{SBP} \cdot T_2 + SBP \cdot \overline{BC0} \cdot T_2$$

## 1.5 ПАКОВАЊЕ ЧЕТИРИ 8-БИТНЕ РЕЧИ БЕЗ БАФЕРОВАЊА У ЈЕДНУ 32-БИТНУ РЕЧ

Реализовати уређај Р за спрегу између уређаја UA и UB. Уређај Р треба од уређаја UA да прими једну за другом четири 8-битне бинарне речи без бафоровање сваке примљене речи у посебном 8-разредном регистру, да их упакује по редоследу пријема редом од најстаријих до најмлађих 8 бита у једну 32-битну реч и да тако добијену 32-битну реч пошаље уређају UB. Операција треба да се понавља циклично. Уређаји UA, Р и UB треба раде синхроно на исти сигнал такта.

Уређај UA шаље уређају Р једну 8-битну бинарну реч по линијама података DAP<sub>7..0</sub>, при чему је бит 7 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја UA и Р користе се статусни сигнал SPA и управљачки сигнал CAP. Вредностима 0 и 1 сигнала SPA уређај Р шаље уређају UA индикацију када не може и када може да прими 8-битну бинарну реч, респективно. Вредношћу 1 сигнала CAP, трајања једна периода сигнала такта, уређај UA шаље уређају Р команду да треба да прими 8-битну бинарну реч, при чему уређај UA то чини када утврди да уређај Р на статусној линији SPA држи вредност 1.

Уређај Р шаље уређају UB 32-битну бинарну реч по линијама података DPB<sub>31..0</sub>, при чему је бит 31 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја Р и UB користе се статусни сигнал SBP и управљачки сигнал CPB. Вредностима 0 и 1 сигнала SBP уређај UB шаље уређају Р индикацију када не може и када може да прими 32-битну бинарну реч, респективно. Вредношћу 1 сигнала CPB, трајања једна периода сигнала такта, уређај Р шаље уређају UB команду да треба да прими 32-битну бинарну реч, при чему уређај Р то чини када утврди да уређај UB на статусној линији SBP држи вредност 1.

Претпоставити да су на почетку на статусним линијама SPA и SBP налазе вредности 0.

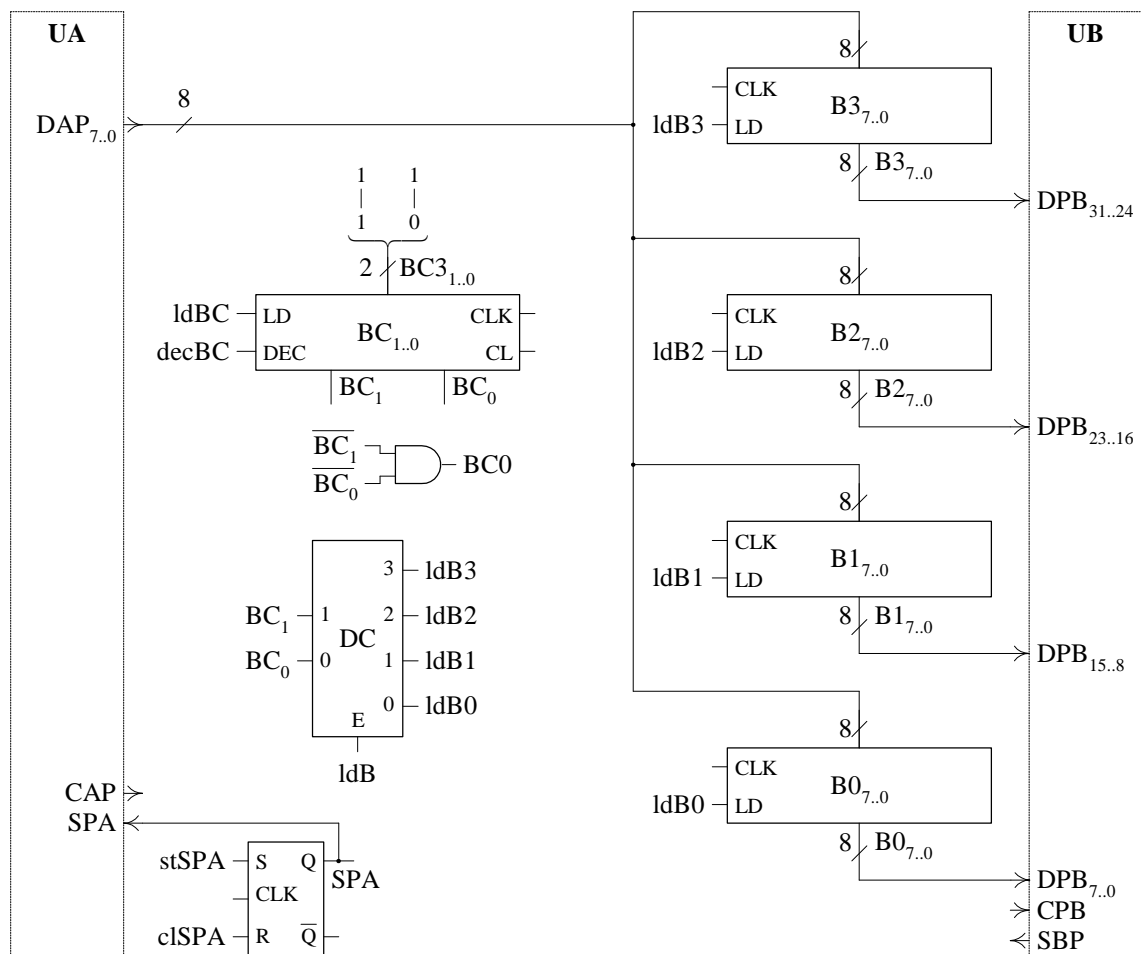
- а) Нацртати структурну шему операционе јединице уређаја Р.
- б) Нацртати дијаграме тока управљачких сигнала операционе јединице и управљачке јединице уређаја Р.
- в) Нацртати структурну шему управљачке јединице уређаја Р реализоване помоћу бројача корака и декодера и дати изразе за генерисање управљачких сигнала операционе јединице и управљачке јединице уређаја Р.

### Решење:

- а) Структурна шема операционе јединице приказана је на слици 5.а.

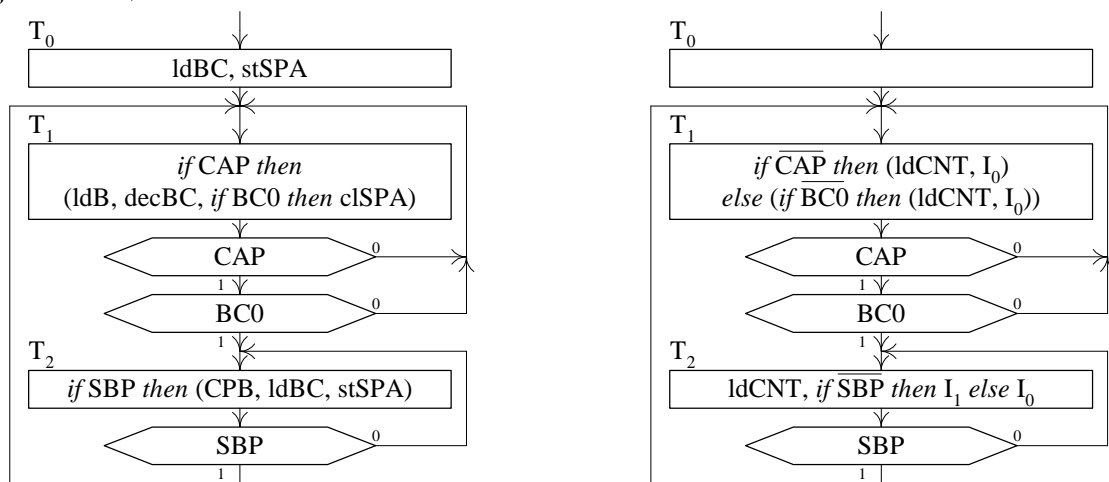
Структурна шема операционе јединице из овог задатка је веома слична са структурном шемом операционе јединице из задатка 3. Прва разлика је у томе да нема бафоровања, па у операционој јединици из овог задатка нема регистра A<sub>7..0</sub>. Стога се 8-битне бинарне речи директно воде са линија DA<sub>7..0</sub> из уређаја UB у регистре B3<sub>7..0</sub>, B2<sub>7..0</sub>, B1<sub>7..0</sub> и B0<sub>7..0</sub>. Друга разлика је у томе да се као прва у регистар B3<sub>7..0</sub> шаље најстарија 8-битна бинарна реч, а као задња у регистар B0<sub>7..0</sub> најмлађа 8-битна бинарна реч. Стога се на почетку у бројач BC<sub>1..0</sub> уписује вредност три, током извршавања операције се врши његово декрементирање, а као индикација да треба завршити са примањем 8-битних бинарних речи из уређаја UA служи сигнал BC0 који постаје 1 онда када садржај бројача BC<sub>1..0</sub> декрементирањем дође до вредности 0.





Слика 5.а Структурна шема операционе јединице

б) Дијаграм тока управљачких сигнала операционе и управљачке јединице приказан је на слици 4.б.



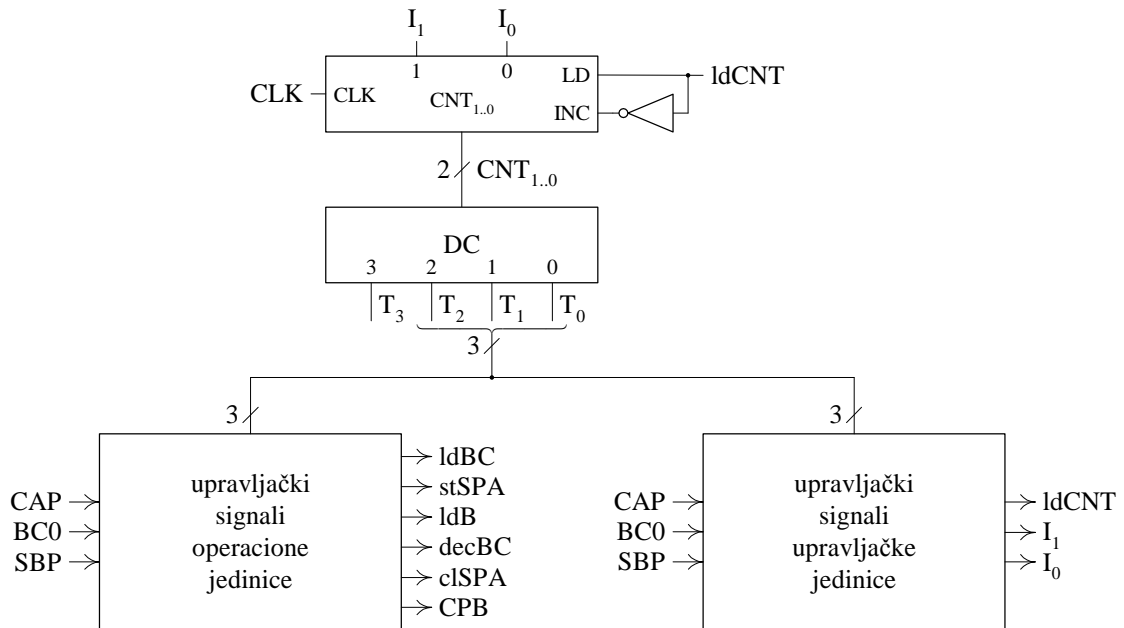
Слика 4.б Дијаграми тока управљачких сигнал операционе и управљачке јединице

Дијаграми тока управљачких сигнал операционе и управљачке јединице из овог задатка су веома слична са дијаграмима тока из задатка 2. Прва разлика је у томе да нема бафоровања, па нема као у задатку 3 корака  $T_1$  у коме се врши упис 8-битне бинарне речи са линија  $DA_{7..0}$  у регистар  $A_{7..0}$ . Стога корак  $T_2$  из задатка 3 постаје корак  $T_1$  у овом задатку, при чему се сада сигналом  $ldB$  у један од регистра  $B3_{7..0}$ ,  $B2_{7..0}$ ,  $B1_{7..0}$  или  $B0_{7..0}$  не уписује садржај регистра  $A_{7..0}$ , већ директно са линија  $DA_{7..0}$ .

Друга разлика је у томе да се као прва шаље најстарија 8-битна бинарна реч у регистар  $V_{37..0}$ , а као задња најмлађа 8-битна бинарна реч у регистар  $V_{07..0}$ . Стога се у кораку  $T_0$  сигналом **ldBC** у бројач  $BC_{1..0}$  уписује вредност три, у кораку  $T_1$  сигналом **decBC** врши декрементирање бројача  $BC_{1..0}$ , а као индикација да треба завршити са примањем 8-битних бинарних речи од уређаја **UA** користи сигнал **BC0**.

Треба уочити да у овом задатку, за разлику од задатка 3, уређај **P** може у кораку  $T_1$  да прими од уређаја **UA** четири 8-битне бинарне речи у четири узастопне периоде сигнала такта. Да ли ће се то десити или не зависи једино од уређаја **UA**. Уколико уређај **UA** може у узастопним периодима сигнала такта да шаље 8-битне бинарне речи, он ће држати сигнал **CAP** на вредности један, што ће уређају **P** омогућавати да их прима. Уколико уређај **UB** не може у узастопним периодима сигнала такта да шаље 8-битне бинарне речи, он ће по слању једне 8-битне бинарне речи обарати сигнал **CAP** на вредност 0 и постављати је поново на вредност 1 тек кад постане спреман да пошаље следећу 8-битну бинарну реч. То ће изазивати да уређај **P** у кораку  $T_1$  по пријему једне 8-битне бинарне речи најпре чека да уређај **UB** постави сигнал **CAP** на вредност један и да тек онда прими следећу 8-битну бинарну реч.

в) Структурна шема управљачке јединице реализована помоћу бројача корака и декодера приказана је на слици 4.в.



Слика 4.в Структурна шема управљачке јединице

У кораку  $T_0$  треба да се остане само једна периода сигнала такта и да се на први сигнал такта пређе на корак  $T_1$ . У кораку  $T_0$  сигнал **ldCNT** има вредност 0, па су на улазима **LD** и **INC** бројача  $CNT_{1..0}$  вредности 0 и 1, респективно. Стога се на први сигнал такта садржај бројача  $CNT_{1..0}$  инкрементира и прелази на корак  $T_1$ .

У кораку  $T_1$  треба да се остане све време док сигнал **CAP** има вредност 0. Међутим, на први следећи сигнал такта после сигнала такта на који сигнал **CAP** добија вредност 1 треба или да се остане у кораку  $T_1$  или да се пређе на корак  $T_2$ . Све време док сигнал **BC0** има вредност 0 остаје се у кораку  $T_2$ , а када вредност сигнала **BC0** постане 1 прелази се на корак  $T_2$ . Све време док сигнал **CAP** има вредност 0 сигнали **ldCNT** и  $I_0$  имају вредност 1, па су на улазима **LD** и **INC** бројача  $CNT_{1..0}$  вредности 1 и 0, респективно, а на паралелним улазима бројача  $CNT_{1..0}$  је бинарна вредност 01. На сигнал такта у бројач  $CNT_{1..0}$  се уписује вредност 01, па се остаје у кораку  $T_1$ . На

сигнал такта на који сигнал **CAP** добија вредност 1, сигнали **ldCNT** и **I<sub>0</sub>** добијају вредност 1 уколико сигнал **BC0** има вредност 0, па су на улазима **LD** и **INC** бројача **CNT<sub>1...0</sub>** вредности 1 и 0, респективно, а на паралелним улазима бројача **CNT<sub>1...0</sub>** је бинарна вредност 01. Стога се на први следећи сигнал такта у бројач **CNT<sub>1...0</sub>** уписује вредност 01, па се остаје у кораку **T<sub>2</sub>**. Међутим, на сигнал такта на који сигнал **SBP** добија вредност 1, сигнали **ldCNT** и **I<sub>0</sub>** добијају вредност 0 уколико сигнал **BC0** има вредност 1, па су на улазима **LD** и **INC** бројача **CNT<sub>1...0</sub>** вредности 0 и 1, респективно. Стога се на први следећи сигнал такта садржај бројача **CNT<sub>1...0</sub>** инкрементира и прелази на корак **T<sub>2</sub>**.

У кораку **T<sub>2</sub>** треба да се остане све време док сигнал **SBP** има вредност 0, а на корак **T<sub>1</sub>** треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал **SBP** добија вредност 1. У кораку **T<sub>2</sub>** сигнал **ldCNT** има вредност 1, па су на улазима **LD** и **INC** бројача **CNT<sub>1...0</sub>** вредности 1 и 0, респективно. Стога се на сигнал такта увек врши уписивање у бројач **CNT<sub>1...0</sub>**. Све време док сигнал **SBP** има вредност 0, сигнал **I<sub>1</sub>** има вредност 1, па је на паралелним улазима бројача **CNT<sub>1...0</sub>** бинарна вредност 10. На сигнал такта у бројач **CNT<sub>1...0</sub>** се уписује вредност 10, па се остаје у кораку **T<sub>2</sub>**. На сигнал такта на који сигнал **SBP** добија вредност 1, сигнал **I<sub>0</sub>** добија вредност 1, па је на паралелним улазима бројача **CNT<sub>1...0</sub>** бинарна вредност 01. Стога се на први следећи сигнал такта у бројач **CNT<sub>1...0</sub>** уписује вредност 01, па се прелази на корак **T<sub>1</sub>**.

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$\mathbf{ldBC} = \mathbf{T_0} + \mathbf{SBP} \cdot \mathbf{T_2}$$

$$\mathbf{stSPA} = \mathbf{T_0} + \mathbf{SBP} \cdot \mathbf{T_2}$$

$$\mathbf{ldB} = \mathbf{CAP} \cdot \mathbf{T_1}$$

$$\mathbf{decBC} = \mathbf{CAP} \cdot \mathbf{T_1}$$

$$\mathbf{clSPA} = \mathbf{CAP} \cdot \mathbf{BC0} \cdot \mathbf{T_1}$$

$$\mathbf{CPB} = \mathbf{SBP} \cdot \mathbf{T_2}$$

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$\mathbf{ldCNT} = \overline{\mathbf{CAP}} \cdot \mathbf{T_1} + \mathbf{CAP} \cdot \overline{\mathbf{BC0}} \cdot \mathbf{T_1} + \mathbf{T_2}$$

$$\mathbf{I_0} = \overline{\mathbf{CAP}} \cdot \mathbf{T_1} + \mathbf{CAP} \cdot \overline{\mathbf{BC0}} \cdot \mathbf{T_1} + \mathbf{SBP} \cdot \mathbf{T_2}$$

$$\mathbf{I_1} = \overline{\mathbf{SBP}} \cdot \mathbf{T_2}$$

## 1.6 САБИРАЊЕ 32-БИТНИХ РЕЧИ САБИРАЊЕМ 8-БИТНИХ РЕЧИ

Реализовати уређај Р за спрегу између уређаја UA и UB. Уређај Р треба од уређаја UA да прими паралелно две 32-битне бинарне речи, да израчуна њихов збир и да тако добијену 32-битну бинарну реч збира пошаље уређају UB. Код израчунавања збира, 32-битне бинарне речи треба интерпретирати као целобројне вредности без знака. Претпоставити да ће се примати такве 32-битне бинарне речи које ће приликом израчунавања њиховог збира давати 32-битне бинарне речи без преноса. Претпоставити да је за израчунавање збира 32-битних бинарних речи расположив само 8-разредни сабирач. Операција треба да се понавља циклично. Уређаји UA, Р и UB треба раде синхронно на исти сигнал такта.

Уређај UA шаље уређају Р две 32-битне бинарне речи по линијама података DAPA<sub>31..0</sub> и DAPB<sub>31..0</sub>, при чему је за обе речи бит 31 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја UA и Р користе се статусни сигнал SPA и управљачки сигнал SAP. Вредностима 0 и 1 сигнала SPA уређај Р шаље уређају UA индикацију када не може и када може да прими две 32-битне бинарне речи, респективно. Вредношћу 1 сигнала SAP, трајања једна периода сигнала такта, уређај UA шаље уређају Р команду да треба да прими две 32-битне бинарне речи, при чему уређај UA то чини када утврди да уређај Р на статусној линији SPA држи вредност 1.

Уређај Р шаље уређају UB 32-битну бинарну реч збира по линијама података DPB<sub>31..0</sub>, при чему је бит 31 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја Р и UB користе се статусни сигнал SBP и управљачки сигнал SPB. Вредностима 0 и 1 сигнала SBP уређај UB шаље уређају Р индикацију када не може и када може да прими 32-битну бинарну реч, респективно. Вредношћу 1 сигнала SPB, трајања једна периода сигнала такта, уређај Р шаље уређају UB команду да треба да прими 32-битну бинарну реч, при чему уређај Р то чини када утврди да уређај UB на статусној линији SBP држи вредност 1.

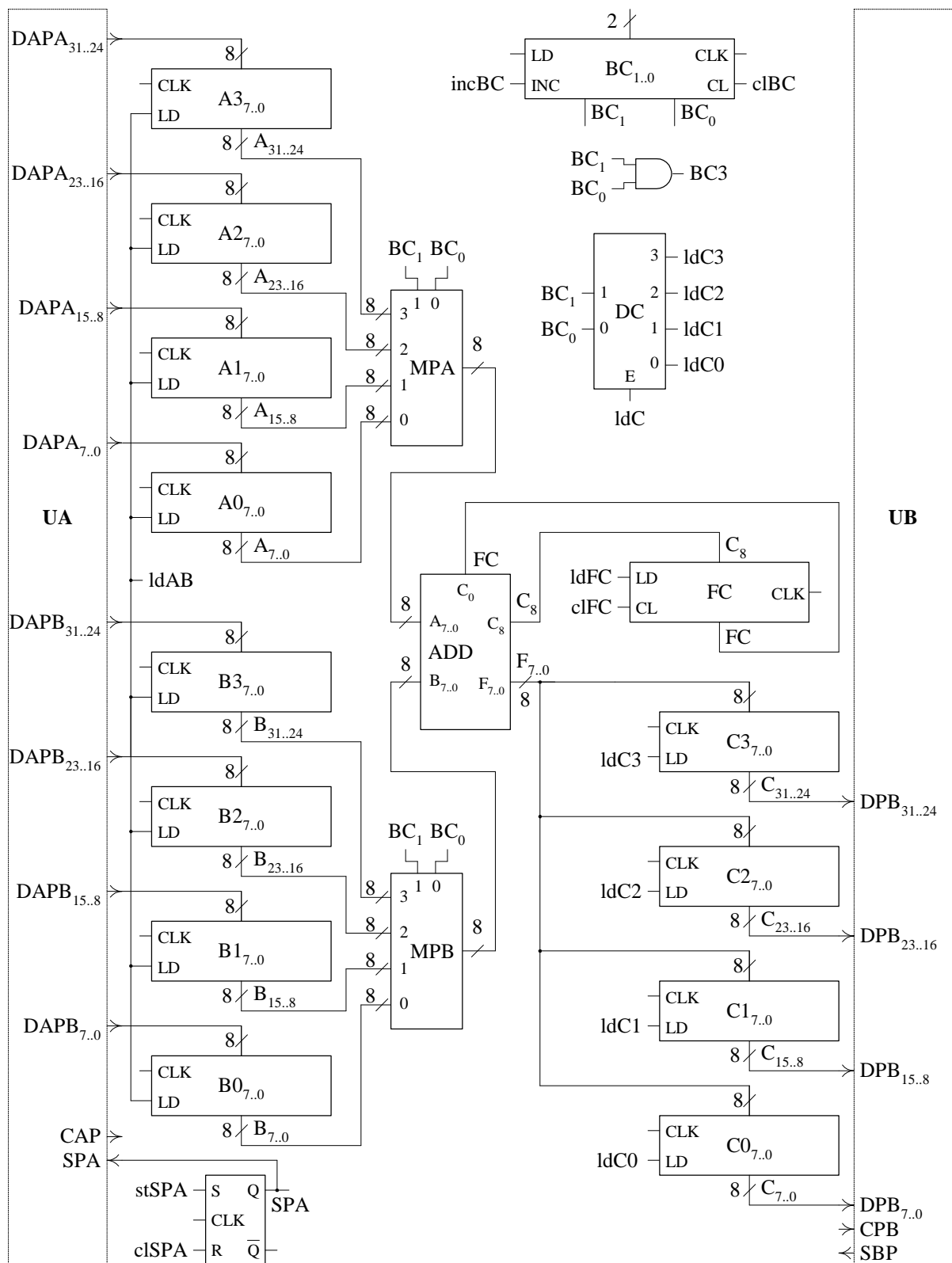
Претпоставити да су на почетку на статусним линијама SPA и SBP налазе вредности 0.

- а) Нацртати структурну шему операционе јединице уређаја Р.
- б) Нацртати дијаграме тока управљачких сигнала операционе јединице и управљачке јединице уређаја Р.
- в) Нацртати структурну шему управљачке јединице уређаја Р реализоване помоћу бројача корака и декодера и дати изразе за генерисање управљачких сигнала операционе јединице и управљачке јединице уређаја Р.

### Решење:

- а) Структурна шема операционе јединице приказана је на слици 6.б.

Уређај Р прима паралелно од уређаја UA две 32-битне бинарне речи тако што разреде 31...24, 23...16, 15...8 и 7...0 подељене на четири 8-битне бинарне речи смешта у 8-битне регистре A3<sub>7..0</sub>, A2<sub>7..0</sub>, A1<sub>7..0</sub>, A0<sub>7..0</sub> и B3<sub>7..0</sub>, B2<sub>7..0</sub>, B1<sub>7..0</sub>, B0<sub>7..0</sub>, формира 32-битну бинарну реч њихове суме чије разреде 31...24, 23...16, 15...8 и 7...0 подељене на четири 8-битне бинарне речи смешта у 8-битне регистре C3<sub>7..0</sub>, C2<sub>7..0</sub>, C1<sub>7..0</sub>, C0<sub>7..0</sub> и из њих формирају 32-битну бинарну реч суме шаље уређају UB. С обзиром да је расположив само 8-разредни сабирач, сабирање се реализује у четири итерације.



Слика 6.а Структурна шема операционе јединице

На почетку се једноразредни регистар преноса FC поставља на вредност нула. У првој итерацији се сабирају  $A_{0_{7..0}}$ ,  $B_{0_{7..0}}$  и FC, у коме је вредност нула, и битови 7 до 0 збира уписују у регистар  $C_{0_{7..0}}$ , а пренос у 8-ми разред уписује у једноразредни регистар преноса FC. У другој итерацији се сабирају  $A_{1_{7..0}}$ ,  $B_{1_{7..0}}$  и FC, у коме је пренос у 8-ми разред, и битови 15 до 8 збира уписују у регистар  $C_{1_{7..0}}$ , а пренос у 16-ти разред

уписује у једноразредни регистар преноса FC. У трећој итерацији се сабирају A2<sub>7..0</sub>, B2<sub>7..0</sub> и FC, у коме је пренос у 16-ти разред, и битови 23 до 16 збира уписују у регистар C2<sub>7..0</sub>, а пренос у 24-ти разред уписује у једноразредни регистар преноса FC. У четвртој итерацији се сабирају A3<sub>7..0</sub>, B3<sub>7..0</sub> и FC, у коме је пренос у 24-ти разред, и битови 31 до 24 збира уписују у регистар C3<sub>7..0</sub>, а пренос у 32-ги разред уписује у једноразредни регистар преноса FC. После четврте итерације у регистрима C3<sub>7..0</sub>, C2<sub>7..0</sub>, C1<sub>7..0</sub> и C0<sub>7..0</sub> се налази 32-битна сума и у једноразредном регистру FC пренос настао као резултат сабирања две 32-битне бинарне речи.

Мултиплексирање садржаја 8-разредних регистара A0<sub>7..0</sub> и B0<sub>7..0</sub>, A1<sub>7..0</sub> и B1<sub>7..0</sub>, A2<sub>7..0</sub> и B2<sub>7..0</sub>, A3<sub>7..0</sub> и B3<sub>7..0</sub> на улазе 8-разредног сабирача и селекција једног од регистара C0<sub>7..0</sub>, C1<sub>7..0</sub>, C2<sub>7..0</sub> и C3<sub>7..0</sub> у који се са излаза 8-разредног сабирача уписује 8-битни бинарни садржај се реализује вредностима 00 до 11 бројача BC<sub>1..0</sub>. Почетна вредност бројача BC<sub>1..0</sub> је нула, а његов садржај се после сваке итерације инкрементира. Када садржај бројача BC<sub>1..0</sub> достигне вредност 3, сигнал BC3 добија вредност 1. Вредност 1 сигнала BC3 се користи као индикација да је сабирање завршено

Операциона јединица садржи регистре A3<sub>7..0</sub>, A2<sub>7..0</sub>, A1<sub>7..0</sub>, A0<sub>7..0</sub>, B3<sub>7..0</sub>, B2<sub>7..0</sub>, B1<sub>7..0</sub>, B0<sub>7..0</sub>, C3<sub>7..0</sub>, C2<sub>7..0</sub>, C1<sub>7..0</sub> и C0<sub>7..0</sub>, FC, бројач BC<sub>1..0</sub>, мултиплексере MPA и MPB, декодер DC, сабирач ADD и флип-флоп SPA.

Регистри A3<sub>7..0</sub>, A2<sub>7..0</sub>, A1<sub>7..0</sub> и A0<sub>7..0</sub> су 8-разредни регистри са паралелним уписом и читањем. У регистре A3<sub>7..0</sub>, A2<sub>7..0</sub>, A1<sub>7..0</sub> и A0<sub>7..0</sub> се вредношћу 1 сигнала **ldA** уписује прва 32-битна бинарна реч која по линијама DAPA<sub>31..24</sub>, DAPA<sub>23..16</sub>, DAPA<sub>15..8</sub> и DAPA<sub>7..0</sub>, респективно, долазе из уређаја UA. Излази регистара A3<sub>7..0</sub>, A2<sub>7..0</sub>, A1<sub>7..0</sub> и A0<sub>7..0</sub> се воде на улазе 3, 2, 1 и 0, респективно, мултиплексера MPA.

Регистри B3<sub>7..0</sub>, B2<sub>7..0</sub>, B1<sub>7..0</sub> и B0<sub>7..0</sub>, су 8-разредни регистри са паралелним уписом и читањем. У регистре B3<sub>7..0</sub>, B2<sub>7..0</sub>, B1<sub>7..0</sub> и B0<sub>7..0</sub>, се вредношћу 1 сигнала **ldA** уписује друга 32-битна бинарна реч која по линијама DAPB<sub>31..24</sub>, DAPB<sub>23..16</sub>, DAPB<sub>15..8</sub> и DAPB<sub>7..0</sub>, респективно, долазе из уређаја UA. Излази регистара B3<sub>7..0</sub>, B2<sub>7..0</sub>, B1<sub>7..0</sub> и B0<sub>7..0</sub> се воде на улазе 3, 2, 1 и 0, респективно, мултиплексера MP.

Регистри C0<sub>7..0</sub>, C1<sub>7..0</sub>, C2<sub>7..0</sub> и C3<sub>7..0</sub> су 8-разредни регистри са паралелним уписом и читањем у које се уписује садржај са излаза F<sub>7..0</sub> сабирача ADD. Вредношћу 1 једног од сигнала **ldC0**, **ldC1**, **ldC2** и **ldC3** са излаза декодера DC се одређује у који од регистара C0<sub>7..0</sub>, C1<sub>7..0</sub>, C2<sub>7..0</sub> и C3<sub>7..0</sub>, респективно, се уписује садржај са излаза F<sub>7..0</sub> сабирача ADD. Садржај на излазима регистара C0<sub>7..0</sub>, C1<sub>7..0</sub>, C2<sub>7..0</sub> и C3<sub>7..0</sub> представља 32-битну бинарну реч збира, при чему је у разреду C3<sub>7</sub> најстарији а у разреду C0<sub>0</sub> најмлађи бит, коју уређај P по линијама DPB<sub>31..0</sub> шаље уређају UB.

Регистар FC је једноразредни регистар у коме се чувају сигнали преноса у 8-ми, 16-ти, 24-ти и 32-ги разред приликом сабирања 32-битних бинарних вредности. На почетку се сигналом **clFC** једноразредни регистар FC поставља на вредност нула. У првој итерацији се сабирају A0<sub>7..0</sub>, B0<sub>7..0</sub> и FC, у коме је вредност нула, и битови 7 до 0 збира сигналом **ldC0** уписују у регистар C0<sub>7..0</sub>, а пренос у 8-ми разред сигналом **ldFC** уписује у једноразредни регистар FC. У другој итерацији се сабирају A1<sub>7..0</sub>, B1<sub>7..0</sub> и FC, у коме је пренос у 8-ми разред, и битови 15 до 8 збира сигналом **ldC1** уписују у регистар C1<sub>7..0</sub>, а пренос у 16-ти разред сигналом **ldFC** уписује у једноразредни регистар FC. У трећој итерацији се сабирају A2<sub>7..0</sub>, B2<sub>7..0</sub> и FC, у коме је пренос у 16-ти разред, и битови 23 до 16 збира сигналом **ldC2** уписују у регистар C2<sub>7..0</sub>, а пренос у 24-ти разред сигналом **ldFC** уписује у једноразредни регистар FC. У четвртој итерацији се сабирају A3<sub>7..0</sub>, B3<sub>7..0</sub> и FC, у коме је пренос у 24-ти разред, и битови 31 до 24 збира сигналом **ldC3** уписују у регистар C3<sub>7..0</sub>, а пренос у 32-ги разред сигналом **ldFC** уписује у

једноразредни регистар FC. После четврте итерације у регистрима C3<sub>7..0</sub>, C2<sub>7..0</sub>, C1<sub>7..0</sub> и C0<sub>7..0</sub> се налази 32-битна сума и у једноразредном регистру FC пренос настао као резултат сабирања две 32-битне бинарне речи.

Бројач BC<sub>1..0</sub> је 2-разредни инкрементирајући бројач чијим се вредностима од 00 до 11 приликом сабирања кроз мултиплексере MPA и MPB на улазе A<sub>7..0</sub> и B<sub>7..0</sub> сабирача ADD доводе редом садржаји регистара A0<sub>7..0</sub>, A1<sub>7..0</sub>, A2<sub>7..0</sub>, A3<sub>7..0</sub> и B3<sub>7..0</sub>, B2<sub>7..0</sub>, B1<sub>7..0</sub> и B0<sub>7..0</sub>, респективно, и одређује који од сигнала **ldC0**, **ldC1**, **ldC2** и **ldC3** са излаза 0 до 3 декодера DC има вредност 1 онда када сигнала **ldC** има вредност 1. Поред тога, вредност 1 сигнала **BC3**, која се формира када бројач BC<sub>1..0</sub> инкрементирањем достигне вредност три, користи се као сигнал логичког услова да сабирање садржаја регистара A0<sub>7..0</sub>, A1<sub>7..0</sub>, A2<sub>7..0</sub>, A3<sub>7..0</sub> и B0<sub>7..0</sub>, B1<sub>7..0</sub>, B2<sub>7..0</sub>, B3<sub>7..0</sub> треба завршити.

Мултиплексер MPA је 8-разредни мултиплексер на чијим излазима се појављује 8-битни садржај једног од регистара A0<sub>7..0</sub>, A1<sub>7..0</sub>, A2<sub>7..0</sub> или A3<sub>7..0</sub>, са улаза 0, 1, 2 и 3, респективно. Селекција садржаја једног од регистара са улаза мултиплексера се реализује сигнаlima **BC<sub>1</sub>** и **BC<sub>0</sub>** са излаза инкрементирајућег бројача BC<sub>1..0</sub>. Селектовани 8-битни садржај са излаза мултиплексера MPA се води на улазе A0<sub>7..0</sub> сабирача ADD.

Мултиплексер MPB је 8-разредни мултиплексер на чијим излазима се појављује 8-битни садржај једног од регистара A0<sub>7..0</sub>, A1<sub>7..0</sub>, A2<sub>7..0</sub> или A3<sub>7..0</sub>, са улаза 0, 1, 2 и 3, респективно. Селекција садржаја једног од регистара са улаза мултиплексера се реализује сигнаlima **BC<sub>1</sub>** и **BC<sub>0</sub>** са излаза инкрементирајућег бројача BC<sub>1..0</sub>. Селектовани 8-битни садржај са излаза мултиплексера MPA се води на улазе A0<sub>7..0</sub> сабирача ADD.

Декодер DC има два улазна сигнала **BC<sub>1</sub>** и **BC<sub>0</sub>** и четири излазна сигнала **ldB0**, **ldB1**, **ldB2** и **ldB3**. Вредностима од 0 до 3 сигнала **BC<sub>1</sub>** и **BC<sub>0</sub>** се одређује који од сигнала **ldB0**, **ldB1**, **ldB2** и **ldB3** са излаза 0 до 3 декодера DC има вредност један онда када сигнал **ldB** има вредност један.

Сабирач ADD је 8-разредни сабирач на чије улазе A<sub>7..0</sub> и B<sub>7..0</sub> се доводе селектоване 8-битне бинарне речи са излаза мултиплексера MPA и MPB, респективно, а на улаз C<sub>0</sub> садржај једноразредног регистра FC.

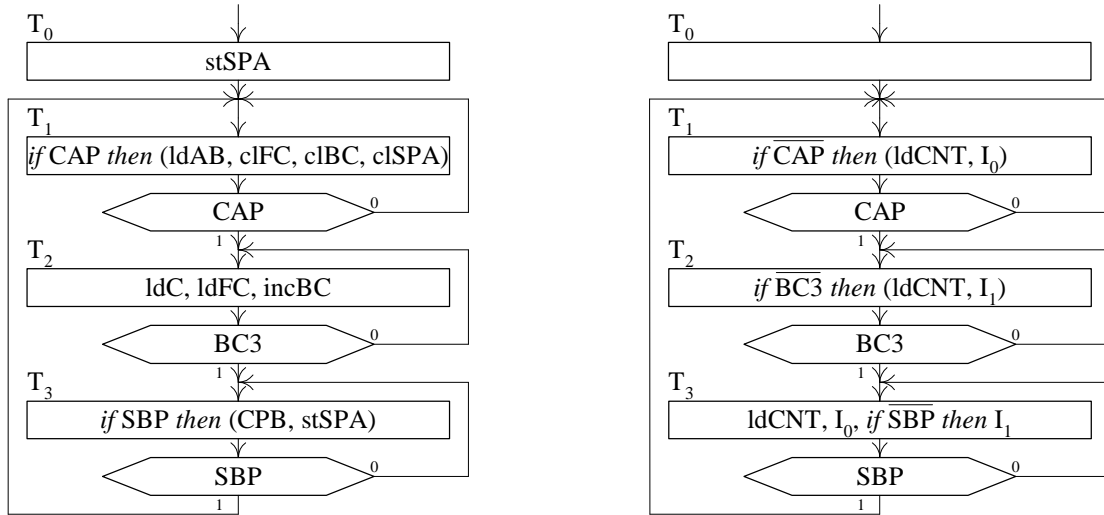
У флип-флоп SPA се вредношћу 1 управљачког сигнала **stSPA** уређаја P уписује вредност 1 онда када је уређај P спреман да прими садржај са линија DAPA<sub>31..0</sub> и DAPB<sub>31..0</sub>, а управљачким сигналом **clSPA** уређаја P вредност 0, онда када није спреман.

б) Дијаграм тока управљачких сигнала операционе и управљачке јединице приказан је на слици б.в.

У кораку **T<sub>0</sub>** се генерише вредност 1 управљачког сигнала **stSPA**, па се на сигнал такта у флип-флоп SPA уписује вредност 1 и прелази на корак **T<sub>1</sub>**. Уписивањем вредности 1 у флип-флоп SPA уређај P сигнализира уређају UA да је спреман да од уређаја UA прими две 32-битне бинарне речи по линијама података DAPA<sub>31..0</sub> и DAPB<sub>31..0</sub>.

У кораку **T<sub>1</sub>** се остаје све време док сигнал **CAP** има вредност 0. Поред тога, све време док сигнал **CAP** има вредност 0 и сигнали **ldAB**, **clFC**, **clBC** и **clSPA** имају вредност 0. Вредношћу 1 сигнала **CAP** трајања једна периода сигнала такта уређај UA сигнализира уређају P да се на линијама података DAPA<sub>31..0</sub> и DAPB<sub>31..0</sub> налазе важеће две 32-битне бинарне речи. У кораку **T<sub>1</sub>** се при вредности 1 сигнала **CAP** генеришу вредности 1 управљачких сигнала **ldAB**, **clFC**, **clBC** и **clSPA**, па се на сигнал такта у

регистре  $A_{37..0}$ ,  $A_{27..0}$ ,  $A_{17..0}$ ,  $A_{07..0}$  и  $B_{37..0}$ ,  $B_{27..0}$ ,  $B_{17..0}$ ,  $B_{07..0}$  уписују садржаји са линијама података  $DAPA_{31..0}$  и  $DAPB_{31..0}$ , регистар  $FC$  и бројач  $BC_{1..0}$  бришу а у флип-флоп  $SPA$  уписује вредност 0 и прелази на корак  $T_2$ . Уписивањем вредности 0 у флип-флоп  $SPA$  уређај  $P$  сигнализира уређају  $UA$  да до даљег није спреман да од уређаја  $UA$  прими следеће две 32-битне бинарне речи по линијама података  $DAPA_{31..0}$  и  $DAPB_{31..0}$ .



Слика 6.в Дијаграми тока управљачких сигнала операционе и управљачке јединице

У кораку  $T_2$  се остаје четири периоде сигнала такта, па се прелази на корак  $T_3$ . За време четири периоде сигнала такта сигнали  $ldC$ ,  $ldFC$  и  $incBC$  имају вредност један, па се врши редом сабирање садржаја 8-разредних садржаја регистра  $A_{07..0}$ ,  $A_{17..0}$ ,  $A_{27..0}$  и  $A_{37..0}$  са садржајима 8-разредних регистра  $B_{07..0}$ ,  $B_{17..0}$ ,  $B_{27..0}$  и  $B_{37..0}$  и садржајем једноразредног регистра преноса  $FC$  и 8-разредни резултати и пренос уписују редом у 8-разредне регистре  $C_{37..0}$ ,  $C_{27..0}$ ,  $C_{17..0}$  и  $C_{07..0}$  и у једноразредни регистар преноса  $FC$ . За време прве периоде сигнала такта, садржаји регистра  $A_{07..0}$  и  $B_{07..0}$ , који се вредношћу нула бројача  $BC_{1..0}$  пропуштају кроз мултиплексере  $MPA$  и  $MPB$  на улазе  $A_{7..0}$  и  $B_{7..0}$  сабирача  $ADD$ , и једноразредног регистра преноса  $FC$  са улаза  $C_0$  сабирача  $ADD$ , који тада има вредност нула, се сабирају и њихова 8-разредна сума и пренос сигналима  $ldC$  и  $ldFC$  уписују у 8-разредни регистар суме  $C_{07..0}$  и у једноразредни регистар преноса  $FC$ , респективно. Тада се сигналом  $incBC$  врши инкрементирање бројача  $BC_{1..0}$  на вредност један. На сличан начин се за време друге периоде сигнала такта врши сабирање  $A_{17..0}$ ,  $B_{17..0}$  и  $FC$ , који сада представља пренос у 8-ми разред, и њихова 8-разредна сума и пренос сигналима  $ldC$  и  $ldFC$  уписују у 8-разредни регистар суме  $C_{17..0}$  и у једноразредни регистар преноса  $FC$ , респективно и инкрементирање бројача  $BC_{1..0}$  на вредност два. За време треће периоде сигнала такта врши се сабирање  $A_{17..0}$ ,  $B_{17..0}$  и  $FC$ , који сада представља пренос у 16-ти разред, и њихова 8-разредна сума и пренос сигналима  $ldC$  и  $ldFC$  уписују у 8-разредни регистар суме  $C_{27..0}$  и у једноразредни регистар преноса  $FC$ , респективно и инкрементирање бројача  $BC_{1..0}$  на вредност три. Коначно за време четврте периоде сигнала такта врши се сабирање  $A_{17..0}$ ,  $B_{17..0}$  и  $FC$ , који сада представља пренос у 24-ти разред, уписивање њихове 8-разредне суме и преноса сигнала  $ldC$  и  $ldFC$  у 8-разредни регистар суме  $C_{37..0}$  и у једноразредни регистар преноса  $FC$ , респективно, инкрементирање бројача  $BC_{1..0}$  на вредност нула и прелазак на корак  $T_3$ . Стога приликом прва три проласка кроз корак  $T_2$  сигнал  $BC3$  има вредност 0, а приликом четвртог проласка вредност 1.

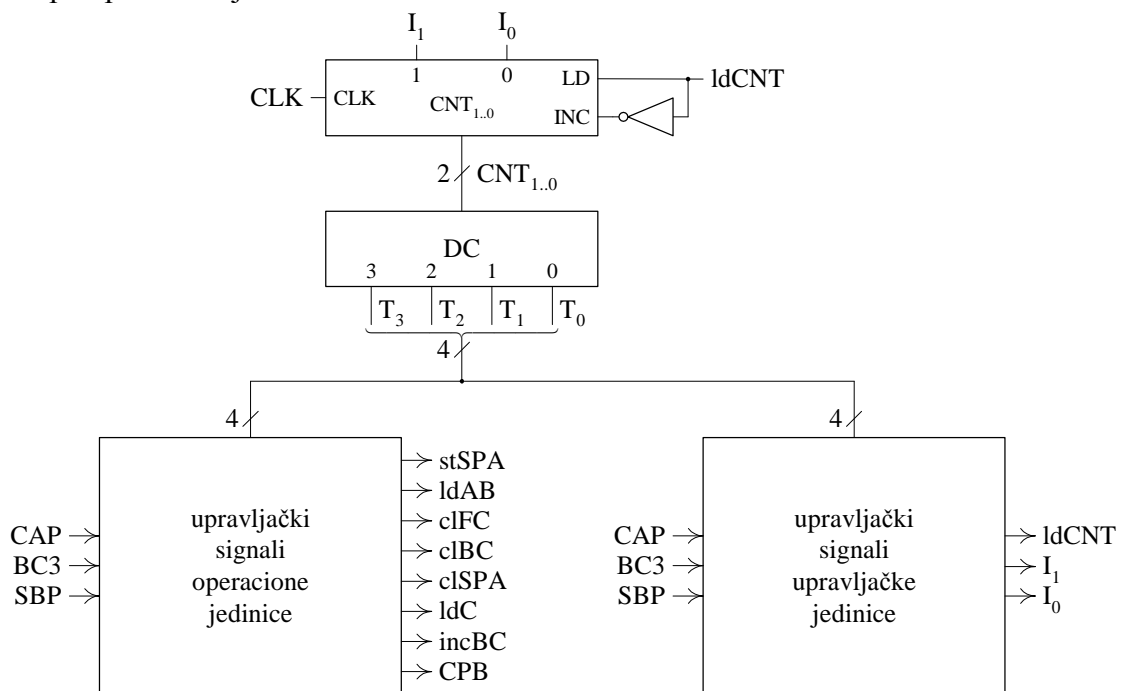
У кораку  $T_3$  се остаје све време док сигнал  $SBP$  има вредност 0. Вредношћу 0 сигнала  $SBP$  уређај  $UB$  сигнализира уређају  $P$  да није спреман да прихвати резултат са



линија података  $DPB_{31..0}$ , па све време док сигнал **SBP** има вредност 0 и сигнали **CPB** и **stSPA** имају вредност 0. Вредношћу 1 сигнала **SBP**, уређај UB сигнализира уређају P да је спреман да прихвати резултат са линија података  $DPB_{31..0}$ . У кораку  $T_3$  се при вредности 1 сигнала **SBP** генеришу вредности 1 управљачких сигнала **CPB** и **stSPA**. На први следећи сигнал такта се вредношћу 1 сигнала **CPB** омогућава да уређај UB упише резултат са линија података  $DPB_{31..0}$  у неки свој прихватни регистар, док се вредношћу 1 сигнала **stSPA** у флип-флоп SPA уписује вредност 1. На исти сигнал такта се прелази на корак  $T_1$ . Уписивањем вредности 1 у флип-флоп SPA уређај P сигнализира уређају UA да је сада спреман да од уређаја UA прими следеће следеће две 32-битне бинарне речи по линијама података  $DAPA_{31..0}$  и  $DAPB_{31..0}$ .

Повратком у корак  $T_1$  се прелази на примање следеће две 32-битне бинарне речи од уређаја UA.

в) Структурна шема управљачке јединице реализоване помоћу бројача корака и декодера приказана је на слици б.г.



Слика б.г Структурна шема управљачке јединице

У кораку  $T_0$  треба да се остане само једна периода сигнала такта и да се на први сигнал такта пређе на корак  $T_1$ . У кораку  $T_0$  сигнал  $IdCNT$  има вредност 0, па су на улазима  $LD$  и  $INC$  бројача  $CNT_{1..0}$  вредности 0 и 1, респективно. Стога се на први сигнал такта садржај бројача  $CNT_{1..0}$  инкрементира и прелази на корак  $T_1$ .

У кораку  $T_1$  треба да се остане све време док сигнал  $CAP$  има вредност 0, а на корак  $T_1$  треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал  $CAP$  добија вредност 1. Све време док сигнал  $CAP$  има вредност 0 сигнали  $IdCNT$  и  $I_0$  имају вредност 1, па су на улазима  $LD$  и  $INC$  бројача  $CNT_{1..0}$  вредности 1 и 0, респективно, а на паралелним улазима бројача  $CNT_{1..0}$  је бинарна вредност 01. На сигнал такта у бројач  $CNT_{1..0}$  се уписује вредност 01, па се остаје у кораку  $T_1$ . На сигнал такта на који сигнал  $CAP$  добија вредност 1 сигнали  $IdCNT$  и  $I_0$  добијају вредност 0, па су на улазима  $LD$  и  $INC$  бројача  $CNT_{1..0}$  вредности 0 и 1, респективно. Стога се на први следећи сигнал такта садржај бројача  $CNT_{1..0}$  инкрементира и прелази на корак  $T_2$ .

У кораку  $T_2$  треба да се остане све време док сигнал **BC3** има вредност 0, а на корак  $T_3$  треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал **BC3** добија вредност 1. Све време док сигнал **BC3** има вредност 0 сигнали **ldCNT** и  $I_1$  имају вредност 1, па су на улазима **LD** и **INC** бројача  $CNT_{1...0}$  вредности 1 и 0, респективно, а на паралелним улазима бројача  $CNT_{1...0}$  је бинарна вредност 10. На сигнал такта у бројач  $CNT_{1...0}$  се уписује вредност 01, па се остаје у кораку  $T_2$ . На сигнал такта на који сигнал **BC3** добија вредност 1 сигнали **ldCNT** и  $I_1$  добијају вредност 0, па су на улазима **LD** и **INC** бројача  $CNT_{1...0}$  вредности 0 и 1, респективно. Стога се на први следећи сигнал такта садржај бројача  $CNT_{1...0}$  инкрементира и прелази на корак  $T_3$ .

У кораку  $T_3$  треба да се остане све време док сигнал **SBP** има вредност 0, а на корак  $T_1$  треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал **SBP** добија вредност 1. У кораку  $T_3$  сигнал **ldCNT** има вредност 1, па су на улазима **LD** и **INC** бројача  $CNT_{1...0}$  вредности 1 и 0, респективно. Стога се на сигнал такта увек врши уписивање у бројач  $CNT_{1...0}$ . Како у кораку  $T_3$  и сигнал  $I_0$  увек има вредност 1, вредност која ће се уписивати зависи од тога да ли сигнал  $I_1$  има вредност 1 или 0. Све време док сигнал **SBP** има вредност 0, сигнал  $I_1$  има вредност 1, па је на паралелним улазима бројача  $CNT_{1...0}$  бинарна вредност 11. На сигнал такта у бројач  $CNT_{1...0}$  се уписује вредност 11, па се остаје у кораку  $T_3$ . На сигнал такта на који сигнал **SBP** добија вредност 1, сигнал  $I_1$  добија вредност 0, па је на паралелним улазима бројача  $CNT_{1...0}$  бинарна вредност 01. Стога се на први следећи сигнал такта у бројач  $CNT_{1...0}$  уписује вредност 01, па се прелази на корак  $T_1$ .

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$stSPA = T_0 + SBP \cdot T_3$$

$$ldAB = CAP \cdot T_1$$

$$clFC = CAP \cdot T_1$$

$$clBC = CAP \cdot T_1$$

$$clSPA = CAP \cdot T_1$$

$$ldC = T_2$$

$$ldFC = T_2$$

$$incBC = T_2$$

$$CPB = SBP \cdot T_3$$

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$ldCNT = \overline{CAP} \cdot T_1 + \overline{BC3} \cdot T_2 + T_3$$

$$I_0 = \overline{CAP} \cdot T_1 + T_3$$

$$I_1 = \overline{BC3} \cdot T_2 + \overline{SBP} \cdot T_3$$

## 1.7 ДРУГИ КОМПЛЕМЕНТ

Реализовати уређај Р за спрегу између уређаја UA и UB. Уређај Р треба од уређаја UA најпре да прими паралелно 8-битну бинарну реч, затим да примљену бинарну реч интерпретира као 8-битну целобројну величину са знаком у другом комплементу и да изврши операцију бит-серијског налажења другог комплемента и на крају да добијену вредност пошаље као 8-битну бинарну реч уређају UB. Операција треба да се понавља циклично. Уређаји UA, Р и UB треба раде синхроно на исти сигнал такта.

Уређај UA шаље уређају Р 8-битну бинарну реч по линијама података DAP<sub>7..0</sub>, при чему је бит 7 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја UA и Р користе се статусни сигнал SPA и управљачки сигнал CAP. Вредностима 0 и 1 сигнала SPA уређај Р шаље уређају UA индикацију када не може и када може да прими 8-битну бинарну реч, респективно. Вредношћу 1 сигнала CAP, трајања једна периода сигнала такта, уређај UA шаље уређају Р команду да треба да прими 8-битну бинарну реч, при чему уређај UA то чини када утврди да уређај Р на статусној линији SPA држи вредност 1.

Уређај Р шаље уређају UB 8-битну бинарну реч резултата по линијама података DPB<sub>7..0</sub>, при чему је бит 7 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја Р и UB користе се статусни сигнал SBP и управљачки сигнал CPB. Вредностима 0 и 1 сигнала SBP уређај UB шаље уређају Р индикацију када не може и када може да прими 8-битну бинарну реч, респективно. Вредношћу 1 сигнала CPB, трајања једна периода сигнала такта, уређај Р шаље уређају UB команду да треба да прими 8-битну бинарну реч, при чему уређај Р то чини када утврди да уређај UB на статусној линији SBP држи вредност 1.

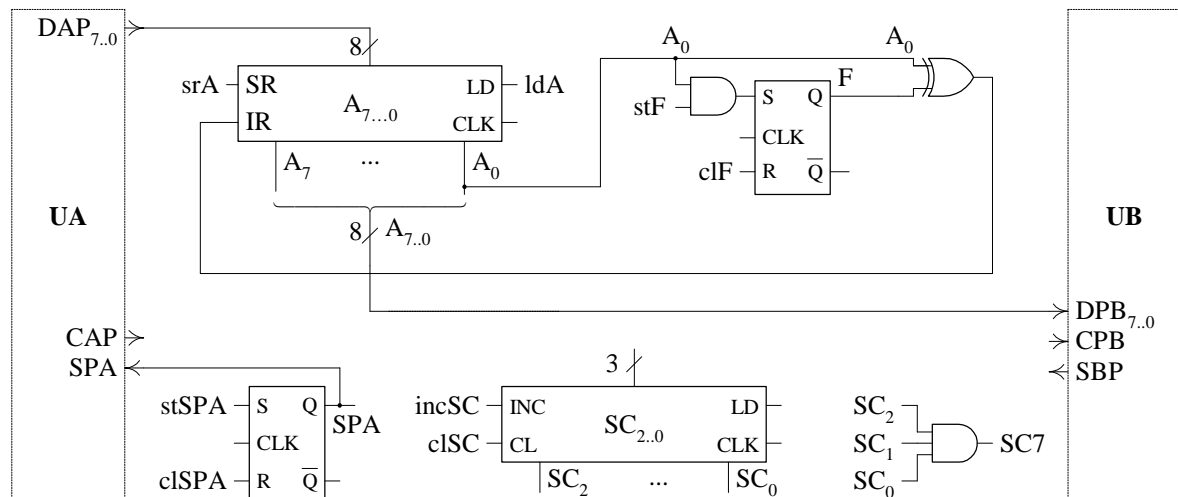
Претпоставити да су на почетку на статусним линијама SPA и SBP налазе вредности 0.

- а) Нацртати структурну шему операционе јединице уређаја Р.
- б) Нацртати дијаграме тока управљачких сигнала операционе јединице и управљачке јединице уређаја Р.
- в) Нацртати структурну шему управљачке јединице уређаја Р реализоване помоћу бројача корака и декодера и дати изразе за генерисање управљачких сигнала операционе јединице и управљачке јединице уређаја Р.

### Решење:

- а) Структурна шема операционе јединице приказана је на слици 7.а.

Операција бит-серијског налажења другог комплемента 8-битног бинарног броја је реализована према алгоритму који је у кратким цртама приказан у даљем тексту. Нека су са  $X_{7..0}$  означени битови задатог 8-битног бинарног броја за који треба наћи други комплемент, а са  $Y_{7..0}$  битови његовог другог комплемента. У оба случаја индексом 0 означен је најмлађи, а индексом 7 најстарији бит. При реализацији операције бит-серијског налажења другог комплемента 8-битног бинарног броја иде се од бита 0 редом до бита 7. Битови  $Y_i$  добијају вредност  $X_i$  све док  $X_i$  има вредност 0. Када се први пут појави да бит  $X_i$  има вредност 1 тада и бит  $Y_i$  добија вредност 1. После тога сви битови  $Y_i$  добијају инвертовану вредност бита  $X_i$ . Као пример се може узети бинарни број 00110100. Његов други комплемент је 11001100. Битови 0, 1 и 2 су исти и у бинарном броју и у његовом другом комплементу. Пошто је бит 2 у бинарном броју 1 сви преостали битови од 3 до 7 у другом комплементу имају инвертоване вредности одговарајућих битова бинарног броја за који се тражи други комплемент.



Слика 7.а Структурна шема операционе јединице

Операциона јединица садржи померачки регистар  $A_{7...0}$ , инкрементирајући бројачки регистар  $SC_{2...0}$ , флип-флопове F и SPA и одређен број логичких елемената.

Померачки регистар  $A_{7...0}$  служи да се прихвати задати 8-битни бинарни, да се његовим померањем удесно у осам итерација формирају и у њега уписују бит по бит почев од најмлађег па до најстаријег битови другог комплемента и да се добијена вредност из регистра  $A_{7...0}$  шаље уређају UB. У регистар  $A_{7...0}$  се паралелно уписује садржај са линија  $DAP_{7...0}$  вредношћу 1 сигнала **ldA**. Садржај регистра  $A_{7...0}$  се вредношћу 1 сигнала **srA** помера удесно. Приликом сваког померања регистра  $A_{7...0}$  удесно у разред  $A_7$  се по линији **IR** уписује вредност са излаза ексклузивно ИЛИ логичког елемента која представља одговарајући бит другог комплемента. После осам померања удесно у регистру  $A_{7...0}$  се налази резултат операције комплентирања. Садржај регистра  $A_{7...0}$  се по линијама података  $DPB_{7...0}$  шаље уређају UB.

Флип-флоп F вредношћу 0 одређује да се, посматрајући битове задатог бинарног броја у регистру  $A_{7...0}$  од најмлађег ка старијима, још увек није појавила вредност 1, а вредношћу 1 да јесте. Овај флип-флоп се сигналом **cIF** поставља на вредност 0. Померањем садржаја регистра  $A_{7...0}$  удесно на линији  $A_0$  се појављују битови задатог бинарног броја од најмлађег ка старијима. Приликом сваког померања садржаја регистра  $A_{7...0}$  удесно генерише се вредност 1 сигнала **stF**. Вредност 1 сигнала **stF** неће мењати садржај флип-флопа F све док се на линији  $A_0$  налази вредност 0. Први пут када се на линији  $A_0$  појави вредност 1 у флип-флопу F ће се вредношћу 1 сигнала **stF** уписати вредност 1. Вредност 1 остаје у флип-флопу F све до краја операције, јер следећа појављивања вредности 1 сигнала **stF** неће мењати садржај флип-флопа F без обзира на то да ли ће се на линији  $A_0$  појављивати 0 или 1.

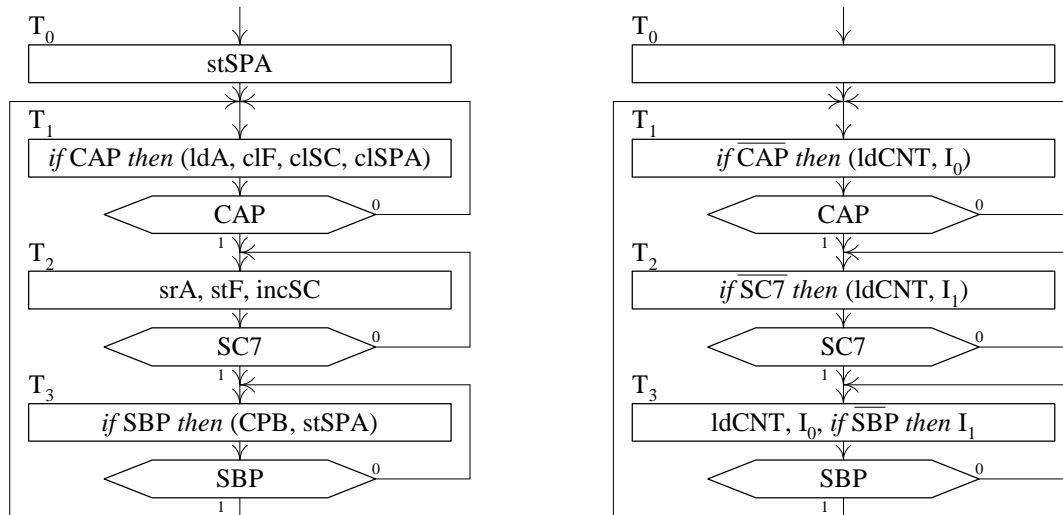
Логичко коло ексклузивно ИЛИ на свом излазу даје вредност сигнала  $A_0$  све време док сигнал на излазу флип-флопа F има вредност 0 и комплемент вредности сигнала  $A_0$  када сигнал на излазу флип-флопа F има вредност 1. Вредност сигнала са излаза овог кола се по линији **IR** уписује у најстарији разред регистра  $A_{7...0}$ .

У инкрементирајући бројачки регистар  $SC_{2...0}$  се вредношћу 1 сигнала **cISC** уписује вредност 0. Приликом сваког померања садржаја регистра  $A_{7...0}$  удесно вредношћу 1 управљачког сигнала **incSC** садржај регистра  $SC_{2...0}$  се инкрементира. Када садржај регистра  $SC_{2...0}$  постане 7, сигнал логичког услова **SC7**, који се формира на излазу логичког кола И, постаје 1. Вредност 1 сигнала логичког услова **SC7** је индикација да је

померање садржаја регистра  $A_{7..0}$  реализовано 8 пута и да је тиме завршена операција комплементирања.

У флип-флоп SPA се вредношћу 1 управљачког сигнала **stSPA** уређаја P уписује вредност 1 онда када је уређај P спреман да прими садржај са линија  $DAP_{7..0}$ , а управљачким сигналом **clSPA** уређаја P вредност 0, онда када није спреман.

б) Дијаграми тока управљачких сигнала операционе и управљачке јединице дати су на слици 7.б.



Слика 7.б Дијаграми тока управљачких сигнала операционе и управљачке јединице

У кораку  $T_0$  се генерише вредност 1 управљачког сигнала **stSPA**, па се на сигнал такта у флип-флоп SPA уписује вредност 1 и прелази на корак  $T_1$ . Уписивањем вредности 1 у флип-флоп SPA уређај P сигнализира уређају UA да је спреман да од уређаја UA прими 8-битну бинарну реч по линијама података  $DAP_{7..0}$ .

У кораку  $T_1$  се остаје све време док сигнал **CAP** има вредност 0. Поред тога, све време док сигнал **CAP** има вредност 0 и сигнали **ldA**, **clF**, **clSC** и **clSPA** имају вредност 0. Вредношћу 1 сигнала **CAP** трајања једна периода сигнала такта, уређај UA сигнализира уређају P да се на линијама података  $DAP_{7..0}$  налази важећа бинарна реч. У кораку  $T_1$  се при вредности 1 сигнала **CAP** генеришу вредности 1 управљачких сигнала **ldA**, **clF**, **clSC** и **clSPA**, па се на сигнал такта у регистар  $A_{7..0}$  уписује садржај са линијама података  $DAP_{7..0}$ , флип-флоп F и бројач  $SC_{2..0}$  бришу а у флип-флоп SPA уписује вредност 0 и прелази на корак  $T_2$ . Уписивањем вредности 0 у флип-флоп SPA уређај P сигнализира уређају UA да до даљег није спреман да од уређаја UA прими 8-битну бинарну реч по линијама података  $DAP_{7..0}$ .

У кораку  $T_2$  се остаје осам периода сигнала такта. За време осам периода сигнала такта сигнали **srA**, **stF** и **incSC** имају вредност један.

За време прве периоде сигнала такта, на основу бита 0 бинарне речи за коју се формира други комплемент који је у разреду  $A_0$  и вредности флип-флопа F формира се бит 0 другог комплемента, па се на први сигнал такта вредношћу 1 сигнала **srA** помера за једно место удесно садржај регистра  $A_{7..0}$  и у његов разред  $A_7$  уписује формирани бит 0 другог комплемента. Због вредности 0 флип-флопа F формирани бит 0 другог комплемента је исти као бит 0 бинарне речи за коју се формира други комплемент. У разреду  $A_7$  је формирани бит 0 другог комплемента, а у разредима  $A_{6..0}$  битови 7 до 1 бинарне речи. На исти сигнал такта при вредности 1 сигнала **stF** садржај флип-флопа F се не мења или поставља на вредност 1 у зависности од тога да ли бит 0 бинарне речи у

разреду  $A_0$  има вредност 0 или 1, респективно. Поред тога на исти сигнал такта се вредношћу 1 сигнала **incSC** инкрементира садржај бројача  $SC_{2..0}$  на вредност један.

На сличан начин за време друге периоде сигнала такта, на основу бита 1 бинарне речи који је у разреду  $A_0$  и вредности флип-флопа  $F$  формира се бит 1 другог комплемента, па се на други сигнал такта вредношћу 1 сигнала **srA** помера за једно место удесно садржај регистра  $A_{7..0}$  и у његов разред  $A_7$  уписује формирани бит 1 другог комплемента. Вредност формираног бита 1 другог комплемента зависи не само од бита 1 бинарне речи који је у разреду  $A_0$  већ и од вредности флип-флопа  $F$ . Уколико је претходни бит бинарне речи за који се формира други комплемент био 0 вредност флип-флопа  $F$  је 0, па је формирани бит 1 другог комплемента исти као бит 1 бинарне речи за коју се формира други комплемент. Међутим, уколико је претходни бит бинарне речи за који се формира други комплемент био 1 вредност флип-флопа  $F$  је 1, па формирани бит 1 другог комплемента има вредност комплемента бита 1 бинарне речи за коју се формира други комплемент. У разредима  $A_{7..6}$  су формирани битови 1 и 0 другог комплемента, а у разредима  $A_{5..0}$  битови 7 до 2 бинарне речи. На исти сигнал такта при вредности 1 сигнала **stF** садржај флоп-флопа  $F$  се не мења или поставља на вредност 1 у зависности од тога која је вредност флип-флопа  $F$  и да ли бит 1 бинарне речи у разреду  $A_0$  има вредност 0 или 1. Уколико флип-флоп  $F$  има вредност 0, што значи да је претходни бит бинарне речи за који се формира други комплемент био 0, вредност флоп-флопа  $F$  се не мења или поставља на вредност 1 у зависности од тога да ли бит 1 бинарне речи у разреду  $A_0$  има вредност 0 или 1, респективно. Међутим, уколико флип-флоп  $F$  има вредност 1, што значи да је претходни бит бинарне речи за који се формира други комплемент био 1, вредност флоп-флопа  $F$  остаје 1 независно од тога да ли бит 1 бинарне речи у разреду  $A_0$  има вредност 0 или 1, респективно. Поред тога на исти сигнал такта се вредношћу 1 сигнала **incSC** инкрементира садржај бројача  $SC_{2..0}$  на вредност два.

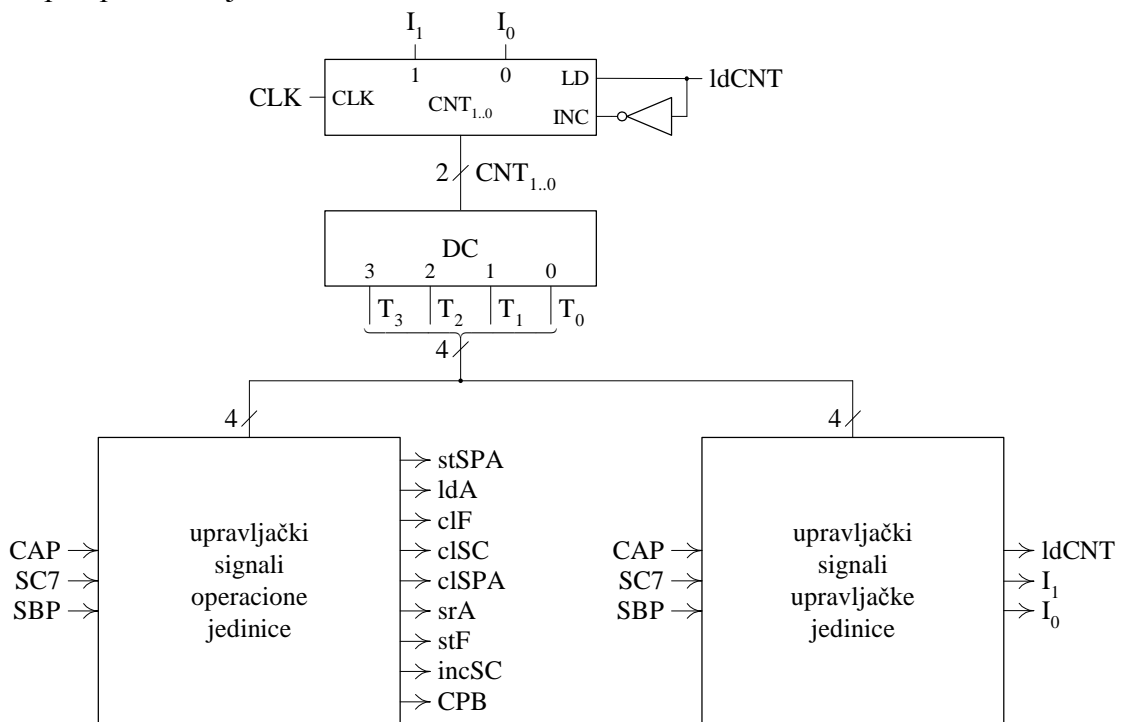
За време треће, четврте, пете, шесте и седме периоде сигнала такта на сличан начин се формирају и трећи, четврти, пети, шести и седми бит другог комплемента, а на трећи, четврти, пети, шести и седми сигнал такта садржај бројача  $SC_{2..0}$  инкрементира на три, четири, пет, шест и седам.

Коначно за време осме периоде сигнала такта, на основу бита 7 бинарне речи који је у разреду  $A_0$  и вредности флип-флопа  $F$  формира се бит 7 другог комплемента, па се на други сигнал такта вредношћу 1 сигнала **srA** помера за једно место удесно садржај регистра  $A_{7..0}$  и у његов разред  $A_7$  уписује формирани бит 7 другог комплемента. Вредност формираног бита 7 другог комплемента зависи не само од бита 7 бинарне речи који је у разреду  $A_0$  већ и од вредности флип-флопа  $F$ . Уколико су сви претходни битови бинарне речи за који се формира други комплемент били 0 вредност флип-флопа  $F$  је 0, па је формирани бит 7 другог комплемента исти као бит 7 бинарне речи за коју се формира други комплемент. Међутим, уколико је неки од претходних битова бинарне речи за који се формира други комплемент био 1 вредност флип-флопа  $F$  је 1, па формирани бит 7 другог комплемента има вредност комплемента бита 7 бинарне речи за коју се формира други комплемент. У разредима  $A_{7..0}$  су формирани битови 7 до 0 другог комплемента. На исти сигнал такта при вредности 1 сигнала **stF** садржај флоп-флопа  $F$  се не мења или поставља на вредност 1 у зависности од тога која је вредност флип-флопа  $F$  и да ли бит 7 бинарне речи у разреду  $A_0$  има вредност 0 или 1. Уколико флип-флоп  $F$  има вредност 0, што значи да су сви претходни бит бинарне речи за коју се формира други комплемент били 0, вредност флоп-флопа  $F$  се не мења или поставља на вредност 1 у зависности од тога да ли бит 7 бинарне речи у разреду  $A_0$  има вредност 0 или 1, респективно. Међутим, уколико флип-флоп  $F$  има вредност 1, што значи да је

неки претходних битова бинарне речи за који се формира други комплемент био 1, вредност флоп-флопа F остаје 1 независно од тога да ли бит 7 бинарне речи у разреду  $A_0$  има вредност 0 или 1, респективно. Поред тога на исти сигнал такта се вредношћу 1 сигнала **incSC** инкрементира садржај бројача  $SC_{2..0}$  на вредност нула. Приликом првих седам пролазака кроз корак  $T_2$  сигнал **BC7** има вредност нула, а приликом осмог проласка вредност један, па се на осми сигнал такта прелази на корак  $T_3$ .

У кораку  $T_3$  се остаје све време док сигнал **SBP** има вредност 0. Вредношћу 0 сигнала **SBP** уређај UB сигнализира уређају P да није спреман да прихвати резултат са линија података  $DPB_{7..0}$ , па све време док сигнал **SBP** има вредност 0 и сигнали **CPB** и **stSPA** имају вредност 0. Вредношћу 1 сигнала **SBP**, уређај UB сигнализира уређају P да је спреман да прихвати резултат са линија података  $DPB_{7..0}$ . У кораку  $T_3$  се при вредности 1 сигнала **SBP** генеришу вредности 1 управљачких сигнала **CPB** и **stSPA**. На први следећи сигнал такта се вредношћу 1 сигнала **CPB** омогућава да уређај UB упише резултат са линија података  $DPB_{7..0}$  у неки свој прихватни регистар, док се вредношћу 1 сигнала **stSPA** у флип-флоп SPA уписује вредност 1. На исти сигнал такта се прелази на корак  $T_1$ . Уписивањем вредности 1 у флип-флоп SPA уређај P сигнализира уређају UA да је сада спреман да од уређаја UA прими следећу 8-битну бинарну реч по линијама података  $DAP_{7..0}$ .

в) Структурна шема управљачке јединице реализоване помоћу бројача корака и декодера приказана је на слици 7.в.



Слика 7.в Структурна шема управљачке јединице

У кораку  $T_0$  треба да се остане само једна периода сигнала такта и да се на први сигнал такта пређе на корак  $T_1$ . У кораку  $T_0$  сигнал **ldCNT** има вредност 0, па су на улазима  $LD$  и  $INC$  бројача  $CNT_{1..0}$  вредности 0 и 1, респективно. Стога се на први сигнал такта садржај бројача  $CNT_{1..0}$  инкрементира и прелази на корак  $T_1$ .

У кораку  $T_1$  треба да се остане све време док сигнал **CAP** има вредност 0, а на корак  $T_1$  треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал **CAP** добија вредност 1. Све време док сигнал **CAP** има вредност 0 сигнали  $ldCNT$  и  $I_0$

имају вредност 1, па су на улазима LD и INC бројача CNT<sub>1...0</sub> вредности 1 и 0, респективно, а на паралелним улазима бројача CNT<sub>1...0</sub> је бинарна вредност 01. На сигнал такта у бројач CNT<sub>1...0</sub> се уписује вредност 01, па се остаје у кораку T<sub>1</sub>. На сигнал такта на који сигнал CAP добија вредност 1 сигнали ldCNT и I<sub>0</sub> добијају вредност 0, па су на улазима LD и INC бројача CNT<sub>1...0</sub> вредности 0 и 1, респективно. Стога се на први следећи сигнал такта садржај бројача CNT<sub>1...0</sub> инкрементира и прелази на корак T<sub>2</sub>.

У кораку T<sub>2</sub> треба да се остане све време док сигнал SC7 има вредност 0, а на корак T<sub>3</sub> треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал SC7 добија вредност 1. Све време док сигнал SC7 има вредност 0 сигнали ldCNT и I<sub>1</sub> имају вредност 1, па су на улазима LD и INC бројача CNT<sub>1...0</sub> вредности 1 и 0, респективно, а на паралелним улазима бројача CNT<sub>1...0</sub> је бинарна вредност 10. На сигнал такта у бројач CNT<sub>1...0</sub> се уписује вредност 10, па се остаје у кораку T<sub>2</sub>. На сигнал такта на који сигнал SC7 добија вредност 1 сигнали ldCNT и I<sub>1</sub> добијају вредност 0, па су на улазима LD и INC бројача CNT<sub>1...0</sub> вредности 0 и 1, респективно. Стога се на први следећи сигнал такта садржај бројача CNT<sub>1...0</sub> инкрементира и прелази на корак T<sub>3</sub>.

У кораку T<sub>3</sub> треба да се остане све време док сигнал SBP има вредност 0, а на корак T<sub>1</sub> треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал SBP добија вредност 1. У кораку T<sub>3</sub> сигнал ldCNT има вредност 1, па су на улазима LD и INC бројача CNT<sub>1...0</sub> вредности 1 и 0, респективно. Стога се на сигнал такта увек врши уписивање у бројач CNT<sub>1...0</sub>. Како у кораку T<sub>3</sub> и сигнал I<sub>0</sub> увек има вредност 1, вредност која ће се уписивати зависи од тога да ли сигнал I<sub>1</sub> има вредност 1 или 0. Све време док сигнал SBP има вредност 0, сигнал I<sub>1</sub> има вредност 1, па је на паралелним улазима бројача CNT<sub>1...0</sub> бинарна вредност 11. На сигнал такта у бројач CNT<sub>1...0</sub> се уписује вредност 11, па се остаје у кораку T<sub>3</sub>. На сигнал такта на који сигнал SBP добија вредност 1, сигнал I<sub>1</sub> добија вредност 0, па је на паралелним улазима бројача CNT<sub>1...0</sub> бинарна вредност 01. Стога се на први следећи сигнал такта у бројач CNT<sub>1...0</sub> уписује вредност 01, па се прелази на корак T<sub>1</sub>.

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$stSPA = T_0 + SBP \cdot T_3$$

$$ldA = CAP \cdot T_1$$

$$clF = CAP \cdot T_1$$

$$clSC = CAP \cdot T_1$$

$$clSPA = CAP \cdot T_1$$

$$srA = T_2$$

$$stF = T_2$$

$$incSC = T_2$$

$$CPB = SBP \cdot T_3$$

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$ldCNT = \overline{CAP} \cdot T_1 + \overline{SC7} \cdot T_2 + T_3$$

$$I_0 = \overline{CAP} \cdot T_1 + T_3$$

$$I_1 = \overline{SC7} \cdot T_2 + \overline{SBP} \cdot T_3$$



## 1.8 ПАРОВИ ЈЕДНАКИХ ИЛИ РАЗЛИЧИТИХ СУСЕДНИХ БИТОВА

Реализовати уређај Р за спрегу између уређаја UA и UB. Уређај Р треба да обавља две операције и то пребројавање парова различитих и пребројавање парова једнаких суседних битова 8-битне бинарне речи. На пример, број парова једнаких суседних битова у броју 11010010 је 2, а различитих је 5. Уређај Р треба од уређаја UA да прими паралелно две бинарне речи и то 8-битну бинарну реч за коју треба извршити пребројавање и 1-битну бинарну реч кода операције која вредностима 0 и 1 одређује да ли треба пребројавати парове различитих или парове једнаких суседних битова, респективно, и добијену 3-битну бинарну реч броја пребројаних парова пошаље уређају UB. Операција треба да се понавља циклично. Уређаји UA, Р и UB треба раде синхроно на исти сигнал такта.

Уређај UA шаље уређају Р истовремено 8-битну и 1-битну бинарну реч по линијама података  $DAP_{7..0}$  и  $DAP_8$ , респективно. За синхронизацију између уређаја UA и Р користе се статусни сигнал SPA и управљачки сигнал CAP. Вредностима 0 и 1 сигнала SPA уређај Р шаље уређају UA индикацију када не може и када може да прими бинарне речи са линија  $DAP_{7..0}$  и  $DAP_8$ . Вредношћу 1 сигнала CAP, трајања једна периода сигнала такта, уређај UA шаље уређају Р команду да треба да прими бинарне речи са линија  $DAP_{7..0}$  и  $DAP_8$ , при чему уређај UA то чини када утврди да уређај Р на статусној линији SPA држи вредност 1.

Уређај Р шаље уређају UB 3-битну бинарну реч броја пребројаних парова по линијама података  $DPB_{2..0}$ , при чему је бит 2 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја Р и UB користе се статусни сигнал SBP и управљачки сигнал CPB. Вредностима 0 и 1 сигнала SBP уређај UB шаље уређају Р индикацију када не може и када може да прими 3-битну бинарну реч, респективно. Вредношћу 1 сигнала CPB, трајања једна периода сигнала такта, уређај Р шаље уређају UB команду да треба да прими 3-битну бинарну реч, при чему уређај Р то чини када утврди да уређај UB на статусној линији SBP држи вредност 1.

Претпоставити да су на почетку на статусним линијама SPA и SBP налазе вредности 0.

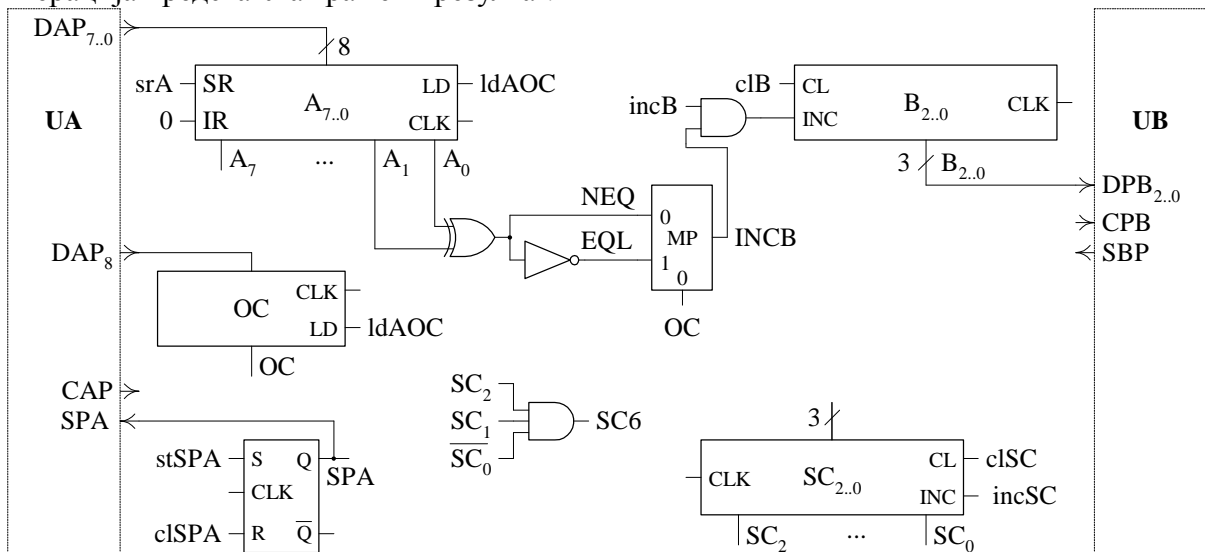
- а) Нацртати структурну шему операционе јединице уређаја Р.
- б) Нацртати дијаграме тока управљачких сигнала операционе јединице и управљачке јединице уређаја Р.
- в) Нацртати структурну шему управљачке јединице уређаја Р реализоване помоћу бројача корака и декодера и дати изразе за генерисање управљачких сигнала операционе јединице и управљачке јединице уређаја Р.

### Решење:

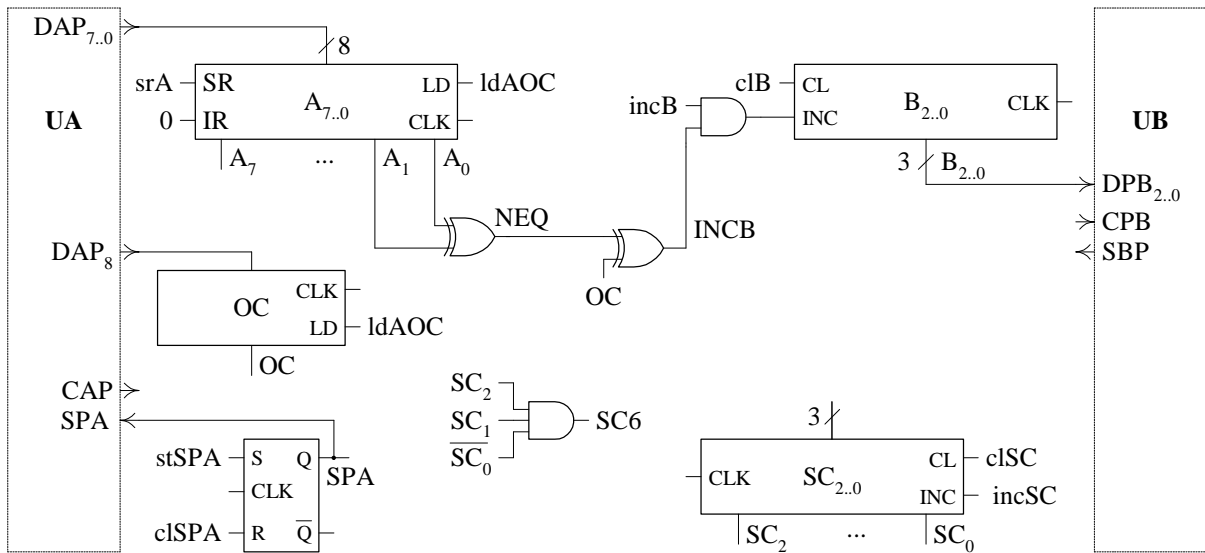
- а) Структурна шема операционе јединице дата је на сликама 8.а.

Структурна шема операционе јединице одговара усвојеном поступку реализације операција пребројавања парова различитих и парова једнаких суседних битова 8-битне бинарне речи. За обе операције се у првој итерацији врши упоређивање нултог и првог бита, у другој итерацији првог и другог бита и тако редом до седме итерације у којој се врши упоређивање шестог и седмог бита 8-битне бинарне речи. У зависности од тога да ли се ради о операцији пребројавања парова различитих или једнаких суседних битова 8-битне бинарне речи врши се инкрементирање једног бројача када се при упоређивању

открије неједнакост или једнакост, респективно. Вредност бројача после седам итерација представља тражени резултат.



Слика 8.a1 Структурна шема операционе јединице



Слика 8.a2 Структурна шема операционе јединице

Операциона јединица садржи регистре  $A_{7..0}$  и  $OC$ , бројаче  $B_{2..0}$  и  $SC_{2..0}$ , комбинациону мрежу за инкрементирање бројача  $B_{2..0}$  и флип-флоп  $SPA$ .

Регистар  $A_{7..0}$  је 8-разредни регистри са паралелним уписом и читањем. У регистар  $A_{7..0}$  се вредношћу 1 сигнала **ldAOC** уписује 8-битна бинарна реч која по линијама  $DAP_{7..0}$  долази из уређаја  $UA$  и у којој треба пребројити парове различитих или парове једнаких суседних битова. Излази разреда регистра  $A_0$  и  $A_1$  се воде на улазе комбинационе мреже за инкрементирање бројача  $B_{2..0}$ . Вредношћу један сигнала **srA**, врши се померање удесно садржаја регистра  $A_{7..0}$ . Тиме се упоређивањем садржаја разреда  $A_0$  и  $A_1$  у комбинационој мрежи за инкрементирање бројача  $B_{2..0}$  у првој итерацији врши упоређивање нултог и првог бита, у другој итерацији првог и другог бита и тако редом до седме итерације у којој се врши упоређивање шестог и седмог бита 8-битне бинарне речи.

Регистар  $OC$  је 1-разредни регистри са паралелним уписом и читањем. У регистар  $OC$  се вредношћу 1 сигнала **ldAOC** уписује 1-битна бинарна реч која по линији  $DAP_8$

долази из уређаја UA. Вредностима 0 и 1 овог регистра се одређује да ли треба пребројавати различите или једнаке парове суседних битова 8-битне бинарне речи, респективно. Излаз регистра ОС се води у комбинациону мрежу за инкрементирање бројача  $V_{2..0}$ .

Бројач  $V_{2..0}$  је 3-разредни инкрементирајући бројач. Вредношћу један сигнала **c1B** на почетку одбројавања врши се уписивање вредности нула у бројач  $V_{2..0}$ , док се вредношћу један сигнала **incB** врши његово инкрементирање када сигнал **INCB** на излазу комбинационе мреже за инкрементирање бројача  $V_{2..0}$  има вредност један. Садржај на излазима  $V_{2..0}$  представља 3-битну бинарну реч коју уређај P по линијама  $DPV_{2..0}$  шаље уређају UB заједно са вредношћу 1 управљачког сигнала **CPB** трајања једна периода сигнала такта.

Комбинациона мрежа за инкрементирање бројача  $V_{2..0}$  је реализована на два начина (слике 8.a1 и 8.a2). У оба случаја се логичким елементом ексклузивно ИЛИ формира сигнал неједнакости NEQ. Овај сигнал има вредност 1 или 0 у зависности од тога да ли се битови у разредима  $A_0$  и  $A_1$  разликују или су једнаки, респективно.

У случају реализације са слике 8.a1, формира се и сигнал једнакости EQL, који представља комплемент сигнала NEQ. Овај сигнал има вредност 1 или 0 у зависности од тога да ли су битови у разредима  $A_0$  и  $A_1$  једнаки или се разликују, респективно. Сигнал **INCB** се формира на излазу мултиплексера MP и добија вредност сигнала NEQ, када се ради о операција пребројавања парова различитих суседних битова и сигнал ОС има вредност нула, и вредности сигнала EQL када се ради о операција пребројавања парова једнаких суседних битова и сигнал ОС има вредност један.

У случају реализације са слике 8.a2, сигнал **INCB** се формира на излазу другог логичког елементу ексклузивно ИЛИ и добија вредност сигнала NEQ, када се ради о операција пребројавања парова различитих суседних битова и сигнал ОС има вредност нула, и комплемент сигнала сигнала NEQ када се ради о операција пребројавања парова једнаких суседних битова и сигнал ОС има вредност један.

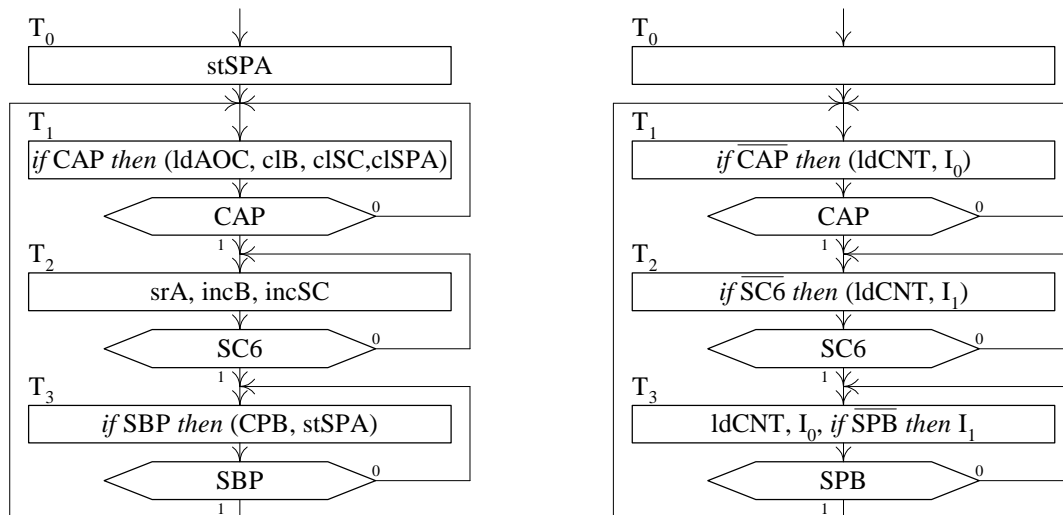
Коректност ове реализације се може илустровати конкретним вредностима. Ако су битови у разредима  $A_0$  и  $A_1$  једнаки, прва ексклузивно ИЛИ функција даје за сигнал NEQ вредност 0. Ако је вредност регистра ОС један, што значи да треба да се броје парови једнаких битова, резултат друге ексклузивно ИЛИ функције даје за сигнал **INCB** вредност 1, па се ова два бита броје као пар. Ако је вредност регистра ОС нула, што значи да треба да се броје парови неједнаких битова, резултат друге ексклузивно ИЛИ функције даје за сигнал **INCB** вредност 0, па се ова два бита не броје као пар. Ако битови у разредима  $A_0$  и  $A_1$  нису једнаки, прва ексклузивно ИЛИ функција даје за сигнал NEQ вредност 1. Ако је вредност регистра ОС један, што значи да треба да се броје парови једнаких битова, резултат друге ексклузивно ИЛИ функције даје за сигнал **INCB** вредност 0, па се ова два бита не броје као пар. Ако је вредност регистра ОС нула, што значи да треба да се броје парови неједнаких битова, резултат друге ексклузивно ИЛИ функције даје за сигнал **INCB** вредност 1, па се ова два бита броје као пар.

Бројач  $SC_{2..0}$  је 3-разредни инкрементирајући бројач. Вредношћу један сигнала **c1SC** на почетку одбројавања врши се уписивање вредности нула у бројач  $SC_{2..0}$ , док се вредношћу један сигнала **incSC** врши његово инкрементирање после обраде сваког од 7 парова битова.

У флип-флоп SPA се вредношћу 1 управљачког сигнала **stSPA** уређаја P уписује вредност 1 онда када је уређај P спреман да прими садржај са линија  $DAP_{7..0}$ , а управљачким сигналом **c1SPA** уређаја P вредност 0, онда када није спреман.

Пребројавање парова различитих, односно једнаких, бита се реализује на следећи начин. Вредношћу 1 сигнала **ldAOC** се у померачки регистар  $A_{7..0}$  уписује 8-битна бинарна реч и у регистар  $OC$  1-битна бинарна реч, а вредношћу 1 сигнала **clB** регистар  $B$  брише. На основу садржаја  $A_0, A_1$  и  $OC$  комбинациона мрежа за генерисање сигнала **INCB** формира вредност 1 или 0 овог сигнала, чиме се одређује да ли при вредности 1 управљачког сигнала **incB** садржај бројача  $B_{2..0}$  треба или не треба инкрементирати, респективно. Да би се то омогућило сигнал **INCB** се са управљачким сигналом **incB** преко  $I$  кола води на улаз  $INC$  регистра  $B_{2..0}$ . Тиме је обрађен један пар битова, па се прелази на обраду следећег пара битова. Због тога се садржај регистра  $A_{7..0}$  помера за једно место удесно. Како у 8-битном броју има 7 парова суседних бита описани поступак се понавља 7 пута. За вођење евиденције колико још пута описани поступак треба поновити служи инкрементирајући бројачки регистар  $SC_{2..0}$ . Садржај регистра  $SC_{2..0}$  се на почетку вредношћу 1 сигнала **clSC** брише, а потом када се описани поступак изврши за један пар суседних бита вредношћу 1 сигнала **incSC** инкрементира. Вредност 1 сигнала логичког услова  $SC6$  на излазу логичког  $I$  елемента се појављује када садржаја регистра  $SC$  инкрементирањем стигне до вредности 6 и служи као индикација да је описани поступак поновљен 7 пута.

б) Дијаграми тока управљачких сигнала операционе и управљачке јединице за обе операције су исти и дати су на слици 8.б.



Слика 8.б Дијаграми тока управљачких сигнала операционе и управљачке јединице

У кораку  $T_0$  се генерише вредност 1 управљачког сигнала **stSPA**, па се на сигнал такта у флип-флоп  $SPA$  уписује вредност 1 и прелази на корак  $T_1$ . Уписивањем вредности 1 у флип-флоп  $SPA$  уређај  $P$  сигнализира уређају  $UA$  да је спреман да од уређаја  $UA$  прими 8-битну и 1-битну бинарну реч по линијама података  $DAP_{7..0}$  и  $DAP_8$ , респективно.

У кораку  $T_1$  се остаје све време док сигнал **CAP** има вредност 0. Поред тога, све време док сигнал **CAP** има вредност 0 и сигнали **ldAOC**, **clB**, **clSC** и **clSPA** имају вредност 0. Вредношћу 1 сигнала **CAP** трајања једна периода сигнала такта, уређај  $UA$  сигнализира уређају  $P$  да се на линијама података  $DAP_{7..0}$  и  $DAP_8$ , налазе важеће бинарне речи. У кораку  $T_1$  се при вредности 1 сигнала **CAP** генеришу вредности 1 управљачких сигнала **ldAOC**, **clB**, **clSC** и **clSPA**, па се на сигнал такта у регистре  $A_{7..0}$  и  $OC$  уписује садржај са линијама података  $DAP_{7..0}$  и  $DAP_8$ , бројачи  $B_{2..0}$  и  $SC_{2..0}$  бришу а у флип-флоп  $SPA$  уписује вредност 0 и прелази на корак  $T_2$ . Уписивањем вредности 0 у флип-флоп  $SPA$  уређај  $P$  сигнализира уређају  $UA$  да до даљег није спреман да од уређаја

UA прими 8-битну и 1-битну бинарну реч по линијама података  $DAP_{7..0}$  и  $DAP_8$ , респективно

У кораку  $T_2$  се остаје седам периода сигнала такта. За време седам периода сигнала такта сигнали **srA**, **incB** и **incSC** имају вредност један.

За време прве периоде сигнала такта, обрађује се први пар битова у разредима  $A_1$  и  $A_0$ , а на први сигнал такта се у зависности од тога да ли сигнал **INCB** има вредност 1 или 0 или инкрементира или не инкрементира садржај бројача  $B_{2..0}$ , помера за једно место удесно садржај регистра  $A_{7..0}$  и инкрементира садржај бројача  $SC_{2..0}$  на вредност један.

На сличан начин за време друге периоде сигнала такта, обрађује се други пар битова у разредима  $A_1$  и  $A_0$ , а на други сигнал такта се у зависности од тога да ли сигнал **INCB** има вредност 1 или 0 или инкрементира или не инкрементира садржај бројача  $B_{2..0}$ , помера за једно место удесно садржај регистра  $A_{7..0}$  и инкрементира садржај бројача  $SC_{2..0}$  на вредност два. За време треће, четврте и пете периоде сигнала такта на сличан начин се обрађују и трећи, четврти и пети пар битова, а на трећи, четврти и пети сигнал такта садржај бројача  $SC_{2..0}$  инкрементира на три, четири и пет.

За време шесте периоде сигнала такта, обрађује се шести пар битова у разредима  $A_1$  и  $A_0$ , а на шести сигнал такта се у зависности од тога да ли сигнал **INCB** има вредност 1 или 0 или инкрементира или не инкрементира садржај бројача  $B_{2..0}$ , помера за једно место удесно садржај регистра  $A_{7..0}$  и инкрементира садржај бројача  $SC_{2..0}$  на вредност шест.

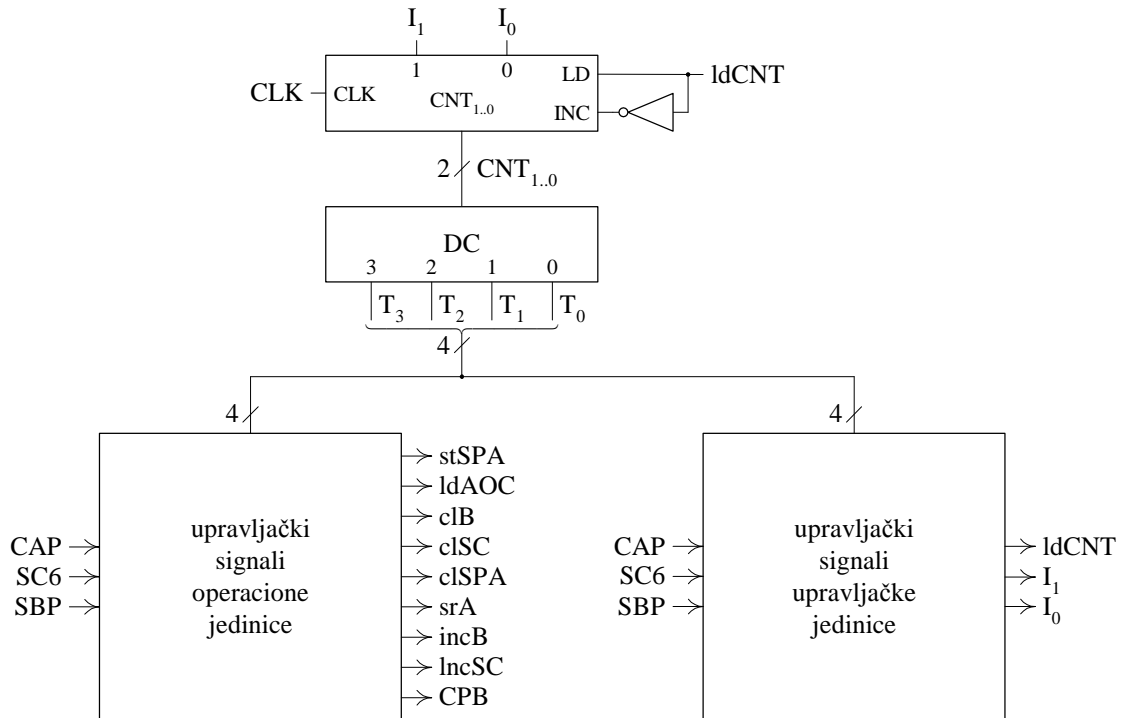
Коначно за време седме периоде сигнала такта, обрађује се седми пар битова у разредима  $A_1$  и  $A_0$ , а на седми сигнал такта се у зависности од тога да ли сигнал **INCB** има вредност 1 или 0 или инкрементира или не инкрементира садржај бројача  $B_{2..0}$ , помера за једно место удесно садржај регистра  $A_{7..0}$  и инкрементира садржај бројача  $SC_{2..0}$  на вредност седам. Приликом првих шест пролазака кроз корак  $T_2$  сигнал **BC6** има вредност нула, а приликом седмог проласка вредност један, па се на седми сигнал такта прелази на корак  $T_3$ .

У кораку  $T_3$  се остаје све време док сигнал **SBP** има вредност 0. Вредношћу 0 сигнала **SBP** уређај UB сигнализира уређају P да није спреман да прихвати резултат са линија података  $DPB_{2..0}$ , па све време док сигнал **SBP** има вредност 0 и сигнали **CPB** и **stSPA** имају вредност 0. Вредношћу 1 сигнала **SBP**, уређај UB сигнализира уређају P да је спреман да прихвати резултат са линија података  $DPB_{2..0}$ . У кораку  $T_3$  се при вредности 1 сигнала **SBP** генеришу вредности 1 управљачких сигнала **CPB** и **stSPA**. На први следећи сигнал такта се вредношћу 1 сигнала **CPB** омогућава да уређај UB упише резултат са линија података  $DPB_{2..0}$  у неки свој прихватни регистар, док се вредношћу 1 сигнала **stSPA** у флип-флоп SPA уписује вредност 1. На исти сигнал такта се прелази на корак  $T_1$ . Уписивањем вредности 1 у флип-флоп SPA уређај P сигнализира уређају UA да је сада спреман да од уређаја UA прими следећу 8-битну и 1-битну бинарну реч по линијама података  $DAP_{7..0}$  и  $DAP_8$ , респективно.

в) Структурна шема управљачке јединице реализоване помоћу бројача корака и декодера приказана је на слици 8.в.

У кораку  $T_0$  треба да се остане само једна периода сигнала такта и да се на први сигнал такта пређе на корак  $T_1$ . У кораку  $T_0$  сигнал **ldCNT** има вредност 0, па су на улазима LD и INC бројача  $CNT_{1..0}$  вредности 0 и 1, респективно. Стога се на први сигнал такта садржај бројача  $CNT_{1..0}$  инкрементира и прелази на корак  $T_1$ .

У кораку  $T_1$  треба да се остане све време док сигнал **CAP** има вредност 0, а на корак  $T_1$  треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал **CAP** добија вредност 1. Све време док сигнал **CAP** има вредност 0 сигнали **ldCNT** и  $I_0$  имају вредност 1, па су на улазима **LD** и **INC** бројача  $CNT_{1..0}$  вредности 1 и 0, респективно, а на паралелним улазима бројача  $CNT_{1..0}$  је бинарна вредност 01. На сигнал такта у бројач  $CNT_{1..0}$  се уписује вредност 01, па се остаје у кораку  $T_1$ . На сигнал такта на који сигнал **CAP** добија вредност 1 сигнали **ldCNT** и  $I_0$  добијају вредност 0, па су на улазима **LD** и **INC** бројача  $CNT_{1..0}$  вредности 0 и 1, респективно. Стога се на први следећи сигнал такта садржај бројача  $CNT_{1..0}$  инкрементира и прелази на корак  $T_2$ .



Слика 8.в Структурна шема управљачке јединице

У кораку  $T_2$  треба да се остане све време док сигнал **SC6** има вредност 0, а на корак  $T_3$  треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал **SC6** добија вредност 1. Све време док сигнал **SC6** има вредност 0 сигнали **ldCNT** и  $I_1$  имају вредност 1, па су на улазима **LD** и **INC** бројача  $CNT_{1..0}$  вредности 1 и 0, респективно, а на паралелним улазима бројача  $CNT_{1..0}$  је бинарна вредност 10. На сигнал такта у бројач  $CNT_{1..0}$  се уписује вредност 10, па се остаје у кораку  $T_2$ . На сигнал такта на који сигнал **SC6** добија вредност 1 сигнали **ldCNT** и  $I_1$  добијају вредност 0, па су на улазима **LD** и **INC** бројача  $CNT_{1..0}$  вредности 0 и 1, респективно. Стога се на први следећи сигнал такта садржај бројача  $CNT_{1..0}$  инкрементира и прелази на корак  $T_3$ .

У кораку  $T_3$  треба да се остане све време док сигнал **SBP** има вредност 0, а на корак  $T_1$  треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал **SBP** добија вредност 1. У кораку  $T_3$  сигнал **ldCNT** има вредност 1, па су на улазима **LD** и **INC** бројача  $CNT_{1..0}$  вредности 1 и 0, респективно. Стога се на сигнал такта увек врши уписивање у бројач  $CNT_{1..0}$ . Како у кораку  $T_3$  и сигнал  $I_0$  увек има вредност 1, вредност која ће се уписивати зависи од тога да ли сигнал  $I_1$  има вредност 1 или 0. Све време док сигнал **SBP** има вредност 0, сигнал  $I_1$  има вредност 1, па је на паралелним улазима бројача  $CNT_{1..0}$  бинарна вредност 11. На сигнал такта у бројач  $CNT_{1..0}$  се уписује

вредност 11, па се остаје у кораку  $T_3$ . На сигнал такта на који сигнал **SBP** добија вредност 1, сигнал  $I_1$  добија вредност 0, па је на паралелним улазима бројача  $CNT_{1...0}$  бинарна вредност 01. Стога се на први следећи сигнал такта у бројач  $CNT_{1...0}$  уписује вредност 01, па се прелази на корак  $T_1$ .

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$stSPA = T_0 + SBP \cdot T_3$$

$$ldAOC = CAP \cdot T_1$$

$$clB = CAP \cdot T_1$$

$$clSC = CAP \cdot T_1$$

$$clSPA = CAP \cdot T_1$$

$$srA = T_2$$

$$incB = T_2$$

$$incSC = T_2$$

$$CPB = SBP \cdot T_3$$

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$ldCNT = \overline{CAP} \cdot T_1 + \overline{SC6} \cdot T_2 + T_3$$

$$I_0 = \overline{CAP} \cdot T_1 + T_3$$

$$I_1 = \overline{SC6} \cdot T_2 + \overline{SBP} \cdot T_3$$

## 1.9 ПОЗИЦИЈА ЈЕДИНИЦЕ НАЈВЕЋЕ ИЛИ НАЈМАЊЕ ТЕЖИНЕ

Реализовати уређај Р за спрегу између уређаја UA и UB. Уређај Р треба да обавља две операције и то проналажење позиције јединице највеће тежине и проналажење позиције јединице најмање тежине у 64-битној бинарној речи, при чему је најстарији бит означен са 63 а најмлађи бит са 0. Уређај Р треба да прими паралелно две бинарне речи од уређаја UA и то 64-битну бинарну реч за коју треба извршити проналажење позиције тражене јединице и 1-битну бинарну реч која вредностима 0 и 1 одређује да ли треба тражити позицију јединице највеће тежине или позицију јединице најмање тежине, респективно, и уређају UB паралелно пошаље две бинарне речи и то 1-битну бинарну реч која вредностима 0 и 1 одређује да у 64-битној бинарној речи не постоји ни једна јединица већ само нуле и да постоји барем једна јединица, респективно, и 6-битну бинарну реч позиције тражене јединице, при чему је најстарији бит означен са 5 а најмлађи бит са 0. При томе садржај 6-битне бинарне речи има смисла једино уколико 1-битну бинарна реч има вредност 1. Операција треба да се понавља циклично. Уређаји UA, Р и UB треба раде синхроно на исти сигнал такта.

Уређај UA шаље уређају Р истовремено 64-битну и 1-битну бинарну реч по линијама података  $DAP_{63..0}$  и  $DAP_{64}$ , респективно. За синхронизацију између уређаја UA и Р користе се статусни сигнал SPA и управљачки сигнал CAP. Вредностима 0 и 1 сигнала SPA уређај Р шаље уређају UA индикацију када не може и када може да прими бинарне речи са линија  $DAP_{63..0}$  и  $DAP_{64}$ . Вредношћу 1 сигнала CAP, трајања једна периода сигнала такта, уређај UA шаље уређају Р команду да треба да прими бинарне речи са линија  $DAP_{63..0}$  и  $DAP_{64}$ , при чему уређај UA то чини када утврди да уређај Р на статусној линији SPA држи вредност 1.

Уређај Р шаље уређају UB истовремено 6-битну и 1-битну бинарну реч по линијама података  $DPB_{5..0}$  и  $DPB_6$ , респективно. За синхронизацију између уређаја Р и UB користе се статусни сигнал SBP и управљачки сигнал CPB. Вредностима 0 и 1 сигнала SBP уређај UB шаље уређају Р индикацију када не може и када може да прими бинарне речи са линија  $DPB_{5..0}$  и  $DPB_6$ . Вредношћу 1 сигнала CPB, трајања једна периода сигнала такта, уређај Р шаље уређају UB команду да треба да прими бинарне речи са линија  $DPB_{5..0}$  и  $DPB_6$ , при чему уређај Р то чини када утврди да уређај UB на статусној линији SBP држи вредност 1.

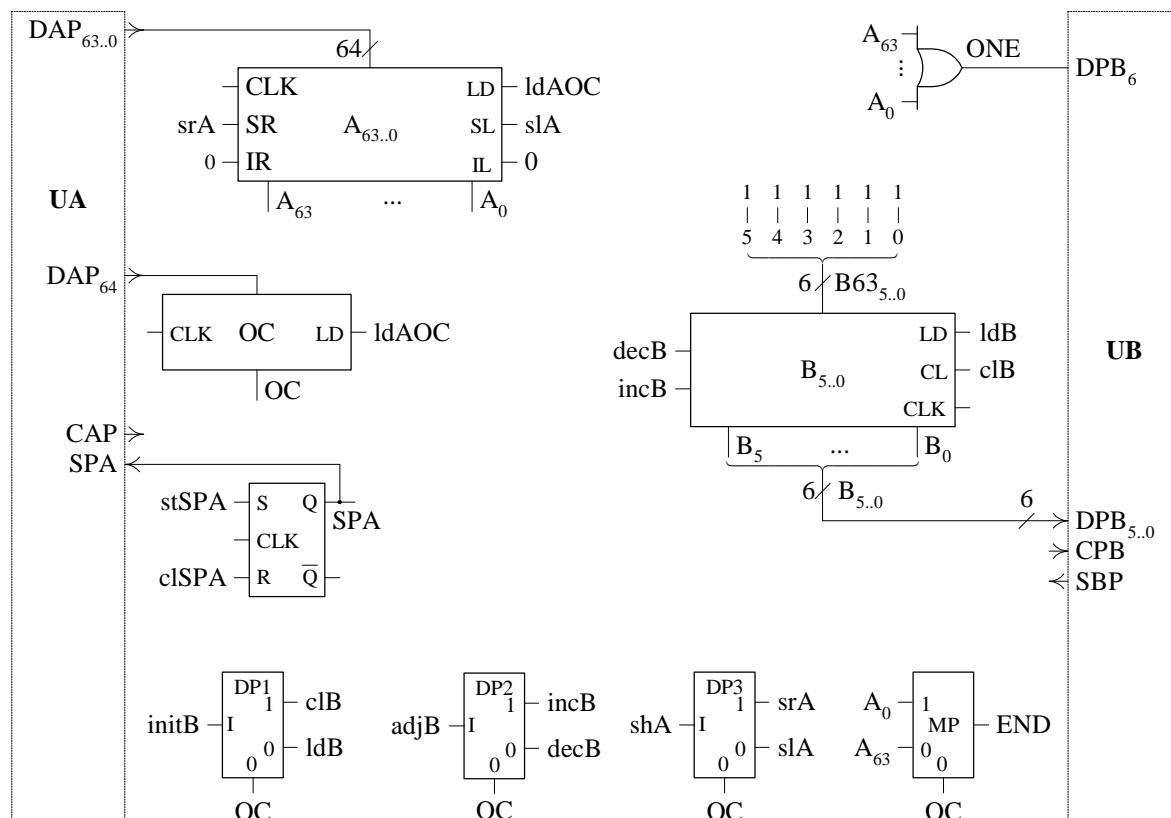
Претпоставити да су на почетку на статусним линијама SPA и SBP налазе вредности 0.

- а) Нацртати структурну шему операционе јединице уређаја Р.
- б) Нацртати дијаграме тока управљачких сигнала операционе јединице и управљачке јединице уређаја Р.
- в) Нацртати структурну шему управљачке јединице уређаја Р реализоване помоћу бројача корака и декодера и дати изразе за генерисање управљачких сигнала операционе јединице и управљачке јединице уређаја Р.

### Решење:

- а) Структурна шема операционе јединице приказана је на слици 9.а





Слика 9.а Структурна шема операционе јединице

Регистар  $A_{63..0}$  је 64-разредни регистри са паралелним уписом и читањем и померањем улево и удесно. У регистар  $A_{63..0}$  се вредношћу 1 сигнала **ldAOC** уписује 64-битна бинарна реч која по линијама  $DAP_{63..0}$  долази из уређаја UA и у којој треба тражити позицију јединице највеће или најмање тежине. Сигнал **ONE** има вредност 1 уколико барем један бит 64-битне бинарне речи у регистру  $A_{63..0}$  има вредност 1 и тада има смисла тражити позицију јединице највеће или најмање тежине. У супротном случају сигнал **ONE** има вредност 0 и тада нема смисла тражити позицију јединице највеће или најмање тежине. Вредношћу 1 сигнала **slA** помера се садржај регистра  $A_{63..0}$  улево. Ово се користи код реализације проналажења позиције јединице највеће тежине. Вредношћу 1 сигнала **srA** помера се садржај регистра  $A_{63..0}$  удесно. Ово се користи код реализације проналажења позиције јединице најмање тежине.

Регистар OC је 1-разредни регистри са паралелним уписом и читањем. У регистар OC се вредношћу 1 сигнала **ldAOC** уписује 1-битна бинарна реч која по линији  $DAP_{64}$  долази из уређаја UA. Вредностима 0 и 1 овог регистра се одређује да ли треба тражити позицију јединице највеће или најмање тежине у 64-битној бинарној речи у регистру  $A_{63..0}$ , респективно. Вредностима 0 и 1 сигнала OC се на излазима демултиплексера DP1, DP2 и DP3 и мултиплексера MP формирају управљачки сигнали неопходни за проналажење позиције јединице највеће или најмање тежине.

Бројач  $B_{5..0}$  је 6-разредни бројачки регистар. Вредношћу 1 сигнала **ldB** у регистар  $B_{5..0}$  се уписује вредност 63, док се вредношћу 1 сигнала **decB** декрементира његов садржај. Ово се користи код реализације проналажења позиције јединице највеће тежине. Вредношћу 1 сигнала **clB** у регистар  $B_{5..0}$  се уписује вредност 0, док се вредношћу 1 сигнала **incB** инкрементира његов садржај. Ово се користи код реализације проналажења позиције јединице најмање тежине.

Проналажења позиције јединице највеће тежине се реализују једино уколико барем један бит 64-битне бинарне речи у регистру  $A_{63..0}$  има вредност 1 и то поступком који је дат у даљем тексту. Увек се проверава разред  $A_{63}$ , а у бројачком регистру је бинарна вредност која одговара ознаци за бит бинарне речи који се налази у разреду  $A_{63}$ . На почетку се у разреду  $A_{63}$  налази бит 63 бинарне речи, а у бројачки регистар  $V_{5..0}$  се уписује вредност 63 која одговара ознаци за бит бинарне речи који се налази у разреду  $A_{63}$ . Уколико је у разреду  $A_{63}$  вредност 1 откривена је позиција јединице највеће тежине, а садржај 63 бројачког регистра  $V_{5..0}$  представља тражени резултат. Овим је операција завршена. Уколико је у разреду  $A_{63}$  вредност 0 операција се настала тако што се садржаја регистра  $A_{63..0}$  помера улево и садржај бројачког регистра  $V_{5..0}$  декрементира. У разреду  $A_{63}$  се сада налази бит 62 бинарне речи, а садржај бројачког регистра  $V_{5..0}$  има вредност 62 која одговара ознаци за бит бинарне речи који се налази у разреду  $A_{63}$ . Уколико је у разреду  $A_{63}$  вредност 1 откривена је позиција јединице највеће тежине, а садржај 62 бројачког регистра  $V_{5..0}$  представља тражени резултат. Овим је операција завршена. Уколико је у разреду  $A_{63}$  вредност 0 операција се настала тако што се садржаја регистра  $A_{63..0}$  помера улево и садржај бројачког регистра  $V_{5..0}$  декрементира. Овај поступак се понавља све док се у разреду  $A_{63}$  не открије вредност 1. Први пут када се у разреду  $A_{63}$  открије вредност 1 операција се завршава, а садржај бројачког регистра  $V_{5..0}$  у том тренутку представља тражени резултат.

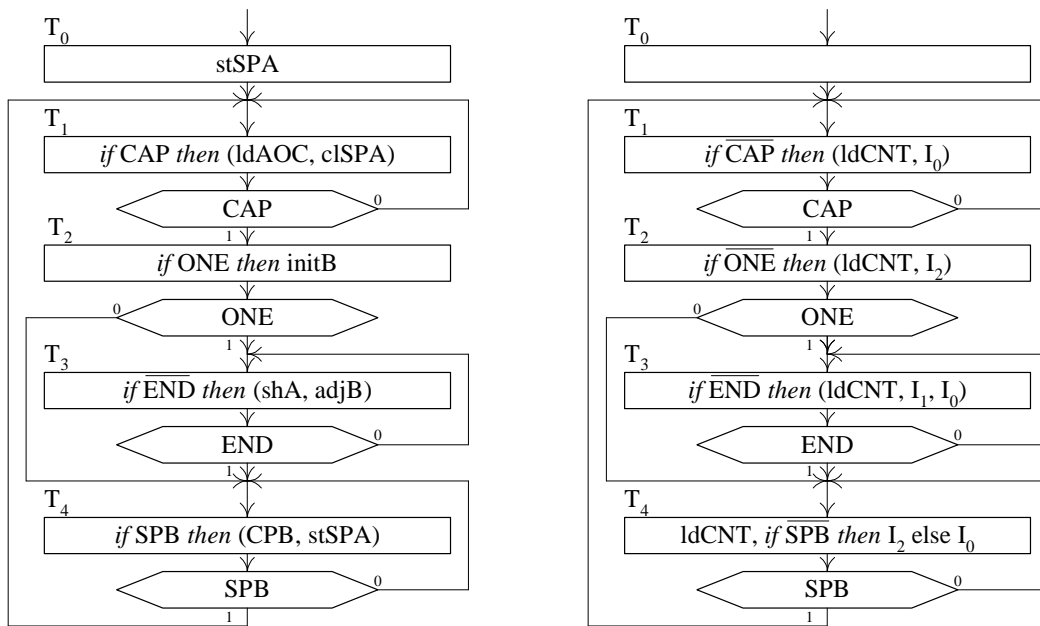
Проналажења позиције јединице најмање тежине се реализују једино уколико барем један бит 64-битне бинарне речи у регистру  $A_{63..0}$  има вредност 1 и то поступком који је дат у даљем тексту. Увек се проверава разред  $A_0$ , а у бројачком регистру  $V_{5..0}$  је бинарна вредност која одговара ознаци за бит бинарне речи који се налази у разреду  $A_0$ . На почетку се у разреду  $A_0$  налази бит 0 бинарне речи, а у бројачки регистар  $V_{5..0}$  се уписује вредност 0 која одговара ознаци за бит бинарне речи који се налази у разреду  $A_0$ . Уколико је у разреду  $A_0$  вредност 1 откривена је позиција јединице најмање тежине, а садржај 0 бројачког регистра  $V_{5..0}$  представља тражени резултат. Овим је операција завршена. Уколико је у разреду  $A_0$  вредност 0 операција се настала тако што се садржаја регистра  $A_{63..0}$  помера удесно и садржај бројачког регистра  $V_{5..0}$  инкрементира. У разреду  $A_0$  се сада налази бит 1 бинарне речи, а садржај бројачког регистра  $V_{5..0}$  има вредност 1 која одговара ознаци за бит бинарне речи који се налази у разреду  $A_0$ . Уколико је у разреду  $A_0$  вредност 1 откривена је позиција јединице најмање тежине, а садржај 1 бројачког регистра  $V_{5..0}$  представља тражени резултат. Овим је операција завршена. Уколико је у разреду  $A_0$  вредност 0 операција се настала тако што се садржаја регистра  $A_{63..0}$  помера удесно и садржај бројачког регистра  $V_{5..0}$  инкрементира. Овај поступак се понавља све док се у разреду  $A_0$  не открије вредност 1. Први пут када се у разреду  $A_0$  открије вредност 1 операција се завршава, а садржај бројачког регистра  $V_{5..0}$  у том тренутку представља тражени резултат.

Проналажења позиције јединице највеће и најмање тежине је обједињено, а која ће се од ове две операције реализовати зависи од вредност сигнала **OC**. Приликом проналажења позиције јединице највеће тежине сигнал **OC** има вредност 0. Стога при вредности 0 сигнала **OC** на излазима демултиплексера **DP1**, **DP2** и **DP3** вредност 1 имају сигнали **ldB**, **decB** и **slA** који се користе код реализације проналажења позиције јединице највеће тежине. Поред тога због вредности 0 сигнала **OC**, сигнал краја операције **END** на излазу мултиплексера **MP** се формира на основу вредности сигнала  $A_{63}$  са улаза 0 мултиплексера. Међутим, приликом проналажења позиције јединице

најмање тежине сигнал **OC** има вредност 1. Стога при вредности 1 сигнала **OC** на излазима демултиплексера DP1, DP2 и DP3 вредност 1 имају сигнали **clB**, **incB** и **srA** који се користе код реализације проналажења позиције јединице најмање тежине. Поред тога због вредности 1 сигнала **OC**, сигнал краја операције **END** на излазу мултиплексера MP се формира на основу вредности сигнала **A<sub>0</sub>** са улаза 1 мултиплексера.

У флип-флоп SPA се вредношћу 1 управљачког сигнала **stSPA** уређаја P уписује вредност 1 онда када је уређај P спреман да прими садржај са линија DAP<sub>63..0</sub> и DAP<sub>64</sub>, а управљачким сигналом **clSPA** уређаја P вредност 0, онда када није спреман.

б) Дијаграми тока управљачких сигнала операционе и управљачке јединице дати су на слици 9.б.



Слика 9.б Дијаграми тока управљачких сигнала операционе и управљачке јединице

У кораку **T<sub>0</sub>** се генерише вредност 1 управљачког сигнала **stSPA**, па се на сигнал такта у флип-флоп SPA уписује вредност 1 и прелази на корак **T<sub>1</sub>**. Уписивањем вредности 1 у флип-флоп SPA уређај P сигнализира уређају UA да је спреман да од уређаја UA прими 64-битну и 1-битну бинарну реч по линијама података DAP<sub>63..0</sub> и DAP<sub>64</sub>, респективно.

У кораку **T<sub>1</sub>** се остаје све време док сигнал **CAP** има вредност 0. Поред тога, све време док сигнал **CAP** има вредност 0 и сигнали **ldAOC** и **clSPA** имају вредност 0. Вредношћу 1 сигнала **CAP** трајања једна периода сигнала такта, уређај UA сигнализира уређају P да се на линијама података DAP<sub>63..0</sub> и DAP<sub>64</sub>, налазе важеће бинарне речи. У кораку **T<sub>1</sub>** се при вредности 1 сигнала **CAP** генеришу вредности 1 управљачких сигнала **ldAOC** и **clSPA**, па се на сигнал такта у регистре A<sub>7..0</sub> и OC уписује садржај са линијама података DAP<sub>63..0</sub> и DAP<sub>64</sub>, а у флип-флоп SPA уписује вредност 0 и прелази на корак **T<sub>2</sub>**. Уписивањем вредности 0 у флип-флоп SPA уређај P сигнализира уређају UA да до даљег није спреман да од уређаја UA прими 64-битну и 1-битну бинарну реч по линијама података DAP<sub>63..0</sub> и DAP<sub>64</sub>, респективно.

У кораку **T<sub>2</sub>** се остаје једна периода сигнала такта и у зависности од тога да ли сигнал **ONE** има вредност 1 или 0 прелази на корак **T<sub>3</sub>** или **T<sub>4</sub>**, респективно. Сигнал **ONE** има вредност 1 уколико барем један бит 64-битне бинарне речи у регистру A<sub>63..0</sub>

има вредност 1 и тада има смисла тражити позицију јединице највеће или најмање тежине, па се прелази на корак  $T_3$ . У супротном случају сигнал **ONE** има вредност 0 и тада нема смисла тражити позицију јединице највеће или најмање тежине, па се прелази на корак  $T_4$ . У кораку  $T_2$  се формира вредност 1 сигнала **initB** једино уколико сигнал **ONE** има вредност 1. Вредношћу 1 сигнала **initB** се у зависности од тога да ли сигнал **OC** има вредност 0 или 1 формира вредност 1 сигнала **ldB** или **clB**, па се у бројачки регистар  $V_{5..0}$  уписује вредност 63 или 0, респективно.

У кораку  $T_3$  се остаје све време док сигнал **END** има вредност 0, а сигнал **END** има вредност 0 онолико периода сигнала такта колико је неопходно да се открије тражена позиција јединице. Сигнал краја операције **END** на излазу мултиплексера  $MP$  добија вредност сигнала  $A_{63}$  са улаза 0 мултиплексера или вредности сигнала  $A_0$  са улаза 1 мултиплексера, у зависности од тога да ли сигнал **OC** има вредност 0 или 1, респективно. Све време док сигнал **END** има вредност 0, сигнали **shA** и **adjB** имају вредност 1. Вредношћу 1 сигнала **shA** се у зависности од тога да ли сигнал **OC** има вредност 0 или 1 формира вредност 1 сигнала **slA** или **srA**, па се садржај регистра  $A_{63..0}$  помера улево или удесно, респективно. Поред тога, вредношћу 1 сигнала **adjB** се у зависности од тога да ли сигнал **OC** има вредност 0 или 1 формира вредност 1 сигнала **decB** или **incB**, па се садржај бројачког регистра  $V_{5..0}$  декрементира или инкрементира, респективно. Провером вредности сигнала **END** и генерисањем вредности 1 сигнала **shA** и **adjB** се при вредност 0 сигнала **OC** проверава вредност сигнала  $A_{63}$  и генеришу вредности 1 сигнала **slA** и **decB**, док се при вредност 1 сигнала **OC** проверава вредност сигнала  $A_0$  и генеришу вредности 1 сигнала **srA** и **incB**, што је у складу са усвојеним реализацијама откривања позиције јединице највеће и најмање тежине, респективно. Из корака  $T_3$  се прелази на корак  $T_4$  када сигнал **END** постане 1.

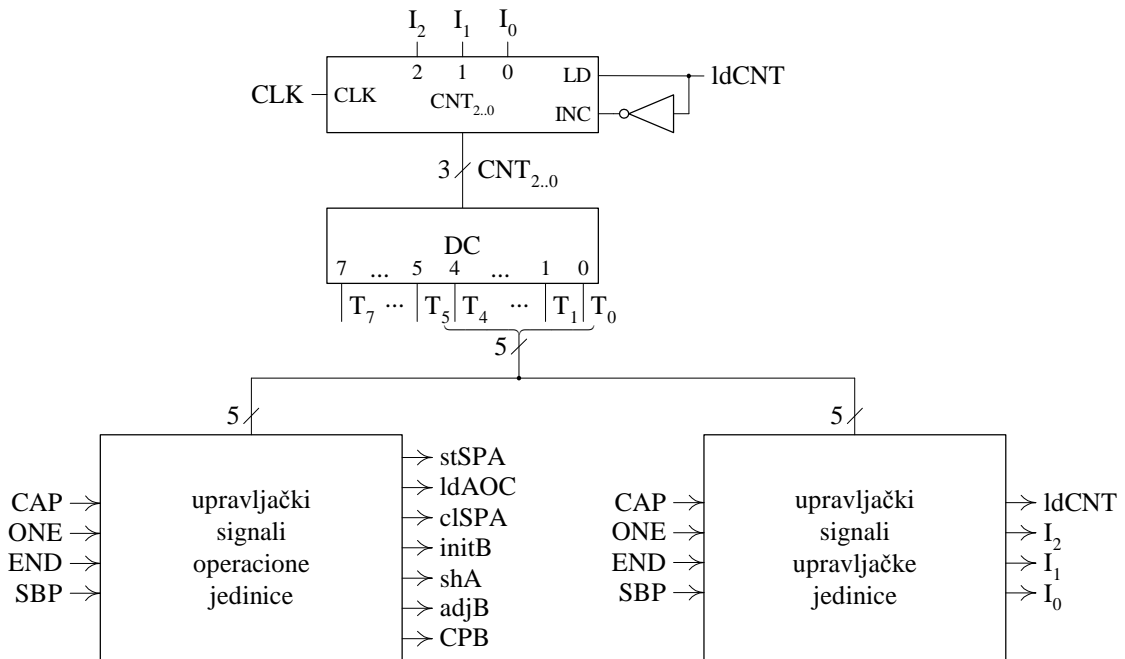
У кораку  $T_4$  се остаје све време док сигнал **SBP** има вредност 0. Вредношћу 0 сигнала **SBP** уређај  $UB$  сигнализира уређају  $P$  да није спреман да прихвати резултат са линија података  $DPB_{5..0}$  и  $DPB_6$ , па све време док сигнал **SBP** има вредност 0 и сигнали **CPB** и **stSPA** имају вредност 0. Вредношћу 1 сигнала **SBP**, уређај  $UB$  сигнализира уређају  $P$  да је спреман да прихвати резултат са линија података  $DPB_{5..0}$  и  $DPB_6$ . У кораку  $T_4$  се при вредности 1 сигнала **SBP** генеришу вредности 1 управљачких сигнала **CPB** и **stSPA**. Вредношћу 1 сигнала **CPB** и **stSPA** се омогућава да уређај  $UB$  на први следећи сигнал такта упише резултат са линија података  $DPB_{5..0}$  и  $DPB_6$  у неке своје прихватне регистре и да се у флип-флоп  $SPA$  упише вредност 1, респективно. На исти сигнал такта се прелази на корак  $T_1$ . Уписивањем вредности 1 у флип-флоп  $SPA$  уређај  $P$  сигнализира уређају  $UA$  да је сада спреман да од уређаја  $UA$  прими следећу 64-битну и 1-битну бинарну реч по линијама података  $DAP_{63..0}$  и  $DAP_{64}$ , респективно

в) Структурна шема управљачке јединице реализоване помоћу бројача корака и декодера приказана је на слици 9.в.

У кораку  $T_0$  треба да се остане само једна периода сигнала такта и да се на први сигнал такта пређе на корак  $T_1$ . У кораку  $T_0$  сигнал **ldCNT** има вредност 0, па су на улазима  $LD$  и  $INC$  бројача  $CNT_{1..0}$  вредности 0 и 1, респективно. Стога се на први сигнал такта садржај бројача  $CNT_{1..0}$  инкрементира и прелази на корак  $T_1$ .

У кораку  $T_1$  треба да се остане све време док сигнал **SAP** има вредност 0, а на корак  $T_1$  треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал **SAP** добија вредност 1. Све време док сигнал **SAP** има вредност 0 сигнали **ldCNT** и  $I_0$  имају вредност 1, па су на улазима  $LD$  и  $INC$  бројача  $CNT_{1..0}$  вредности 1 и 0, респективно, а на паралелним улазима бројача  $CNT_{1..0}$  је бинарна вредност 01. На сигнал такта у бројач  $CNT_{1..0}$  се уписује вредност 01, па се остаје у кораку  $T_1$ . На

сигнал такта на који сигнал **CAP** добија вредност 1 сигнали  $I_{dCNT}$  и  $I_0$  добијају вредност 0, па су на улазима LD и INC бројача  $CNT_{1...0}$  вредности 0 и 1, респективно. Стога се на први следећи сигнал такта садржај бројача  $CNT_{1...0}$  инкрементира и прелази на корак  $T_2$ .



Слика 9.в Структурна шема управљачке јединице

У кораку  $T_2$  се остаје само једна периода сигнала такта па се на следећи сигнала такта у зависности од тога да ли сигнала **ONE** има вредност 0 или 1 прелази или на корак  $T_4$  или на корак  $T_3$ , респективно. Уколико сигнал **ONE** има вредност 0 сигнали  $I_{dCNT}$  и  $I_2$  имају вредност 1, па су на улазима LD и INC бројача  $CNT_{1...0}$  вредности 1 и 0, респективно, а на паралелним улазима бројача  $CNT_{1...0}$  је бинарна вредност 100. На сигнал такта у бројач  $CNT_{1...0}$  се уписује вредност 100, па се прелази на кораку  $T_4$ . Међутим, уколико сигнал **ONE** има вредност 1 сигнали  $I_{dCNT}$  и  $I_0$  имају вредност 0, па су на улазима LD и INC бројача  $CNT_{1...0}$  вредности 0 и 1, респективно. Стога се на први следећи сигнал такта садржај бројача  $CNT_{1...0}$  инкрементира и прелази на корак  $T_3$ .

У кораку  $T_3$  треба да се остане све време док сигнал **END** има вредност 0, а на корак  $T_4$  треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал **END** добија вредност 1. Све време док сигнал **END** има вредност 0 сигнали  $I_{dCNT}$ ,  $I_1$  и  $I_0$  имају вредност 1, па су на улазима LD и INC бројача  $CNT_{1...0}$  вредности 1 и 0, респективно, а на паралелним улазима бројача  $CNT_{1...0}$  је бинарна вредност 011. На сигнал такта у бројач  $CNT_{1...0}$  се уписује вредност 011, па се остаје у кораку  $T_3$ . На сигнал такта на који сигнал **END** добија вредност 1 сигнали  $I_{dCNT}$  и  $I_1$  добијају вредност 0, па су на улазима LD и INC бројача  $CNT_{1...0}$  вредности 0 и 1, респективно. Стога се на први следећи сигнал такта садржај бројача  $CNT_{1...0}$  инкрементира и прелази на корак  $T_3$ .

У кораку  $T_4$  треба да се остане све време док сигнал **SBP** има вредност 0, а на корак  $T_1$  треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал **SBP** добија вредност 1. У кораку  $T_4$  сигнал  $I_{dCNT}$  има вредност 1, па су на улазима LD и INC бројача  $CNT_{1...0}$  вредности 1 и 0, респективно. Стога се на сигнал такта увек врши уписивање у бројач  $CNT_{1...0}$ . Све време док сигнал **SBP** има вредност 0, сигнал  $I_2$  има вредност 1, па је на паралелним улазима бројача  $CNT_{1...0}$  бинарна вредност 100. На

сигнал такта у бројач  $CNT_{1...0}$  се уписује вредност 100, па се остаје у кораку  $T_4$ . На сигнал такта на који сигнал **SBP** добија вредност 1, сигнал  $I_0$  добија вредност 0, па је на паралелним улазима бројача  $CNT_{1...0}$  бинарна вредност 001. Стога се на први следећи сигнал такта у бројач  $CNT_{1...0}$  уписује вредност 001, па се прелази на корак  $T_1$ .

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$stSPA = T_0 + SBP \cdot T_4$$

$$ldAOC = CAP \cdot T_1$$

$$clSPA = CAP \cdot T_1$$

$$initB = ONE \cdot T_2$$

$$shA = \overline{END} \cdot T_3$$

$$adjB = \overline{END} \cdot T_3$$

$$CPB = SBP \cdot T_4$$

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$ldCNT = \overline{CAP} \cdot T_1 + \overline{ONE} \cdot T_2 + \overline{END} \cdot T_3 + T_4$$

$$I_0 = \overline{CAP} \cdot T_1 + \overline{END} \cdot T_3 + SBP \cdot T_4$$

$$I_1 = \overline{END} \cdot T_3$$

$$I_2 = \overline{ONE} \cdot T_2 + \overline{SBP} \cdot T_4$$

## 1.10 РАСТОЈАЊЕ НАЈУДАЉЕНИЈИХ ЈЕДИНИЦА ИЛИ НУЛА

Реализовати уређај  $P$  за спрегу између уређаја  $UA$  и  $UB$ . Уређај  $P$  треба да обавља две операције и то одређивања растојања по битовима између две најудаљеније јединице и одређивања растојања по битовима између две најудаљеније нуле у 8-битној бинарној речи. У случају операције одређивања растојања по битовима између две најудаљеније јединице, растојање између јединица у разредима  $i$  и  $j$  је  $\text{abs}(i-j)$ . Ако реч има мање од две јединице, резултат треба да буде нула. На пример, резултат ове операције за бинарну реч 01010010 је  $6 - 1 = 5$ , а за бинарну реч 00010000 је 0. У случају операције одређивања растојања по битовима између две најудаљеније нуле, растојање између нула у разредима  $i$  и  $j$  је  $\text{abs}(i-j)$ . Ако реч има мање од две нуле, резултат треба да буде нула. На пример, резултат ове операције за бинарну реч 01010010 је  $7 - 0 = 7$ , а за бинарну реч 11111011 је 0. Уређај  $P$  треба да прима паралелно две бинарне речи од уређаја  $UA$  и то 8-битну бинарну реч за коју треба извршити одређивање растојања и 1-битну бинарну реч која вредностима 0 и 1 одређује да ли треба одредити растојање по битовима између две најудаљеније јединице или две најудаљеније нуле, респективно, и добијену 3-битну бинарну реч растојања пошаље уређају  $UB$ . Операција треба да се понавља циклично. Уређаји  $UA$ ,  $P$  и  $UB$  треба раде синхроно на исти сигнал такта.

Уређај  $UA$  шаље уређају  $P$  истовремено 8-битну и 1-битну бинарну реч по линијама података  $DAP_{7.0}$  и  $DAP_8$ , респективно. За синхронизацију између уређаја  $UA$  и  $P$  користе се статусни сигнал  $SPA$  и управљачки сигнал  $CAP$ . Вредностима 0 и 1 сигнала  $SPA$  уређај  $P$  шаље уређају  $UA$  индикацију када не може и када може да прими бинарне речи са линија  $DAP_{7.0}$  и  $DAP_8$ . Вредношћу 1 сигнала  $CAP$ , трајања једна периода сигнала такта, уређај  $UA$  шаље уређају  $P$  команду да треба да прими бинарне речи са линија  $DAP_{7.0}$  и  $DAP_8$ , при чему уређај  $UA$  то чини када утврди да уређај  $P$  на статусној линији  $SPA$  држи вредност 1.

Уређај  $P$  шаље уређају  $UB$  3-битну бинарну реч растојања по линијама података  $DPB_{2.0}$ , при чему је бит 2 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја  $P$  и  $UB$  користе се статусни сигнал  $SBP$  и управљачки сигнал  $CPB$ . Вредностима 0 и 1 сигнала  $SBP$  уређај  $UB$  шаље уређају  $P$  индикацију када не може и када може да прими 3-битну бинарну реч, респективно. Вредношћу 1 сигнала  $CPB$ , трајања једна периода сигнала такта, уређај  $P$  шаље уређају  $UB$  команду да треба да прими 3-битну бинарну реч, при чему уређај  $P$  то чини када утврди да уређај  $UB$  на статусној линији  $SBP$  држи вредност 1.

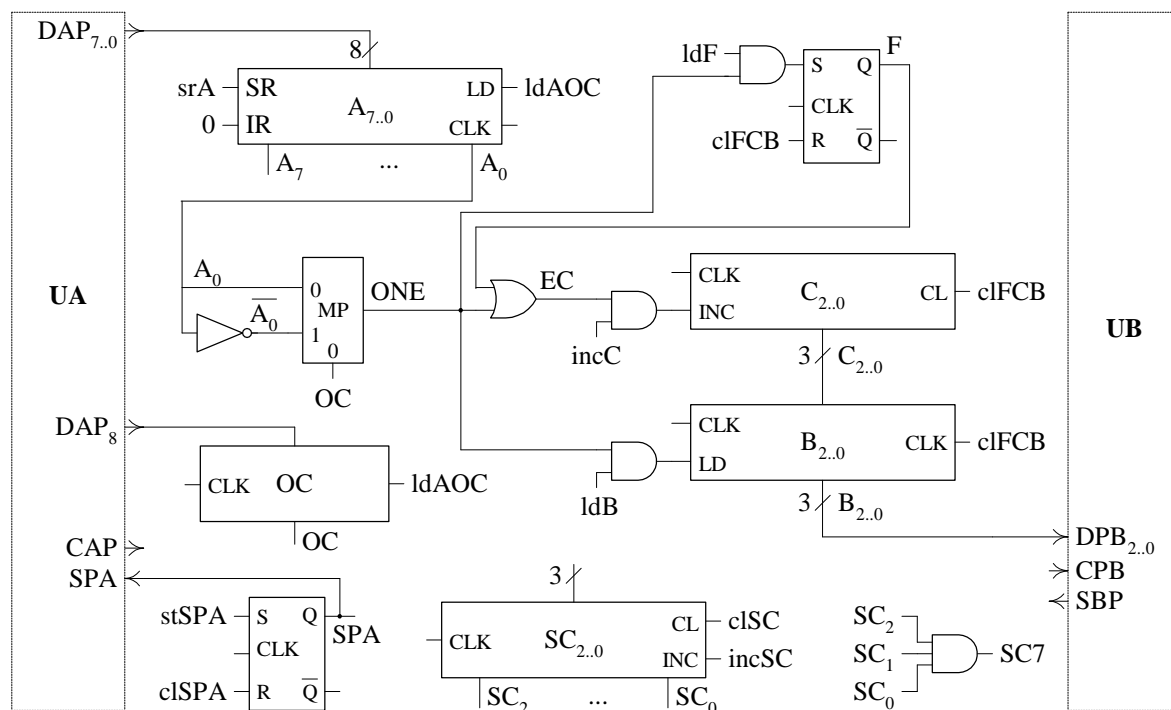
Претпоставити да су на почетку на статусним линијама  $SPA$  и  $SBP$  налазе вредности 0.

- а) Нацртати структурну шему операционе јединице уређаја  $P$ .
- б) Нацртати дијаграме тока управљачких сигнала операционе јединице и управљачке јединице уређаја  $P$ .
- в) Нацртати структурну шему управљачке јединице уређаја  $P$  реализоване помоћу бројача корака и декодера и дати изразе за генерисање управљачких сигнала операционе јединице и управљачке јединице уређаја  $P$ .

### Решење:

- а) Структурна шема операционе јединице приказана је на слици 10.а.

Операциона јединица садржи регистре  $A_{7.0}$  и  $OC$ , бројаче  $C_{2.0}$  и  $SC_{2.0}$ , комбинациону мрежу са флип-флопом  $F$  за инкрементирање бројача  $C_{2.0}$  и паралелан упис у регистар  $V_{2.0}$ , регистар  $V_{2.0}$  и флип-флоп  $SPA$ .



Слика 10.а Структурна шема операционе јединице

Регистар  $A_{7.0}$  је 8-разредни регистри са паралелним уписом и читањем. На почетку се у регистар  $A_{7.0}$  вредношћу 1 сигнала **ldAOC** уписује 8-битна бинарна реч која по линијама  $DAP_{7.0}$  долази из уређаја UA и у којој треба одредити растојања по битовима између две најудаљеније јединице или нуле. Вредношћу 1 сигнала **srA** садржај регистра  $A_{7.0}$  се помера удесно. Тражено растојање се одређује у осам итерација, тако што се у свакој итерацији посматра разред  $A_0$ . Померањем удесно садржај регистра  $A_{7.0}$  у свакој од осам итерација у разреду  $A_0$  се појављују редом битови од 0 до 7 бинарне речи регистра  $A_{7.0}$ .

Регистар OC је 1-разредни регистар са паралелним уписом и читањем. У регистар OC се вредношћу 1 сигнала **ldAOC** уписује 1-битна бинарна реч која по линији  $DAP_8$  долази из уређаја UA. Вредностима 0 и 1 овог регистра се одређује да ли треба одредити растојања по битовима између две најудаљеније јединице или две најудаљеније нуле, респективно. Излаз регистра OC се води на мултиплексер MP.

Мултиплексер MP на свом излазу формира сигнал **ONE** мултиплексирањем сигнала  $A_0$  и комплемента сигнала  $A_0$  вредностима 0 и 1 сигнала **OC**, респективно. Одређивања растојања између две најудаљеније јединице и између две најудаљеније нуле се реализује на идентичан начин одређивањем растојања између два најудаљенија појављивања вредности 1 сигнала **ONE**. Сигнал **ONE** ће имати вредност 1 када се при вредности 0 сигнала **OC** у разреду  $A_0$  појави вредност 1, што одговара операцији одређивања растојања између две најудаљеније јединице. Међутим, сигнал **ONE** ће имати вредност 1 и када се при вредности 1 сигнала **OC** у разреду  $A_0$  појави вредност 0, што одговара операцији одређивања растојања између две најудаљеније нуле.

Флип-флоп F служи да се упамти да се појавила вредност 1 сигнала **ONE** у некој од осам итерација. На почетку операције вредношћу 1 сигнала **clFCB** флип-флоп се F се брише. Током извршавања операције се вредношћу 1 сигнала **ldF** флип-флоп F поставља на вредност 1 на први сигнал такта после сигнала такта на који се појавила



вредност 1 сигнала **ONE**. Вредност 1 флип-флопа **F** остаје све до краја текуће операције и тек се на почетку следеће операције вредношћу 1 сигнала **clFCB** брише.

Бројач  $C_{2..0}$  је 3-разредни инкрементирајући бројач који служи за бројање растојања почев од првог појављивања вредност 1 сигнала **ONE**. На почетку операције вредношћу 1 сигнала **clFCB** бројач  $C_{2..0}$  се брише. Током извршавања операције се вредношћу 1 сигнала **incC** бројач  $C_{2..0}$  инкрементира почев од првог сигнал такта после сигнала такта на који се појавила вредност 1 сигнала **ONE**. Прво инкрементирања бројача  $C_{2..0}$  омогућава вредност 1 сигнала **ONE**. Међутим, на тај исти сигнал такта на који је први пут инкрементиран бројач  $C_{2..0}$  флип-флоп **F** се поставља на вредност 1, па ће вредност 1 сигнала **F** омогућити да се на сваки следећи сигнал такта када сигнал **incC** има вредност 1 врши инкрементирање бројача  $C_{2..0}$  без обзира на то да ли сигнал **ONE** има вредност 0 или 1. Као резултат оваквог начина инкрементирања бројача  $C_{2..0}$ , при сваком следећем појављивању вредности 1 сигнала **ONE** бројач  $C_{2..0}$  ће садржати тражену вредност растојања.

Регистар  $V_{2..0}$  је 3-разредни регистар у који се паралелно уписује избројано растојање из бројача  $C_{2..0}$  сваки пут када се појави вредност 1 сигнала **ONE**. На почетку операције вредношћу 1 сигнала **clFCB** регистар  $V_{2..0}$  се брише. Током извршавања операције се вредношћу 1 сигнала **ldB** садржај бројача  $C_{2..0}$  уписује у регистар  $V_{2..0}$  сваки пут када сигнал **ONE** има вредност 1.

Уколико се ни у једној од осам итерација не појави вредност 1 сигнала **ONE** садржај регистра  $V_{2..0}$  остаје нула. У оној итерацији у којој се први пут појави вредност 1 сигнала **ONE**, у регистар  $V_{2..0}$  се уписује вредност 0 из регистра  $C_{2..0}$ , а садржај регистра  $C_{2..0}$  се инкрементира. Због тога што се тада и флип-флоп **F** поставља на вредност 1 садржај регистра  $C_{2..0}$  се инкрементира у свакој следећој итерацији, без обзира на вредност сигнала **ONE**. Уколико се ни у једној од преосталих итерација не појави вредност 1 сигнала **ONE**, садржај регистра  $V_{2..0}$  остаје нула. Међутим, кад год се у некој од следећих итерација појави вредност 1 сигнала **ONE**, у регистар  $V_{2..0}$  се уписује текућа вредност садржај бројача  $C_{2..0}$  из дате итерације. Уколико се вредност 1 сигнала **ONE** појави у више следећих итерација, више пута се уписује садржај бројача  $C_{2..0}$  у регистар  $V_{2..0}$ , а коначан резултат је садржај регистра  $V_{2..0}$  после задњег уписивања садржаја бројача  $C_{2..0}$ .

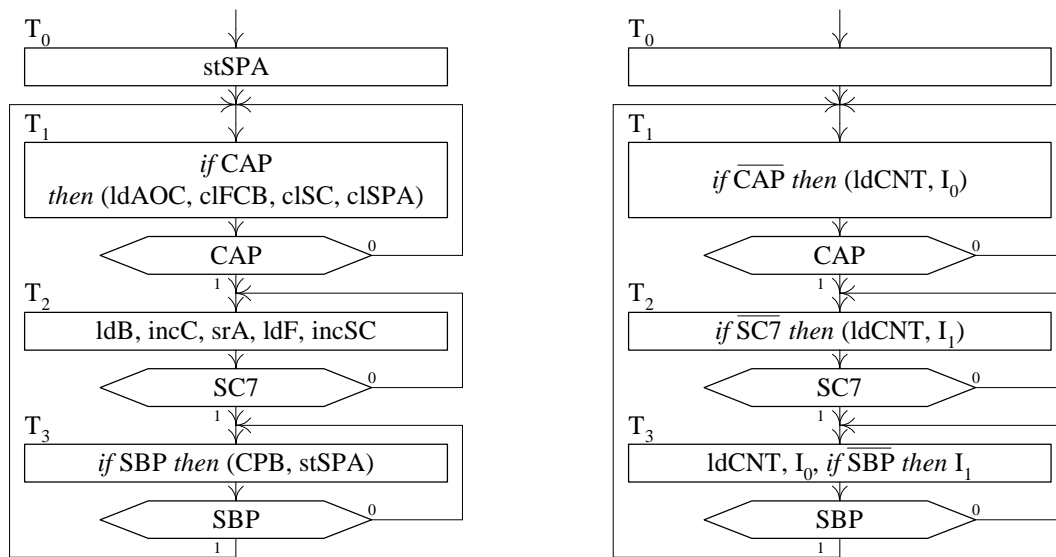
Бројач  $SC_{2..0}$  је 3-разредни инкрементирајући бројач. Вредношћу један сигнала **clSC** на почетку одређивања растојања врши се уписивање вредности нула у бројач  $SC_{2..0}$ , док се вредношћу један сигнала **incSC** врши његово инкрементирање у свакој од осам итерација. Када садржај регистра  $SC_{2..0}$  постане 7, сигнал логичког услова **SC7**, који се формира на излазу логичког кола И, постаје 1. Вредност 1 сигнала логичког услова **SC7** је индикација да је одређивање траженог растојања завршено. Садржај регистра  $V_{2..0}$  представља тражено растојање.

У флип-флоп **SPA** се вредношћу 1 управљачког сигнала **stSPA** уређаја **P** уписује вредност 1 онда када је уређај **P** спреман да прими садржај са линија  $DAP_{7..0}$  и  $DAP_8$ , а управљачким сигналом **clSPA** уређаја **P** вредност 0, онда када није спреман.

б) Дијаграми тока управљачких сигнала операционе и управљачке јединице су на слици 10.б.

У кораку  $T_0$  се генерише вредност 1 управљачког сигнала **stSPA**, па се на сигнал такта у флип-флоп **SPA** уписује вредност 1 и прелази на корак  $T_1$ . Уписивањем вредности 1 у флип-флоп **SPA** уређај **P** сигнализира уређају **UA** да је спреман да од

уређаја UA прими 8-битну и 1-битну бинарну реч по линијама података DAP<sub>7..0</sub> и DAP<sub>8</sub>, респективно.



Слика 10.6 Дијаграми тока управљачких сигнала операционе и управљачке јединице

У кораку  $T_1$  се остаје све време док сигнал **CAP** има вредност 0. Поред тога, све време док сигнал **CAP** има вредност 0 и сигнали **ldAOC**, **clFCB**, **clISC** и **clSPA** имају вредност 0. Вредношћу 1 сигнала **CAP** трајања једна периода сигнала такта, уређај UA сигнализира уређају P да се на линијама података DAP<sub>7..0</sub> и DAP<sub>8</sub>, налазе важеће бинарне речи. У кораку  $T_1$  се при вредности 1 сигнала **CAP** генеришу вредности 1 управљачких сигнала **ldAOC**, **clFCB**, **clISC** и **clSPA**, па се на сигнал такта у регистре A<sub>7..0</sub> и OC уписује садржај са линијама података DAP<sub>7..0</sub> и DAP<sub>8</sub>, флип-флоп F, бројач C<sub>2..0</sub>, регистар B<sub>2..0</sub> и бројач SC<sub>2..0</sub> бришу а у флип-флоп SPA уписује вредност 0 и прелази на корак  $T_2$ . Уписивањем вредности 0 у флип-флоп SPA уређај P сигнализира уређају UA да до даљег није спреман да од уређаја UA прими 8-битну и 1-битну бинарну реч по линијама података DAP<sub>7..0</sub> и DAP<sub>8</sub>, респективно

У кораку  $T_2$  се остаје осам периода сигнала такта. За време осам периода сигнала такта сигнали **ldB**, **incC**, **srA**, **ldF** и **incSC** имају вредност један.

За време прве периоде сигнала такта вредност сигнала **ONE** се формира на основу бита 0 бинарне речи у разреду A<sub>0</sub>. На први сигнал такта се вредношћу 1 сигнала **ldB** у зависности од тога да ли сигнал **ONE** има вредност 1 или 0 у регистар B<sub>2..0</sub> или уписује или не уписује садржај бројача C<sub>2..0</sub>, респективно. На исти сигнал такта се вредношћу 1 сигнала **incC** у зависности од тога да ли сигнал **EC** има вредност 1 или 0 садржај бројача C<sub>2..0</sub> инкрементира или не инкрементира, респективно, при чему сигнал **EC** има вредност 1 једино уколико сигнал **ONE** има вредност 1, док сигнал F има вредност 0. Такође се на тај сигнал такта вредношћу 1 сигнала **ldF** у зависности од тога да ли сигнал **ONE** има вредност 1 или 0 у флип-флоп F или уписује вредност 1 или остаје вредност 0, респективно. Поред тога вредностима 1 сигнала **srA** и **incSC** се помера за једно место удесно садржај регистра A<sub>7..0</sub> и инкрементира садржај бројача SC<sub>2..0</sub> на вредност један.

За време друге периоде сигнала такта вредност сигнала **ONE** се формира на основу бита 1 бинарне речи у разреду A<sub>0</sub>. На други сигнал такта се вредношћу 1 сигнала **ldB** у зависности од тога да ли сигнал **ONE** има вредност 1 или 0 у регистар B<sub>2..0</sub> или уписује или не уписује садржај бројача C<sub>2..0</sub>, респективно. Уколико сигнал **ONE** има вредност 1 па се у регистар B<sub>2..0</sub> уписује садржај бројача C<sub>2..0</sub>, уписаће се вредност 0 уколико је у

првој итерацији сигнал **ONE** имао вредност 0 па је садржај бројача  $C_{2..0}$  остао нула и вредност 1 уколико је у првој итерацији сигнал **ONE** имао вредност 1 па је садржај бројача  $C_{2..0}$  инкрементирањем постао 1.

На другу сигнал такта се и вредношћу 1 сигнала **incC** у зависности од тога да ли сигнал **EC** има вредност 1 или 0 садржај бројача  $C_{2..0}$  инкрементира или не инкрементира, респективно, при чему сигнал **EC** има вредност 1 уколико или сигнал **ONE** има вредност 1 или сигнал **F** има вредност 1. Сигнал **F** може да има вредност 1 једино уколико је у првој итерацији сигнал **ONE** имао вредност 1 па је тада флип-флоп **F** постављен на 1. После другог сигнала такта садржај бројача  $C_{2..0}$  ће бити 0 уколико је сигнал **ONE** у првој итерацији имао вредност 0 и уколико у другој итерацији сигнал **ONE** има вредност 0. Садржај бројача  $C_{2..0}$  ће бити 1 уколико је сигнал **ONE** имао вредност 0 у првој итерацији и уколико у другој итерацији сигнал **ONE** има вредност 1. Садржај бројача  $C_{2..0}$  ће бити 2 уколико је сигнал **ONE** имао вредност 1 у првој итерацији.

Шта ће бити на други сигнал такта са флип-флопом **F** при вредности 1 сигнала **ldF** зависи од тога која је вредност флип-флопа **F** после прве итерације и која је вредност сигнала **ONE**. Уколико је вредност флип-флопа **F** после прве итерације 0 у флип-флоп **F** се или уписује вредност 1 или остаје вредност 0 у зависности од тога да ли сигнал **ONE** има вредност 1 или 0, респективно. Уколико је вредност флип-флопа **F** после прве итерације 1, вредност 1 флип-флопа **F** остаје независно од тога да ли сигнал **ONE** има вредност 1 или 0.

Поред тога на други сигнал такта вредностима 1 сигнала **srA** и **incSC** се помера за једно место удесно садржај регистра  $A_{7..0}$  и инкрементира садржај бројача  $SC_{2..0}$  на вредност два.

За време треће периоде сигнала такта вредност сигнала **ONE** се формира на основу бита 2 бинарне речи у разреду  $A_0$ . На трећи сигнал такта се вредношћу 1 сигнала **ldB** у зависности од тога да ли сигнал **ONE** има вредност 1 или 0 у регистар  $B_{2..0}$  или уписује или не уписује садржај бројача  $C_{2..0}$ , респективно. Уколико сигнал **ONE** има вредност 1 па се у регистар  $B_{2..0}$  уписује садржај бројача  $C_{2..0}$ , уписаће се вредност 0 уколико је и у првој и у другој итерацији сигнал **ONE** имао вредност 0 па је садржај бројача  $C_{2..0}$  остао нула, вредност 1 уколико је у првој итерацији сигнал **ONE** имао вредност 0 а у другој вредност 1 па је садржај бројача  $C_{2..0}$  инкрементирањем у другој итерацији постао 1 и вредност 2 уколико је у првој итерацији сигнал **ONE** имао вредност 1 па је садржај бројача  $C_{2..0}$  инкрементирањем и у првој и у другој итерацији постао 2.

На трећи сигнал такта се и вредношћу 1 сигнала **incC** у зависности од тога да ли сигнал **EC** има вредност 1 или 0 садржај бројача  $C_{2..0}$  инкрементира или не инкрементира, респективно, при чему сигнал **EC** има вредност 1 уколико или сигнал **ONE** има вредност 1 или сигнал **F** има вредност 1. Сигнал **F** може да има вредност 1 једино уколико је у првој или другој итерацији сигнал **ONE** имао вредност 1 па је тада флип-флоп **F** постављен на 1. После трећег сигнала такта садржај бројача  $C_{2..0}$  ће бити 0 уколико је сигнал **ONE** и у првој и другој итерацији имао вредност 0 и уколико у трећој итерацији сигнал **ONE** има вредност 0. Садржај бројача  $C_{2..0}$  ће бити 1 уколико је сигнал **ONE** имао вредност 0 у првој и другој итерацији и уколико у трећој итерацији сигнал **ONE** има вредност 1. Садржај бројача  $C_{2..0}$  ће бити 2 уколико је сигнал **ONE** имао вредност 0 у првој и вредност 1 у другој итерацији. Садржај бројача  $C_{2..0}$  ће бити 3 уколико је сигнал **ONE** имао вредност 1 у првој итерацији.

Шта ће бити на трећи сигнал такта са флип-флопом **F** при вредности 1 сигнала **ldF** зависи од тога која је вредност флип-флопа **F** после прве и друге итерације и која је

вредност сигнала **ONE**. Уколико је вредност флип-флопа **F** после прве и друге итерације 0 у флип-флоп **F** се или уписује вредност 1 или остаје вредност 0 у зависности од тога да ли сигнал **ONE** има вредност 1 или 0, респективно. Уколико је вредност флип-флопа **F** у првој или другој итерацији постаљена на 1, вредност 1 флип-флопа **F** остаје независно од тога да ли сигнал **ONE** има вредност 1 или 0.

Поред тога на трећи сигнал такта вредностима 1 сигнала **srA** и **incSC** се помера за једно место удесно садржај регистра  $A_{7..0}$  и инкрементира садржај бројача  $SC_{2..0}$  на вредност три.

За време четврте, пете, шесте, седме и осме периоде сигнала такта се вредност сигнала **ONE** формира на основу битова 3, 4, 5, 6 и 7 бинарне речи који се у тим периодама сигнала такта налазе у разреду  $A_0$ , респективно, па се на исти начин као и у случају прве три периоде сигнала такта на четврти, пети, шести, седми и осми сигнал такта врши ажурирање садржај регистра  $V_{2..0}$ , бројача  $C_{2..0}$  и флип-флопа **F**, померање за једно место удесно садржај регистра  $A_{7..0}$  и инкрементирање садржаја бројача  $SC_{2..0}$  на вредност четири, пет, шест, седам и нула, респективно. Приликом првих седам пролазака кроз корак  $T_2$  сигнал **BC7** има вредност нула, а приликом осмог проласка вредност један, па се на осми сигнал такта прелази на корак  $T_3$ .

У кораку  $T_3$  се остаје све време док сигнал **SBP** има вредност 0. Вредношћу 0 сигнала **SBP** уређај **UB** сигнализира уређају **P** да није спреман да прихвати резултат са линија података  $DPB_{2..0}$ , па све време док сигнал **SBP** има вредност 0 и сигнали **CPB** и **stSPA** имају вредност 0. Вредношћу 1 сигнала **SBP**, уређај **UB** сигнализира уређају **P** да је спреман да прихвати резултат са линија података  $DPB_{2..0}$ . У кораку  $T_3$  се при вредности 1 сигнала **SBP** генеришу вредности 1 управљачких сигнала **CPB** и **stSPA**. На први следећи сигнал такта се вредношћу 1 сигнала **CPB** омогућава да уређај **UB** упише резултат са линија података  $DPB_{2..0}$  у неки свој прихватни регистар, док се вредношћу 1 сигнала **stSPA** у флип-флоп **SPA** уписује вредност 1. На исти сигнал такта се прелази на корак  $T_1$ . Уписивањем вредности 1 у флип-флоп **SPA** уређај **P** сигнализира уређају **UA** да је сада спреман да од уређаја **UA** прими следећу 8-битну и 1-битну бинарну реч по линијама података  $DAP_{7..0}$  и  $DAP_8$ , респективно.

Показује се да описани начин функционисања операционе јединице обезбеђује да регистар  $V_{2..0}$  има исправну вредност и у случају операције одређивања највећег растојања две јединице без обзира на то да ли бинарна реч има мање од две јединице, када је у регистру  $V_{2..0}$  вредност 0, или две или више јединица, када је у регистру  $V_{2..0}$  вредност која одговара највећем растојању две јединице бинарне речи, и у случају операције одређивања највећег растојања две нуле без обзира на то да ли бинарна реч има мање од две нуле, када је у регистру  $V_{2..0}$  вредност 0, или две или више нула, када је у регистру  $V_{2..0}$  вредност која одговара највећем растојању две нуле бинарне речи.

в) Структурна шема управљачке јединице реализоване помоћу бројача корака и декодера приказана је на слици 10.в.

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$stSPA = T_0 + SBP \cdot T_3$$

$$ldAOC = CAP \cdot T_1$$

$$clFCB = CAP \cdot T_1$$

$$clSC = CAP \cdot T_1$$

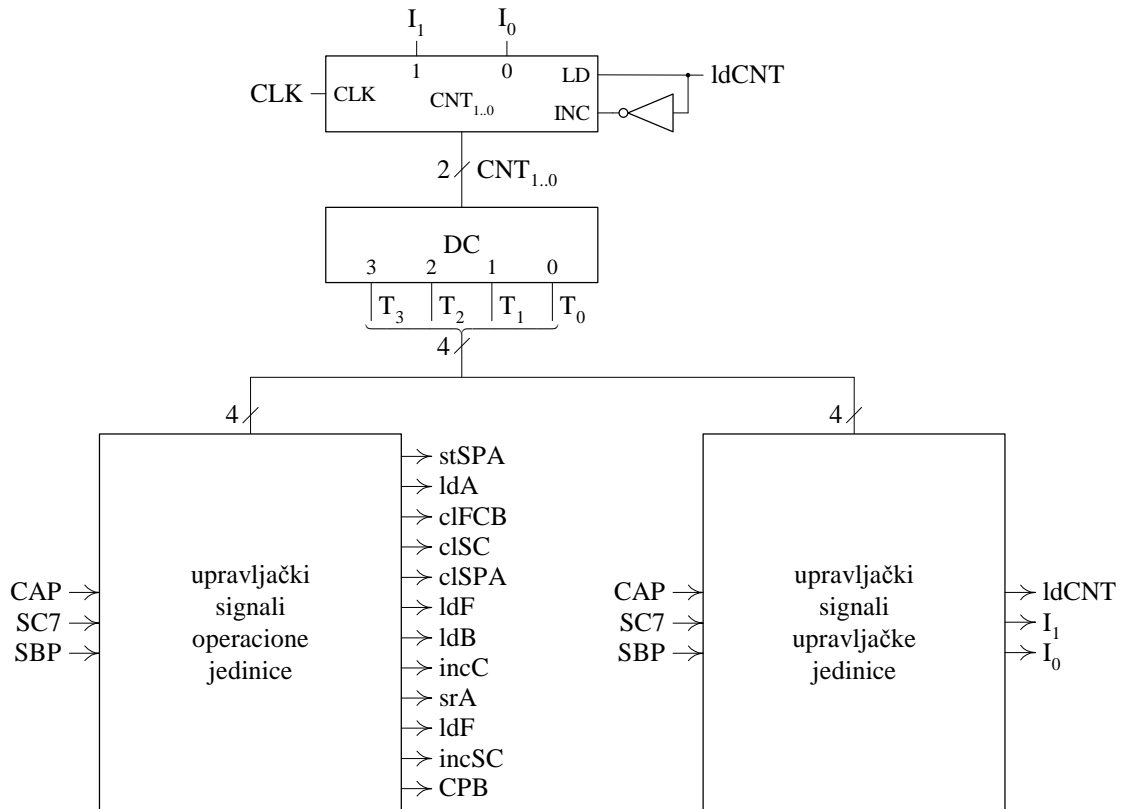
$$clSPA = CAP \cdot T_1$$

$$ldB = T_2$$

$$incC = T_2$$

$$srA = T_2$$

$$\begin{aligned} \text{ldF} &= \text{T}_2 \\ \text{incSC} &= \text{T}_2 \\ \text{CPB} &= \text{SBP} \cdot \text{T}_3 \end{aligned}$$



Слика 10.в Структурна шема управљачке јединице

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$\text{ldCNT} = \overline{\text{CAP}} \cdot \text{T}_1 + \overline{\text{SC7}} \cdot \text{T}_2 + \text{T}_3$$

$$\text{I}_0 = \overline{\text{CAP}} \cdot \text{T}_1 + \text{T}_3$$

$$\text{I}_1 = \overline{\text{SC7}} \cdot \text{T}_3 + \overline{\text{SBP}} \cdot \text{T}_3$$

## 1.11 ШИФРОВАЊЕ ЗАМЕНОМ МЕСТА

Реализовати уређај Р за спрегу између уређаја UA и UB. Уређај Р треба да обавља операцију шифровање података представљених као 8-битне бинарне речи. Уређај Р треба да прими од уређаја UA и смести у регистар  $A_{7..0}$  8-битну бинарну реч за коју треба да обави операцију шифровања. Кључ којим се врши шифровање 8-битне бинарне речи из регистра  $A_{7..0}$  је 8-битна бинарна реч која се налази стално у регистру  $B_{7..0}$ . Резултат шифровања је 8-битна бинарна реч која треба да се формира у регистру  $A_{7..0}$ . У регистрима  $A_{7..0}$  и  $B_{7..0}$  најстарији разред је означен са 7 а најмлађи са 0. Шифровање се врши на следећи начин. Посматрају се парови суседних битова бинарне речи у регистру  $A_{7..0}$ , при чему је пар бита 1:0 означен као пар број 0, пар 2:1 као пар број 1, итд., пар 7:6 као пар број 6 и пар 0:7 као пар број 7. Редом, почев од пара 0 закључно са паром 7, врши се у 8 итерација следећа операција: ако је бит  $B_i$  једнак 1, битови у пару  $i$  регистра  $A_{7..0}$  замењују места, иначе се не мењају ( $i = 0..7$ ). На пример ако је  $A_{7..0} = 10110001b$  и  $B_{7..0} = 00001111b$  као резултат шифровања треба да се добије  $A_{7..0} = 10111000b$ . Уређај Р треба да 8-битну бинарну реч која представља резултат шифровања из регистра  $A_{7..0}$  пошаље уређају UB. Операција треба да се понавља циклично. Уређаји UA, Р и UB треба раде синхроно на исти сигнал такта.

Уређај UA шаље уређају Р 8-битну бинарну реч по линијама података  $DAP_{7..0}$ , при чему је бит 7 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја UA и Р користе се статусни сигнал SPA и управљачки сигнал CAP. Вредностима 0 и 1 сигнала SPA уређај Р шаље уређају UA индикацију када не може и када може да прими 8-битну бинарну реч, респективно. Вредношћу 1 сигнала CAP, трајања једна периода сигнала такта, уређај UA шаље уређају Р команду да треба да прими 8-битну бинарну реч, при чему уређај UA то чини када утврди да уређај Р на статусној линији SPA држи вредност 1.

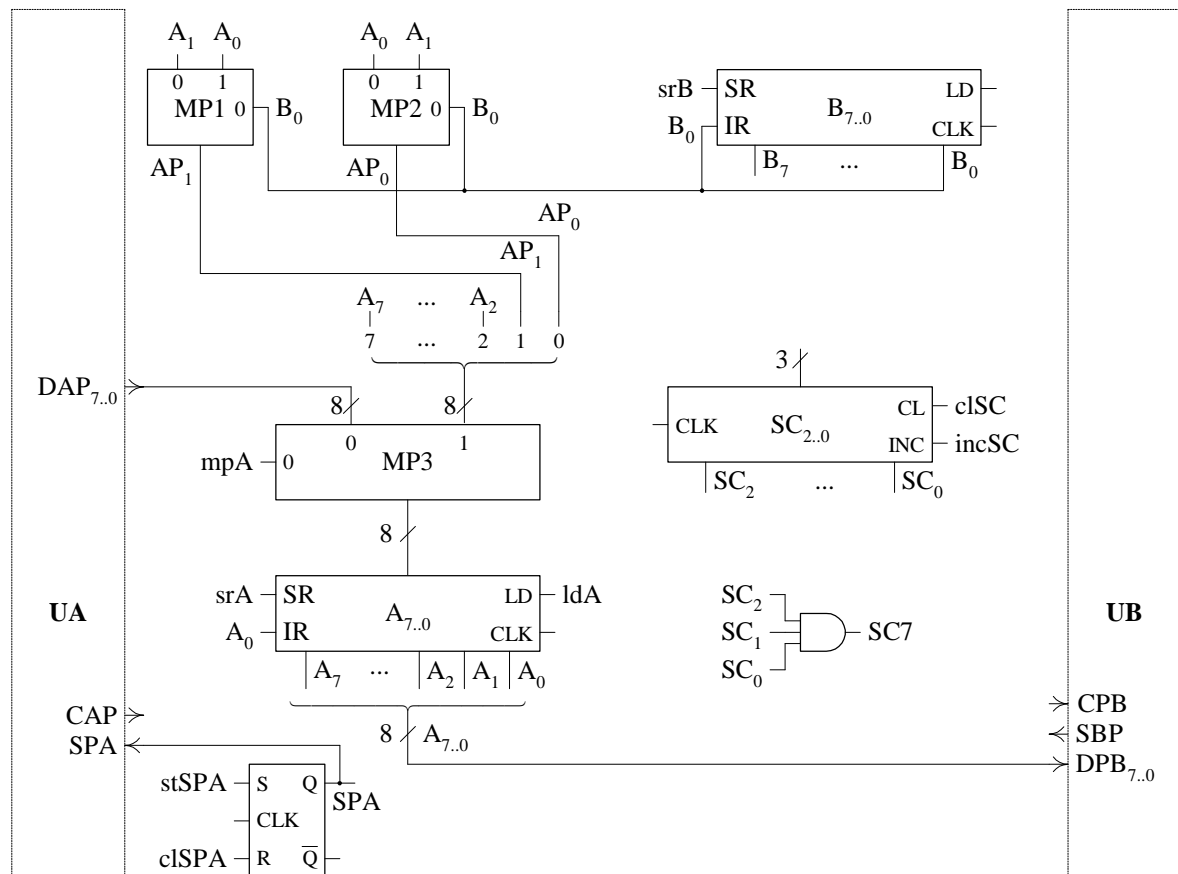
Уређај Р шаље уређају UB 8-битну бинарну реч резултата по линијама података  $DPB_{7..0}$ , при чему је бит 7 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја Р и UB користе се статусни сигнал SBP и управљачки сигнал CPB. Вредностима 0 и 1 сигнала SBP уређај UB шаље уређају Р индикацију када не може и када може да прими 8-битну бинарну реч, респективно. Вредношћу 1 сигнала CPB, трајања једна периода сигнала такта, уређај Р шаље уређају UB команду да треба да прими 8-битну бинарну реч, при чему уређај Р то чини када утврди да уређај UB на статусној линији SBP држи вредност 1.

Претпоставити да су на почетку на статусним линијама SPA и SBP налазе вредности 0.

- а) Нацртати структурну шему операционе јединице уређаја Р.
- б) Нацртати дијаграме тока управљачких сигнала операционе јединице и управљачке јединице уређаја Р.
- в) Нацртати структурну шему управљачке јединице уређаја Р реализоване помоћу бројача корака и декодера и дати изразе за генерисање управљачких сигнала операционе јединице и управљачке јединице уређаја Р.

### Решење:

- а) Структурна шема операционе јединице приказана је на слици 11.а.



Слика 11.а Структурна шема операционе јединице

Операциона јединица поред 8-разредних регистра  $A_{7..0}$  и  $B_{7..0}$ , садржи и 1-разредне мултиплексере  $MP1$  и  $MP2$ , 8-разредни мултиплексер  $MP3$ , инкрементирајући бројачки регистар  $SC_{2..0}$  и флип-флоп  $SPA$ .

На почетку се на улазе регистра  $A_{7..0}$  преко 8-разредног мултиплексера  $MP3$  води и у њега уписује 8-битна бинарна реч за шифровање која долази из уређаја  $UA$  по линијама  $DAP_{7..0}$ . Током шифровања које се реализује у осам итерација на улазе регистра  $A_{7..0}$  се преко 8-разредног мултиплексера  $MP3$  води и у њега у свакој итерацији уписује шифрована 8-битна бинарна реч  $A_{7..2}$ ,  $AP_1$  и  $AP_0$ . Сигнали  $A_{7..2}$  представљају сигнале шест старијих разреда регистра  $A_{7..0}$  чије се вредности у датој итерацији не мењају, док сигнали  $AP_1$  и  $AP_0$  представљају сигнале два млађа разреда регистра  $A_{7..0}$  чије се вредности у датој итерацији мењају. Сигнали  $AP_1$  и  $AP_0$  се формирају на излазима мултиплексера  $MP1$  и  $MP2$  и добијају вредности сигнала  $A_1$  и  $A_0$  или  $A_0$  и  $A_1$ , у зависности од тога да ли сигнал  $B_0$  има вредност 0 или 1, респективно.

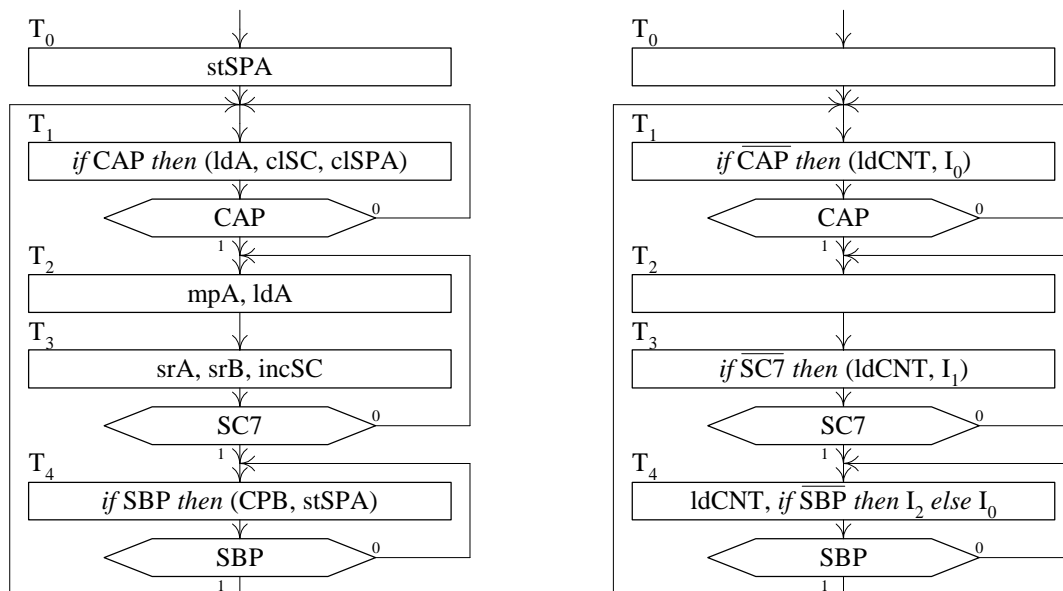
Бинарна реч за упис у регистар  $A_{7..0}$  се селекује 8-разредним мултиплексером  $MP3$ . Када из уређаја  $UA$  треба уписати бинарну реч за шифровање која долази по линијама  $DAP_{7..0}$  сигнал  $mpA$  има вредност 0, па кроз мултиплексер  $MP3$  пролази бинарна реч из уређаја  $UA$  и вредношћу 1 сигнала  $ldA$  се уписује у регистар  $A_{7..0}$ . Када у току рада уређаја  $P$  треба уписати бинарну реч  $A_{7..2}$ ,  $AP_1$  и  $AP_0$  сигнал  $mpA$  има вредност 1, па кроз мултиплексер  $MP3$  пролази бинарна реч  $A_{7..2}$ ,  $AP_1$  и  $AP_0$  и сигналом  $ldA$  уписује у регистар  $A_{7..0}$ .

Бинарне речи у регистрима  $A_{7..0}$  и  $B_{7..0}$  се у свакој од осам итерација сигнаlima  $srA$  и  $srB$  ротирају за једно место удесно, респективно.

Уписивањем бинарне речи  $A_{7...2}$ ,  $AP_1$  и  $AP_0$  у регистар  $A_{7...0}$  и ротирањем бинарних речи у регистрима  $A_{7...0}$  и  $B_{7...0}$  за једно место удесно, реализује се шифровање за један пар суседних битава. Ово треба поновити 8 пута да би се реализовало шифровање за 8 парова суседних битава. У инкрементирајући бројачки регистар  $SC_{2...0}$  се на почетку вредношћу 1 сигнала **clSC** уписује вредност 0. После сваког шифровања за један пар суседних битава вредношћу 1 сигнала **incSC** садржај регистра  $SC_{2...0}$  се инкрементира. Када садржај регистра  $SC_{2...0}$  постане 7, сигнал логичког услова **SC7**, који се формира на излазу логичког кола И, постаје 1. Вредност 1 сигнала логичког услова **SC7** је индикација да је шифровање свих 8 парова суседних битава реализовано и да је тиме завршено и шифровање бинарне речи из регистра  $A_{7...0}$ . Садржај регистра  $A_{7...0}$  представља шифровану 8-битну бинарну реч.

У флип-флоп **SPA** се вредношћу 1 управљачког сигнала **stSPA** уређаја **P** уписује вредност 1 онда када је уређај **P** спреман да прими садржај са линија  $DAP_{7...0}$ , а управљачким сигналом **clSPA** уређаја **P** вредност 0, онда када није спреман.

б) Дијаграми тока управљачких сигнала операционе и управљачке јединице дати су на слици 11.б.



Слика 11.б Дијаграми тока управљачких сигнала операционе и управљачке јединице

У кораку  $T_0$  се генерише вредност 1 управљачког сигнала **stSPA**, па се на сигнал такта у флип-флоп **SPA** уписује вредност 1 и прелази на корак  $T_1$ . Уписивањем вредности 1 у флип-флоп **SPA** уређај **P** сигнализира уређају **UA** да је спреман да од уређаја **UA** прими 8-битну бинарну реч по линијама података  $DAP_{7...0}$ .

У кораку  $T_1$  се остаје све време док сигнал **CAP** има вредност 0. Поред тога, све време док сигнал **CAP** има вредност 0 и сигнали **ldA**, **clSC** и **clSPA** имају вредност 0. Вредношћу 1 сигнала **CAP** трајања једна периода сигнала такта, уређај **UA** сигнализира уређају **P** да се на линијама података  $DAP_{7...0}$  налази важећа бинарна реч. У кораку  $T_1$  се при вредности 1 сигнала **CAP** генеришу вредности 1 управљачких сигнала **ldA**, **clSC** и **clSPA**, па се на сигнал такта у регистар  $A_{7...0}$  уписује садржај са линијама података  $DAP_{7...0}$ , бројач  $SC_{2...0}$  се брише а у флип-флоп **SPA** уписује вредност 0 и прелази на корак  $T_2$ . Уписивањем вредности 0 у флип-флоп **SPA** уређај **P** сигнализира уређају **UA** да до даљег није спреман да од уређаја **UA** прими 8-битну бинарну реч по линијама података  $DAP_{7...0}$ .



Кроз кораке  $T_2$  и  $T_3$  се пролази у осам итерација и у сваком од њих остаје само једна периода сигнала такта. У свакој итерацији се у кораку  $T_2$  генеришу вредности 1 сигнала **mpA** и **ldA**, а у кораку  $T_3$  вредности 1 сигнала **srA**, **srB** и **incSC**. Шифровање се врши у осам итерација, а у свакој итерацији се врши шифровање једног од 8 парова суседних битова.

У првој итерацији се врши шифровање пара суседних битова број 0 који чини пар бита 1:0 бинарне речи за шифровање који се налази у разредима  $A_1$  и  $A_0$ , а шифровање се врши на основу бита 0 бинарне речи кључа шифре који се налази у разреду  $B_0$ . Најпре се у кораку  $T_2$  вредностима 1 сигнала **mpA** и **ldA** кроз мултиплексер MP3 пропушта шифрована бинарна реч  $A_{7..2}$ ,  $AP_1$  и  $AP_0$  и сигналом **ldA** уписује у регистар  $A_{7..0}$ . Затим се у кораку  $T_3$  вредностима 1 сигнала **srA** и **srB** врши ротирањем бинарних речи у регистрима  $A_{7..0}$  и  $B_{7..0}$  за једно место удесно. Поред тога вредношћу 1 сигнала **incSC** се инкрементира садржај бројача  $SC_{2..0}$  на вредност један.

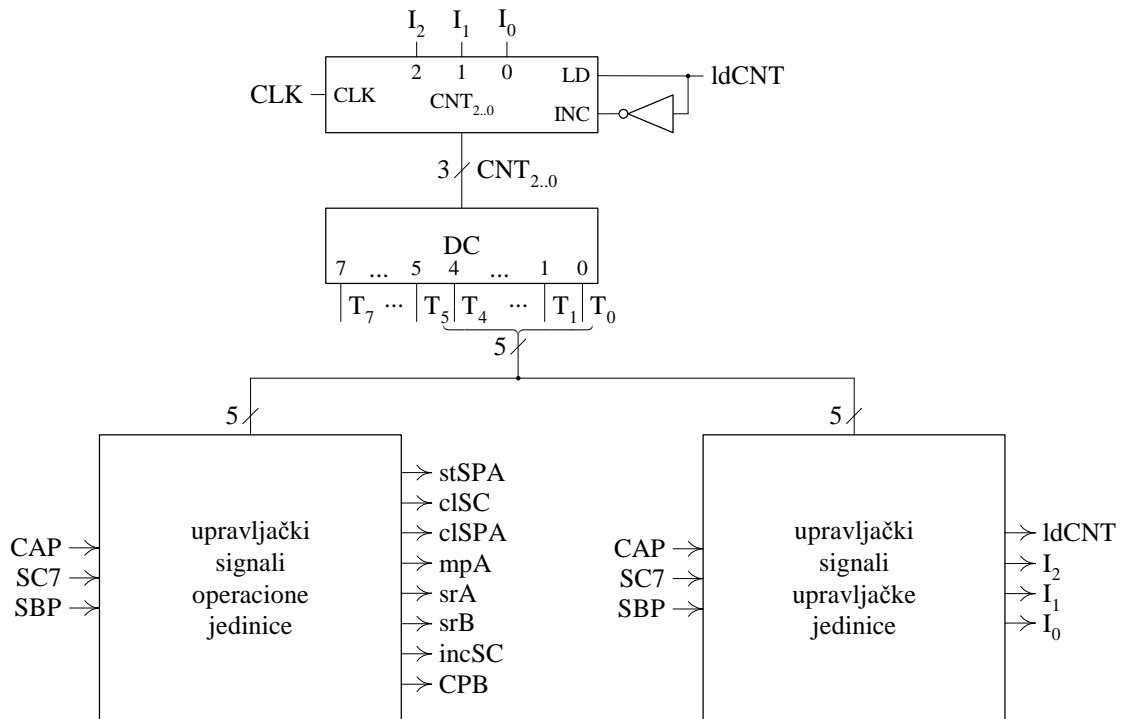
На сличан начин се у другој итерацији врши шифровање пара суседних битова број 1 који чини пар бита 2:1 бинарне речи за шифровање који се налази у разредима  $A_1$  и  $A_0$ , а шифровање се врши на основу бита 1 бинарне речи кључа шифре који се налази у разреду  $B_0$ . Најпре се у кораку  $T_2$  вредностима 1 сигнала **mpA** и **ldA** кроз мултиплексер MP3 пропушта шифрована бинарна реч  $A_{7..2}$ ,  $AP_1$  и  $AP_0$  и сигналом **ldA** уписује у регистар  $A_{7..0}$ . Затим се у кораку  $T_3$  вредностима 1 сигнала **srA** и **srB** врши ротирањем бинарних речи у регистрима  $A_{7..0}$  и  $B_{7..0}$  за једно место удесно. Поред тога вредношћу 1 сигнала **incSC** се инкрементира садржај бројача  $SC_{2..0}$  на вредност два.

За време треће, четврте, пете, шесте и седме итерације на сличан начин се врши шифровање парова суседних битова број 2, 3, 4, 5 и 6 који чине парови битова 3:2, 4:3, 5:4, 6:5 и 7:6 бинарне речи за шифровање и садржај бројача  $SC_{2..0}$  инкрементира на три, четири, пет, шест и седам.

Коначно за време осме итерације се врши шифровање пара суседних битова број 7 који чини пар бита 0:7 бинарне речи за шифровање који се налази у разредима  $A_1$  и  $A_0$ , а шифровање се врши на основу бита 7 бинарне речи кључа шифре који се налази у разреду  $B_0$ . Најпре се у кораку  $T_2$  вредностима 1 сигнала **mpA** и **ldA** кроз мултиплексер MP3 пропушта шифрована бинарна реч  $A_{7..2}$ ,  $AP_1$  и  $AP_0$  и сигналом **ldA** уписује у регистар  $A_{7..0}$ . Затим се у кораку  $T_3$  вредностима 1 сигнала **srA** и **srB** врши ротирањем бинарних речи у регистрима  $A_{7..0}$  и  $B_{7..0}$  за једно место удесно. Поред тога вредношћу 1 сигнала **incSC** се инкрементира садржај бројача  $SC_{2..0}$  на вредност нула. Приликом првих седам итерација сигнал **BC7** има вредност нула, а приликом осме итерације вредност један, па се прелази на корак  $T_4$ .

У кораку  $T_4$  се остаје све време док сигнал **SBP** има вредност 0. Вредношћу 0 сигнала **SBP** уређај UB сигнализира уређају P да није спреман да прихвати резултат са линија података  $DPB_{7..0}$ , па све време док сигнал **SBP** има вредност 0 и сигнали **CPB** и **stSPA** имају вредност 0. Вредношћу 1 сигнала **SBP**, уређај UB сигнализира уређају P да је спреман да прихвати резултат са линија података  $DPB_{7..0}$ . У кораку  $T_4$  се при вредности 1 сигнала **SBP** генеришу вредности 1 управљачких сигнала **CPB** и **stSPA**. На први следећи сигнал такта се вредношћу 1 сигнала **CPB** омогућава да уређај UB упише резултат са линија података  $DPB_{7..0}$  у неки свој прихватни регистар, док се вредношћу 1 сигнала **stSPA** у флип-флоп SPA уписује вредност 1. На исти сигнал такта се прелази на корак  $T_1$ . Уписивањем вредности 1 у флип-флоп SPA уређај P сигнализира уређају UA да је сада спреман да од уређаја UA прими следећу 8-битну бинарну реч по линијама података  $DAP_{7..0}$ .

в) Структурна шема управљачке јединице реализоване помоћу бројача корака и декодера приказана је на слици 11.в.



Слика 11.в Структурна шема управљачке јединице

У кораку  $T_0$  треба да се остане само једна периода сигнала такта и да се на први сигнал такта пређе на корак  $T_1$ . У кораку  $T_0$  сигнал **ldCNT** има вредност 0, па су на улазима LD и INC бројача  $CNT_{1...0}$  вредности 0 и 1, респективно. Стога се на први сигнал такта садржај бројача  $CNT_{1...0}$  инкрементира и прелази на корак  $T_1$ .

У кораку  $T_1$  треба да се остане све време док сигнал **CAP** има вредност 0, а на корак  $T_2$  треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал **CAP** добија вредност 1. Све време док сигнал **CAP** има вредност 0 сигнали **ldCNT** и  $I_0$  имају вредност 1, па су на улазима LD и INC бројача  $CNT_{1...0}$  вредности 1 и 0, респективно, а на паралелним улазима бројача  $CNT_{1...0}$  је бинарна вредност 001. На сигнал такта у бројач  $CNT_{1...0}$  се уписује вредност 001, па се остаје у кораку  $T_1$ . На сигнал такта на који сигнал **CAP** добија вредност 1 сигнали **ldCNT** и  $I_0$  добијају вредност 0, па су на улазима LD и INC бројача  $CNT_{1...0}$  вредности 0 и 1, респективно. Стога се на први следећи сигнал такта садржај бројача  $CNT_{1...0}$  инкрементира и прелази на корак  $T_2$ .

Кроз кораке  $T_2$  и  $T_3$  се пролази у осам итерација.

У кораку  $T_2$  треба да се остане само једна периода сигнала такта и да се на сигнал такта пређе на корак  $T_3$ . У кораку  $T_2$  сигнал **ldCNT** има вредност 0, па су на улазима LD и INC бројача  $CNT_{1...0}$  вредности 0 и 1, респективно. Стога се на сигнал такта садржај бројача  $CNT_{1...0}$  инкрементира и прелази на корак  $T_3$ .

У кораку  $T_3$  треба да се остане само једна периода сигнала такта и да се на сигнал такта пређе на корак  $T_2$  или  $T_4$  у зависности од тога да ли сигнал **BC7** има вредност 0, или 1, респективно. Уколико сигнал **BC7** има вредност 0 сигнали **ldCNT** и  $I_1$  имају вредност 1, па су на улазима LD и INC бројача  $CNT_{1...0}$  вредности 1 и 0, респективно, а на паралелним улазима бројача  $CNT_{1...0}$  је бинарна вредност 010. На сигнал такта у бројач  $CNT_{1...0}$  се уписује вредност 010, па се прелази на корак  $T_2$ . Уколико сигнал **BC7**

има вредност 1 сигнали  $ldCNT$  и  $I_1$  добијају вредност 0, па су на улазима LD и INC бројача  $CNT_{1...0}$  вредности 0 и 1, респективно. Стога се на сигнал такта садржај бројача  $CNT_{1...0}$  инкрементира и прелази на корак  $T_4$ .

У кораку  $T_4$  треба да се остане све време док сигнал **SBP** има вредност 0, а на корак  $T_1$  треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал **SBP** добија вредност 1. У кораку  $T_4$  сигнал  $ldCNT$  има вредност 1, па су на улазима LD и INC бројача  $CNT_{1...0}$  вредности 1 и 0, респективно. Стога се на сигнал такта увек врши уписивање у бројач  $CNT_{1...0}$ . Све време док сигнал **SBP** има вредност 0, сигнал  $I_2$  има вредност 1, па је на паралелним улазима бројача  $CNT_{1...0}$  бинарна вредност 100. На сигнал такта у бројач  $CNT_{1...0}$  се уписује вредност 100, па се остаје у кораку  $T_4$ . На сигнал такта на који сигнал **SBP** добија вредност 1, сигнал  $I_0$  добија вредност 1, па је на паралелним улазима бројача  $CNT_{1...0}$  бинарна вредност 001. Стога се на први следећи сигнал такта у бројач  $CNT_{1...0}$  уписује вредност 001, па се прелази на корак  $T_1$ .

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$stSPA = T_0 + SBP \cdot T_4$$

$$ldA = CAP \cdot T_1 + T_2$$

$$clSC = CAP \cdot T_1$$

$$clSPA = CAP \cdot T_1$$

$$mpA = T_2$$

$$srA = T_3$$

$$srB = T_3$$

$$incSC = T_3$$

$$CPB = SBP \cdot T_4$$

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$ldCNT = \overline{CAP} \cdot T_1 + \overline{SC7} \cdot T_3 + T_4$$

$$I_0 = \overline{CAP} \cdot T_1 + SBP \cdot T_4$$

$$I_1 = \overline{SC7} \cdot T_3$$

$$I_2 = \overline{SBP} \cdot T_4$$

## 1.12 ДЕШИФРОВАЊЕ ЗАМЕНОМ МЕСТА

Реализовати уређај Р за спрегу између уређаја UA и UB. Уређај Р треба да обавља операцију дешифровања података представљених као 8-битне бинарне речи. Уређај Р треба да прими од уређаја UA и смести у регистар  $A_{7..0}$  8-битну бинарну реч за коју треба да обави операцију дешифровања. Кључ којим се врши дешифровање 8-битне бинарне речи из регистра  $A_{7..0}$  је 8-битна бинарна реч која се налази стално у регистру  $B_{7..0}$ . Резултат дешифровања је 8-битна бинарна реч која треба да се формира у регистру  $A_{7..0}$ . У регистрима  $A_{7..0}$  и  $B_{7..0}$  најстарији разред је означен са 7 а најмлађи са 0. Дешифровање се врши на следећи начин. Посматрају се парови суседних бита бинарне речи у регистру  $A_{7..0}$ , при чему је пар бита 1:0 означен као пар број 0, пар 2:1 као пар број 1, итд., пар 7:6 као пар број 6 и пар 0:7 као пар број 7. Уназад, почев од пара 7 закључно са паром 0, врши се у 8 итерација следећа операција: ако је бит  $B_i$  једнак 1, битови у пару  $i$  регистра  $A_{7..0}$  замењују места, иначе се не мењају ( $i = 7..0$ ). На пример ако је  $A_{7..0} = 10111000b$  и  $B_{7..0} = 00001111b$  као резултат дешифровања треба да се добије  $A_{7..0} = 10110001b$ . Уређај Р треба да 8-битну бинарну реч која представља резултат дешифровања из регистра  $A_{7..0}$  пошаље уређају UB. Операција треба да се понавља циклично. Уређаји UA, Р и UB треба раде синхроно на исти сигнал такта.

Уређај UA шаље уређају Р 8-битну бинарну реч по линијама података  $DAP_{7..0}$ , при чему је бит 7 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја UA и Р користе се статусни сигнал SPA и управљачки сигнал CAP. Вредностима 0 и 1 сигнала SPA уређај Р шаље уређају UA индикацију када не може и када може да прими 8-битну бинарну реч, респективно. Вредношћу 1 сигнала CAP, трајања једна периода сигнала такта, уређај UA шаље уређају Р команду да треба да прими 8-битну бинарну реч, при чему уређај UA то чини када утврди да уређај Р на статусној линији SPA држи вредност 1.

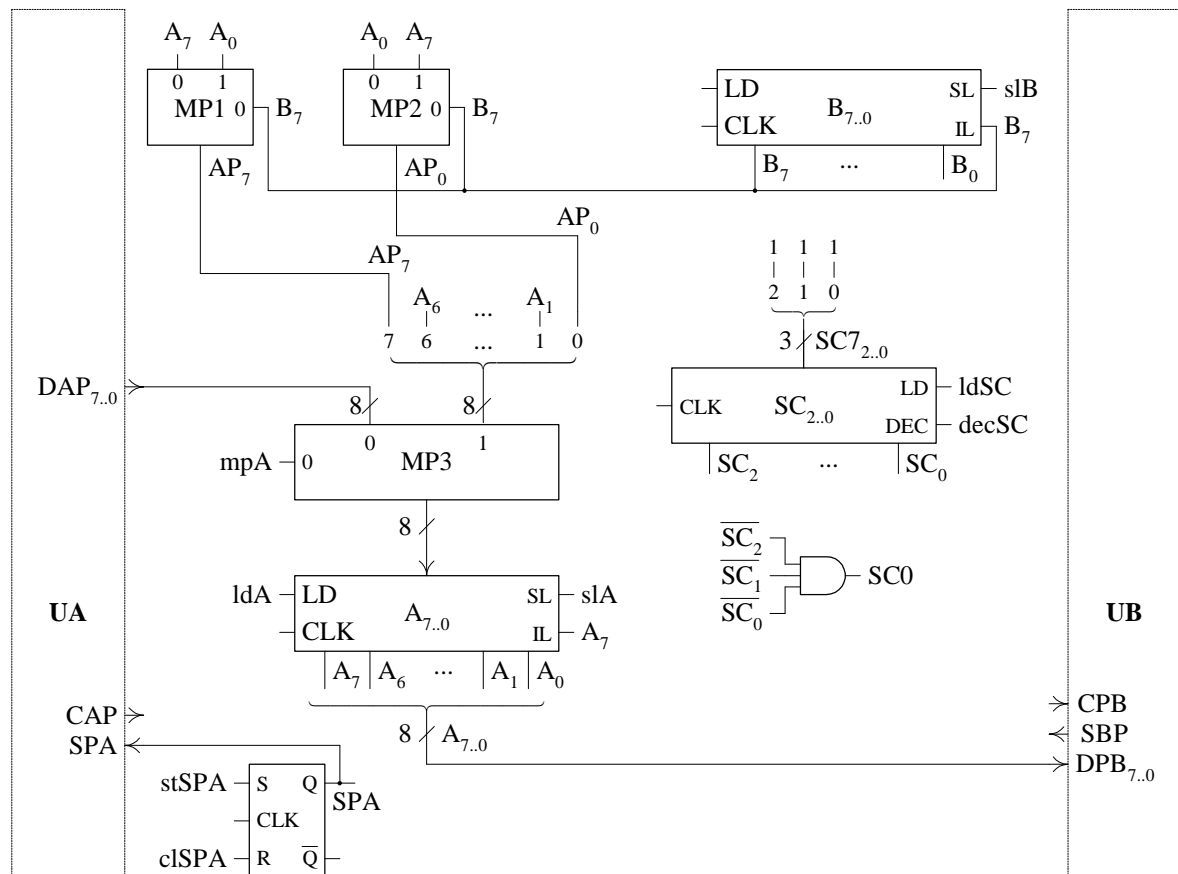
Уређај Р шаље уређају UB 8-битну бинарну реч резултата по линијама података  $DPB_{7..0}$ , при чему је бит 7 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја Р и UB користе се статусни сигнал SBP и управљачки сигнал CPB. Вредностима 0 и 1 сигнала SBP уређај UB шаље уређају Р индикацију када не може и када може да прими 8-битну бинарну реч, респективно. Вредношћу 1 сигнала CPB, трајања једна периода сигнала такта, уређај Р шаље уређају UB команду да треба да прими 8-битну бинарну реч, при чему уређај Р то чини када утврди да уређај UB на статусној линији SBP држи вредност 1.

Претпоставити да су на почетку на статусним линијама SPA и SBP налазе вредности 0.

- а) Нацртати структурну шему операционе јединице уређаја Р.
- б) Нацртати дијаграме тока управљачких сигнала операционе јединице и управљачке јединице уређаја Р.
- в) Нацртати структурну шему управљачке јединице уређаја Р реализоване помоћу бројача корака и декодера и дати изразе за генерисање управљачких сигнала операционе јединице и управљачке јединице уређаја Р.

### Решење:

- а) Структурна шема операционе јединице приказана је на слици 12.а.



Слика 12.а Структурна шема операционе јединице

Операциона јединица поред 8-разредних регистра  $A_{7..0}$  и  $B_{7..0}$ , садржи и 1-разредне мултиплексере MP1 и MP2, 8-разредни мултиплексер MP3, декрементирајући бројачки регистар  $SC_{2..0}$  и флип-флоп SPA.

На почетку се на улазе регистра  $A_{7..0}$  преко 8-разредног мултиплексера MP3 води и у њега уписује 8-битна бинарна реч за дешифровање која долази из уређаја UA по линијама  $DAP_{7..0}$ . Током дешифровања које се реализује у осам итерација на улазе регистра  $A_{7..0}$  се преко 8-разредног мултиплексера MP3 води и у њега у свакој итерацији уписује дешифрована 8-битна бинарна реч  $AP_7$ ,  $A_{6..1}$  и  $AP_0$ . Сигнали  $A_{6..1}$  представљају сигнале шест средњих разреда регистра  $A_{7..0}$  чије се вредности у датој итерацији не мењају, док сигнали  $AP_7$  и  $AP_0$  представљају сигнале најстаријег и најмлађег разреда регистра  $A_{7..0}$  чије се вредности у датој итерацији мењају. Сигнали  $AP_7$  и  $AP_0$  се формирају на излазима мултиплексера MP1 и MP2 и добијају вредности сигнала  $A_7$  и  $A_0$  или  $A_0$  и  $A_7$ , у зависности од тога да ли сигнал  $B_0$  има вредност 0 или 1, респективно.

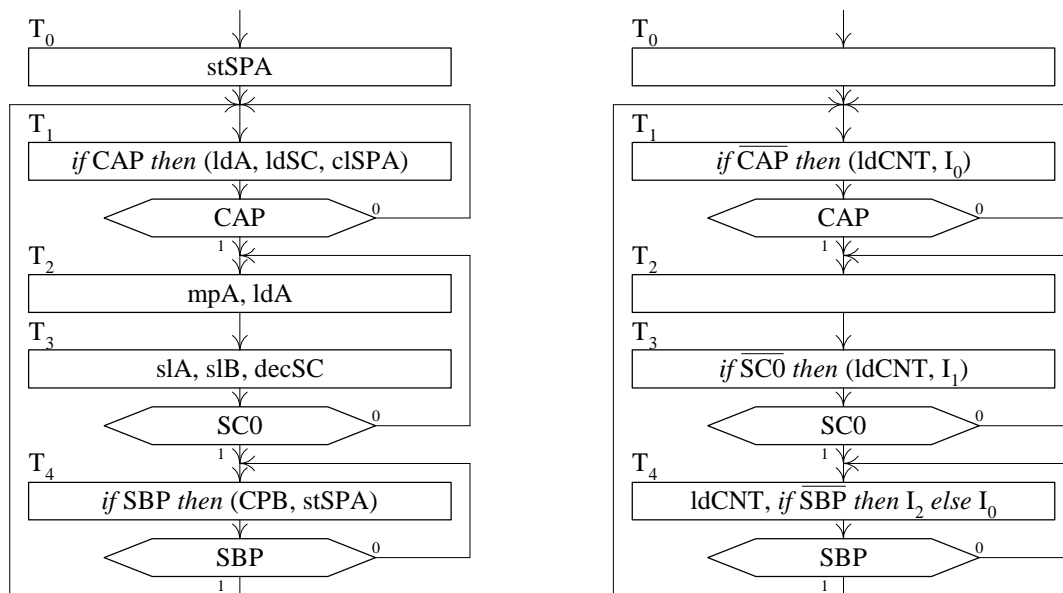
Бинарна реч за упис у регистар  $A_{7..0}$  се селекује 8-разредним мултиплексером MP3. Када из уређаја UA треба уписати бинарну реч за шифровање која долази по линијама  $DAP_{7..0}$  сигнал  $mpA$  има вредност 0, па кроз мултиплексер MP3 пролази бинарна реч из уређаја UA и вредношћу 1 сигнала  $ldA$  се уписује у регистар  $A_{7..0}$ . Када у току рада уређаја P треба уписати бинарну реч  $AP_7$ ,  $A_{6..1}$  и  $AP_0$  сигнал  $mpA$  има вредност 1, па кроз мултиплексер MP3 пролази бинарна реч  $AP_7$ ,  $A_{6..1}$  и  $AP_0$  и сигналом  $ldA$  уписује у регистар  $A_{7..0}$ .

Бинарне речи у регистрима  $A_{7..0}$  и  $B_{7..0}$  се у свакој од осам итерација сигнаlima  $sIA$  и  $sIB$  ротирају за једно место улево, респективно.

Уписивањем бинарне речи  $AP_7$ ,  $A_{6...1}$  и  $AP_0$  у регистар  $A_{7...0}$  и ротирањем бинарних речи у регистрима  $A_{7...0}$  и  $B_{7...0}$  за једно место улево, реализује се дешифровање за један пар суседних битава. Ово треба поновити 8 пута да би се реализовало дешифровање за 8 парова суседних битава. У декрементирајући бројачки регистар  $SC_{2...0}$  се на почетку вредношћу 1 сигнала **ldSC** уписује вредност 7. После сваког дешифровања за један пар суседних битава вредношћу 1 сигнала **decSC** садржај регистра  $SC_{2...0}$  се декрементира. Када садржај регистра  $SC_{2...0}$  постане 0, сигнал логичког услова **SC0**, који се формира на излазу логичког кола И, постаје 1. Вредност 1 сигнала логичког услова **SC0** је индикација да је дешифровање свих 8 парова суседних битава реализовано и да је тиме завршено и дешифровање бинарне речи из регистра  $A_{7...0}$ . Садржај регистра  $A_{7...0}$  представља дешифровану 8-битну бинарну реч.

У флип-флоп **SPA** се вредношћу 1 управљачког сигнала **stSPA** уређаја **P** уписује вредност 1 онда када је уређај **P** спреман да прими садржај са линија  $DAP_{7...0}$ , а управљачким сигналом **clSPA** уређаја **P** вредност 0, онда када није спреман.

б) Дијаграми тока управљачких сигнала операционе и управљачке јединице дати су на слици 12.б.



Слика 12.б Дијаграми тока управљачких сигнала операционе и управљачке јединице

У кораку  $T_0$  се генерише вредност 1 управљачког сигнала **stSPA**, па се на сигнал такта у флип-флоп **SPA** уписује вредност 1 и прелази на корак  $T_1$ . Уписивањем вредности 1 у флип-флоп **SPA** уређај **P** сигнализира уређају **UA** да је спреман да од уређаја **UA** прими 8-битну бинарну реч по линијама података  $DAP_{7...0}$ .

У кораку  $T_1$  се остаје све време док сигнал **CAP** има вредност 0. Поред тога, све време док сигнал **CAP** има вредност 0 и сигнали **ldA**, **clSC** и **clSPA** имају вредност 0. Вредношћу 1 сигнала **CAP** трајања једна периода сигнала такта, уређај **UA** сигнализира уређају **P** да се на линијама података  $DAP_{7...0}$  налази важећа бинарна реч. У кораку  $T_1$  се при вредности 1 сигнала **CAP** генеришу вредности 1 управљачких сигнала **ldA**, **clSC** и **clSPA**, па се на сигнал такта у регистар  $A_{7...0}$  уписује садржај са линијама података  $DAP_{7...0}$ , бројач  $SC_{2...0}$  се брише а у флип-флоп **SPA** уписује вредност 0 и прелази на корак  $T_2$ . Уписивањем вредности 0 у флип-флоп **SPA** уређај **P** сигнализира уређају **UA** да до даљег није спреман да од уређаја **UA** прими 8-битну бинарну реч по линијама података  $DAP_{7...0}$ .

Кроз кораке  $T_2$  и  $T_3$  се пролази у осам итерација и у сваком од њих остаје само једна периода сигнала такта. У свакој итерацији се у кораку  $T_2$  генеришу вредности 1 сигнала **mpA** и **ldA**, а у кораку  $T_3$  вредности 1 сигнала **slA**, **slB** и **decSC**. Дешифровање се врши у осам итерација, а у свакој итерацији се врши дешифровање једног од 8 парова суседних битова.

У првој итерацији се врши дешифровање пара суседних битова број 7 који чини пар бита 0:7 бинарне речи за дешифровање који се налази у разредима  $A_7$  и  $A_0$ , а дешифровање се врши на основу бита 7 бинарне речи кључа шифре који се налази у разреду  $B_7$ . Најпре се у кораку  $T_2$  вредностима 1 сигнала **mpA** и **ldA** кроз мултиплексер MP3 пропушта дешифрована бинарна реч  $AP_7$ ,  $A_{6...1}$  и  $AP_0$  и сигналом **ldA** уписује у регистар  $A_{7...0}$ . Затим се у кораку  $T_3$  вредностима 1 сигнала **slA** и **slB** врши ротирање бинарних речи у регистрима  $A_{7...0}$  и  $B_{7...0}$  за једно место улево. Поред тога вредношћу 1 сигнала **decSC** се декрементира садржај бројача  $SC_{2..0}$  на вредност шест.

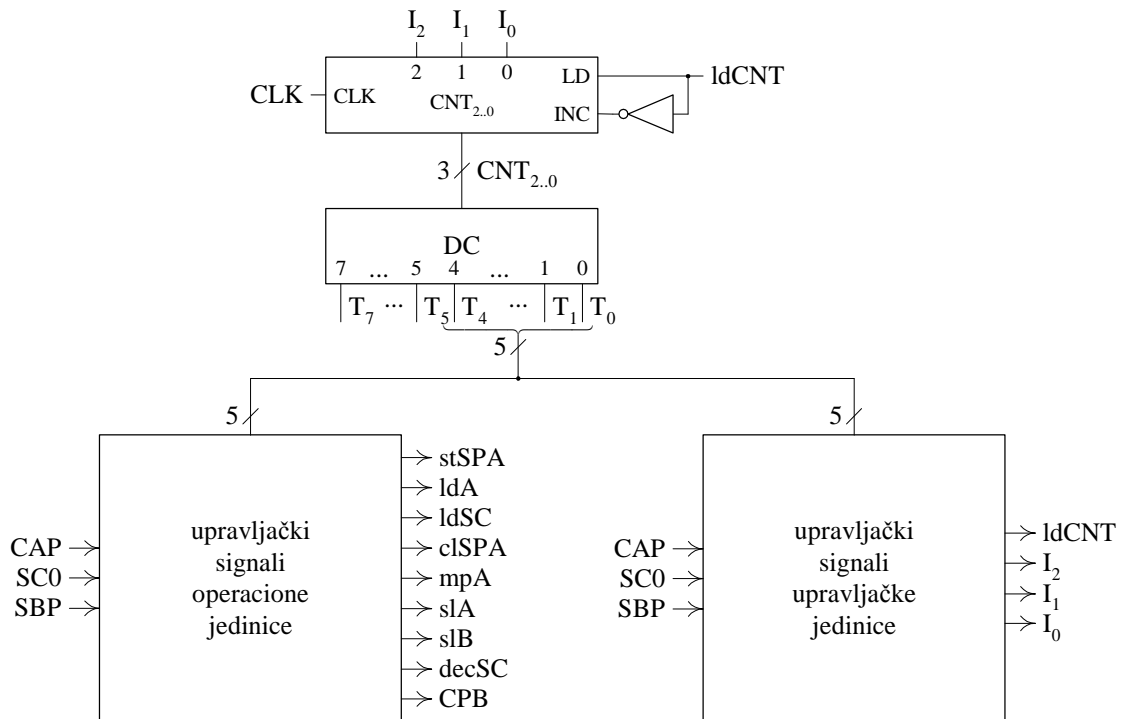
На сличан начин се у другој итерацији врши дешифровање пара суседних битова број 6 који чини пар бита 7:6 бинарне речи за дешифровање који се налази у разредима  $A_7$  и  $A_0$ , а дешифровање се врши на основу бита 6 бинарне речи кључа шифре који се налази у разреду  $B_7$ . Најпре се у кораку  $T_2$  вредностима 1 сигнала **mpA** и **ldA** кроз мултиплексер MP3 пропушта дешифрована бинарна реч  $AP_7$ ,  $A_{6...1}$  и  $AP_0$  и сигналом **ldA** уписује у регистар  $A_{7...0}$ . Затим се у кораку  $T_3$  вредностима 1 сигнала **slA** и **slB** врши ротирањем бинарних речи у регистрима  $A_{7...0}$  и  $B_{7...0}$  за једно место улево. Поред тога вредношћу 1 сигнала **decSC** се декрементира садржај бројача  $SC_{2..0}$  на вредност 5.

За време треће, четврте, пете, шесте и седме итерације на сличан начин се врши дешифровање парова суседних битова број 5, 4, 3, 2 и 1 који чине парови битова 6:5, 5:4, 4:3, 3:2, и 2:1 бинарне речи за дешифровање и садржај бројача  $SC_{2..0}$  декрементира на вредност четири, три, два, један и нула.

Коначно за време осме итерације се врши дешифровање пара суседних битова број 0 који чини пар бита 1:0 бинарне речи за дешифровање који се налази у разредима  $A_1$  и  $A_0$ , а дешифровање се врши на основу бита 0 бинарне речи кључа шифре који се налази у разреду  $B_7$ . Најпре се у кораку  $T_2$  вредностима 1 сигнала **mpA** и **ldA** кроз мултиплексер MP3 пропушта дешифрована бинарна реч  $AP_7$ ,  $A_{6...1}$  и  $AP_0$  и сигналом **ldA** уписује у регистар  $A_{7...0}$ . Затим се у кораку  $T_3$  вредностима 1 сигнала **slA** и **slB** врши ротирањем бинарних речи у регистрима  $A_{7...0}$  и  $B_{7...0}$  за једно место улево. Поред тога вредношћу 1 сигнала **decSC** се декрементира садржај бројача  $SC_{2..0}$  на вредност седам. Приликом првих седам итерација сигнал **BC0** има вредност нула, а приликом осме итерације вредност један, па се прелази на корак  $T_4$ .

У кораку  $T_4$  се остаје све време док сигнал **SBP** има вредност 0. Вредношћу 0 сигнала **SBP** уређај UB сигнализира уређају P да није спреман да прихвати резултат са линија података  $DPB_{7..0}$ , па све време док сигнал **SBP** има вредност 0 и сигнали **CPB** и **stSPA** имају вредност 0. Вредношћу 1 сигнала **SBP**, уређај UB сигнализира уређају P да је спреман да прихвати резултат са линија података  $DPB_{7..0}$ . У кораку  $T_4$  се при вредности 1 сигнала **SBP** генеришу вредности 1 управљачких сигнала **CPB** и **stSPA**. На први следећи сигнал такта се вредношћу 1 сигнала **CPB** омогућава да уређај UB упише резултат са линија података  $DPB_{7..0}$  у неки свој прихватни регистар, док се вредношћу 1 сигнала **stSPA** у флип-флоп SPA уписује вредност 1. На исти сигнал такта се прелази на корак  $T_1$ . Уписивањем вредности 1 у флип-флоп SPA уређај P сигнализира уређају UA да је сада спреман да од уређаја UA прими следећу 8-битну бинарну реч по линијама података  $DAP_{7..0}$ .

в) Структурна шема управљачке јединице реализоване помоћу бројача корака и декодера приказана је на слици 12.в.



Слика 12.в Структурна шема управљачке јединице

У кораку  $T_0$  треба да се остане само једна периода сигнала такта и да се на први сигнал такта пређе на корак  $T_1$ . У кораку  $T_0$  сигнал **ldCNT** има вредност 0, па су на улазима LD и INC бројача  $CNT_{1...0}$  вредности 0 и 1, респективно. Стога се на први сигнал такта садржај бројача  $CNT_{1...0}$  инкрементира и прелази на корак  $T_1$ .

У кораку  $T_1$  треба да се остане све време док сигнал **CAP** има вредност 0, а на корак  $T_2$  треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал **CAP** добија вредност 1. Све време док сигнал **CAP** има вредност 0 сигнали **ldCNT** и  $I_0$  имају вредност 1, па су на улазима LD и INC бројача  $CNT_{1...0}$  вредности 1 и 0, респективно, а на паралелним улазима бројача  $CNT_{1...0}$  је бинарна вредност 001. На сигнал такта у бројач  $CNT_{1...0}$  се уписује вредност 001, па се остаје у кораку  $T_1$ . На сигнал такта на који сигнал **CAP** добија вредност 1 сигнали **ldCNT** и  $I_0$  добијају вредност 0, па су на улазима LD и INC бројача  $CNT_{1...0}$  вредности 0 и 1, респективно. Стога се на први следећи сигнал такта садржај бројача  $CNT_{1...0}$  инкрементира и прелази на корак  $T_2$ .

Кроз кораке  $T_2$  и  $T_3$  се пролази у осам итерација.

У кораку  $T_2$  треба да се остане само једна периода сигнала такта и да се на сигнал такта пређе на корак  $T_3$ . У кораку  $T_2$  сигнал **ldCNT** има вредност 0, па су на улазима LD и INC бројача  $CNT_{1...0}$  вредности 0 и 1, респективно. Стога се на сигнал такта садржај бројача  $CNT_{1...0}$  инкрементира и прелази на корак  $T_3$ .

У кораку  $T_3$  треба да се остане само једна периода сигнала такта и да се на сигнал такта пређе на корак  $T_2$  или  $T_4$  у зависности од тога да ли сигнал **BC0** има вредност 0, или 1, респективно. Уколико сигнал **BC0** има вредност 0 сигнали **ldCNT** и  $I_1$  имају вредност 1, па су на улазима LD и INC бројача  $CNT_{1...0}$  вредности 1 и 0, респективно, а на паралелним улазима бројача  $CNT_{1...0}$  је бинарна вредност 010. На сигнал такта у бројач  $CNT_{1...0}$  се уписује вредност 010, па се прелази на корак  $T_2$ . Уколико сигнал **BC0**



има вредност 1 сигнали  $ldCNT$  и  $I_1$  добијају вредност 0, па су на улазима  $LD$  и  $INC$  бројача  $CNT_{1...0}$  вредности 0 и 1, респективно. Стога се на сигнал такта садржај бројача  $CNT_{1...0}$  инкрементира и прелази на корак  $T_4$ .

У кораку  $T_4$  треба да се остане све време док сигнал  $SBP$  има вредност 0, а на корак  $T_1$  треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал  $SBP$  добија вредност 1. У кораку  $T_4$  сигнал  $ldCNT$  има вредност 1, па су на улазима  $LD$  и  $INC$  бројача  $CNT_{1...0}$  вредности 1 и 0, респективно. Стога се на сигнал такта увек врши уписивање у бројач  $CNT_{1...0}$ . Све време док сигнал  $SBP$  има вредност 0, сигнал  $I_2$  има вредност 1, па је на паралелним улазима бројача  $CNT_{1...0}$  бинарна вредност 100. На сигнал такта у бројач  $CNT_{1...0}$  се уписује вредност 100, па се остаје у кораку  $T_4$ . На сигнал такта на који сигнал  $SBP$  добија вредност 1, сигнал  $I_0$  добија вредност 1, па је на паралелним улазима бројача  $CNT_{1...0}$  бинарна вредност 001. Стога се на први следећи сигнал такта у бројач  $CNT_{1...0}$  уписује вредност 001, па се прелази на корак  $T_1$ .

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$stSPA = T_0 + SBP \cdot T_4$$

$$ldA = CAP \cdot T_1 + T_2$$

$$ldSC = CAP \cdot T_1$$

$$clSPA = CAP \cdot T_1$$

$$mpA = T_2$$

$$slA = T_3$$

$$slB = T_3$$

$$decSC = T_3$$

$$CPB = SBP \cdot T_4$$

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$ldCNT = \overline{CAP} \cdot T_1 + \overline{SC0} \cdot T_3 + T_4$$

$$I_0 = \overline{CAP} \cdot T_1 + SBP \cdot T_4$$

$$I_1 = \overline{SC0} \cdot T_3$$

$$I_2 = \overline{SBP} \cdot T_4$$

### 1.13 КОДИРАЊЕ СА ИНВЕРТОВАЊЕМ НА 1

Реализовати уређај  $P$  за спрегу између уређаја  $UA$  и  $UB$ . Уређај  $P$  треба да над задатом 8-битном бинарном речи  $X_{7...0}$  обавља операцију описану у даљем тексту и формира 8-битни бинарну реч резултата  $Y_{7...0}$ . У бинарним речима  $X_{7...0}$  и  $Y_{7...0}$  најстарији бит је означен са 7 а најмлађи са 0. Операција треба да се извршава на следећи начин: за бит са индексом 0 важи  $Y_0 = X_0$ , док за битове са индексима од 1 до 7 важи да је  $Y_i$  једнако  $Y_{i-1}$  ако је  $X_i = 0$  и  $Y_i$  једнако комплемент од  $Y_{i-1}$  ако је  $X_i = 1$ . Уређај  $P$  треба најпре да прими од уређаја  $UA$  и смести у регистар  $A_{7...0}$  8-битну бинарну  $X_{7...0}$ , да затим над њом обави операцију и 8-битни бинарну реч резултата  $Y_{7...0}$  формира у регистру  $B_{7...0}$  и да на крају 8-битну бинарну реч из регистра  $B_{7...0}$  пошаље уређају  $UB$ . Операција треба да се понавља циклично. Уређаји  $UA$ ,  $P$  и  $UB$  треба раде синхроно на исти сигнал такта.

Уређај  $UA$  шаље уређају  $P$  8-битну бинарну реч по линијама података  $DAP_{7...0}$ , при чему је бит 7 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја  $UA$  и  $P$  користе се статусни сигнал  $SPA$  и управљачки сигнал  $CAP$ . Вредностима 0 и 1 сигнала  $SPA$  уређај  $P$  шаље уређају  $UA$  индикацију када не може и када може да прими 8-битну бинарну реч, респективно. Вредношћу 1 сигнала  $CAP$ , трајања једна периода сигнала такта, уређај  $UA$  шаље уређају  $P$  команду да треба да прими 8-битну бинарну реч, при чему уређај  $UA$  то чини када утврди да уређај  $P$  на статусној линији  $SPA$  држи вредност 1.

Уређај  $P$  шаље уређају  $UB$  8-битну бинарну резултата по линијама података  $DPB_{7...0}$ , при чему је бит 7 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја  $P$  и  $UB$  користе се статусни сигнал  $SBP$  и управљачки сигнал  $CPB$ . Вредностима 0 и 1 сигнала  $SBP$  уређај  $UB$  шаље уређају  $P$  индикацију када не може и када може да прими 8-битну бинарну реч, респективно. Вредношћу 1 сигнала  $CPB$ , трајања једна периода сигнала такта, уређај  $P$  шаље уређају  $UB$  команду да треба да прими 8-битну бинарну реч, при чему уређај  $P$  то чини када утврди да уређај  $UB$  на статусној линији  $SBP$  држи вредност 1.

Претпоставити да су на почетку на статусним линијама  $SPA$  и  $SBP$  налазе вредности 0.

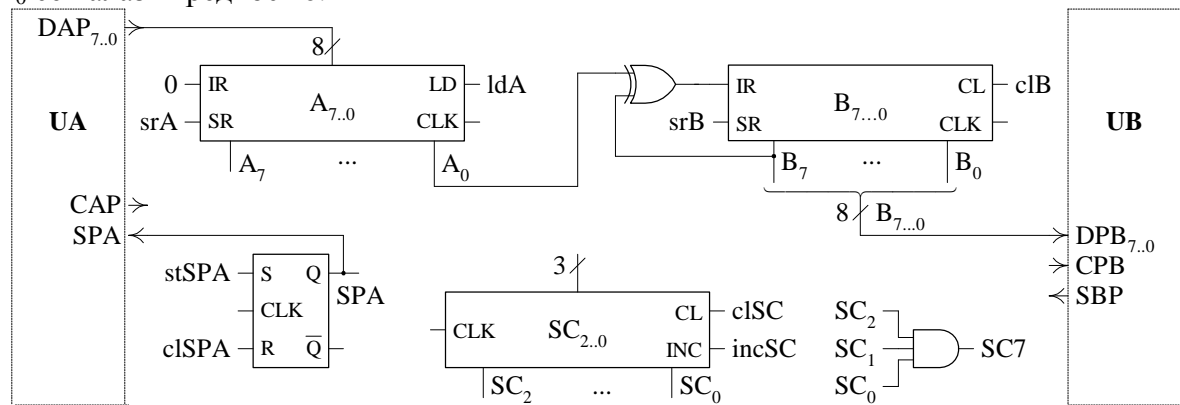
- а) Нацртати структурну шему операционе јединице уређаја  $P$ .
- б) Нацртати дијаграме тока управљачких сигнала операционе јединице и управљачке јединице уређаја  $P$ .
- в) Нацртати структурну шему управљачке јединице уређаја  $P$  реализоване помоћу бројача корака и декодера и дати изразе за генерисање управљачких сигнала операционе јединице и управљачке јединице уређаја  $P$ .

#### Решење:

- а) Структурна шема операционе јединице приказана је на слици 13.а. Операциона јединица поред 8-разредних регистара  $A_{7...0}$  и  $B_{7...0}$ , садржи и инкрементирајући бројачки регистар  $SC_{2...0}$  и флип-флоп  $SPA$ .

Регистар  $A_{7...0}$  је померачки регистар у који се на почетку вредношћу 1 сигнала  $ldA$  уписује задати бинарни број  $X_{7...0}$  који долази из уређаја  $UA$  по линијама  $DAP_{7...0}$ . Током извршавања операције садржај регистра  $A_{7...0}$  се сигналом  $srA$  помера удесно, при чему се на улаз  $IR$  доводи вредност 0. У разреду  $A_0$  се на почетку налази бит  $X_0$  задатог бинарног броја  $X_{7...0}$ , после првог померања бит  $X_1$ , после другог померања бит  $X_2$ , итд.

После седмог померања у разреду  $A_0$  налази бит  $X_7$ , а после осмог померања у разреду  $A_0$  се налази вредност 0.



Слика 13.а Структурна шема операционе јединице

Регистар  $B_{7..0}$  је померачки регистар у који се на почетку вредношћу 1 сигнала **clB** уписује вредност 0. Током извршавања операције садржај регистра  $B_{7..0}$  се сигналом **srB** помера удесно, при чему се на улаз **IR** доводи сигнал са излаза логичког кола ексклузивно НИЛИ које формира битове  $Y_0$  до  $Y_7$  резултата операције. После првог померања у разред  $B_7$  се убацује бит  $Y_0$ , после другог бит  $Y_1$  итд. После седмог померања у разред  $B_7$  се убацује бит  $Y_6$ , а после осмог бит  $Y_7$ . После осам померања у регистру  $B_{7..0}$  се налазе битови бинарног броја који представља резултат операције  $Y_{7..0}$ .

Логичко коло ексклузивно НИЛИ на основу сигнала у разредима  $A_0$  и  $B_7$  формира сигнал који се води на улаз **IR** регистра  $B_{7..0}$ . На почетку је то бит  $Y_0$ , после првог померања бит  $Y_1$ , после другог померања бит  $Y_2$  итд. После седмог померања је то бит  $Y_7$ , док вредност после осмог померања више није битна јер се у регистру  $B_{7..0}$  налазе сви битови бинарног броја који представља резултат операције  $Y_{7..0}$ . Логичко коло ексклузивно ИЛИ коли функционише на следећи начин. Уколико је на једном улазу вредност 0, вредност на излазу одговара вредности на другом улазу, јер вредност 0 на другом улазу даје вредност 0 на излазу и вредност 1 на другом улазу даје вредност 1 на излазу. Међутим, уколико је на једном улазу вредност 1, вредност на излазу одговара комплементу вредности на другом улазу, јер вредност 0 на другом улазу даје вредност 1 на излазу и вредност 1 на другом улазу даје вредност 0 на излазу.

На почетку разред  $B_7$  има вредност 0, а у разреду  $A_0$  се налази бит  $X_0$ . Због вредности 0 у разреду  $B_7$ , сигнал на излазу кола ексклузивно ИЛИ добија вредност сигнала разреду  $A_0$ . То је бит  $Y_0$  који добија вредност бита  $X_0$ .

После првог померања садржаја регистра  $A_{7..0}$  и  $B_{7..0}$ , у разреду  $B_7$  се налази бит  $Y_0$  а у разреду  $A_0$  се налази бит  $X_1$ . У случају да је вредност 0 у разреду  $A_0$ , сигнал на излазу кола ексклузивно ИЛИ добија вредност сигнала у разреду  $B_7$ , док у случају да је вредност 1 у разреду  $A_0$ , сигнал на излазу кола ексклузивно ИЛИ добија вредност комплемента сигнала у разреду  $B_7$ . То је бит  $Y_1$  који добија вредност бита  $Y_0$  уколико бит  $X_1$  има вредност 0 и вредност комплемента бита  $Y_0$  уколико бит  $X_1$  има вредност 1.

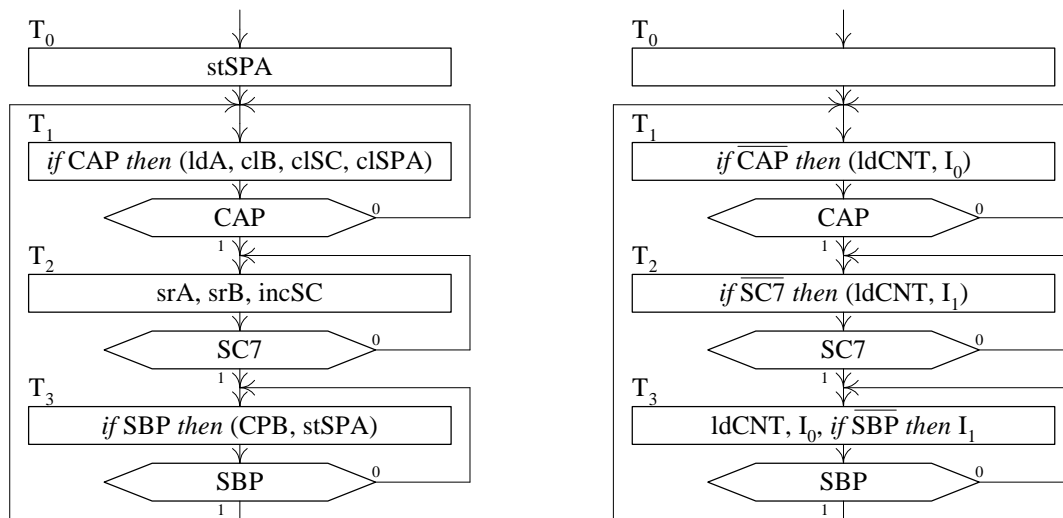
После другог померања регистра  $A_{7..0}$  и  $B_{7..0}$ , у разреду  $B_7$  се налази бит  $Y_1$  а у разреду  $A_0$  се налази бит  $X_2$ . У случају да је вредност 0 у разреду  $A_0$ , сигнал на излазу кола ексклузивно ИЛИ добија вредност сигнала у разреду  $B_7$ , док у случају да је вредност 1 у разреду  $A_0$ , сигнал на излазу кола ексклузивно ИЛИ добија вредност комплемента сигнала у разреду  $B_7$ . То је бит  $Y_2$  који добија вредност бита  $Y_1$  уколико бит  $X_2$  има вредност 0 и вредност комплемента бита  $Y_1$  уколико бит  $X_2$  има вредност 1.

На исти начин се формирају и преостали битови  $Y_3$  до  $Y_7$ .

У инкрементирајући бројачки регистар  $SC_{3..0}$  се управљачким сигналом **clSC** уписује вредност 0. После сваког померања садржаја регистра  $A_{7..0}$  и  $B_{7..0}$  удесно управљачким сигналом **incSC** садржај регистра  $SC_{3..0}$  се инкрементира. Када садржај регистра  $SC_{3..0}$  постане 7, сигнал логичког услова **SC7**, који се формира на излазу логичког кола И, постаје 1. Вредност 1 сигнала логичког услова **SC7** је индикација да је померање садржаја регистра  $A_{7..0}$  и  $B_{7..0}$  реализовано 8 пута и да је тиме завршена операција.

У флип-флоп **SPA** се вредношћу 1 управљачког сигнала **stSPA** уређаја **P** уписује вредност 1 онда када је уређај **P** спреман да прими садржај са линија  $DAP_{7..0}$ , а управљачким сигналом **clSPA** уређаја **P** вредност 0, онда када није спреман.

б) Дијаграми тока управљачких сигнала операционе и управљачке јединице дати су на слици 13.б.



Слика 13.б Дијаграми тока управљачких сигнала операционе и управљачке јединице

У кораку  $T_0$  се генерише вредност 1 управљачког сигнала **stSPA**, па се на сигнал такта у флип-флоп **SPA** уписује вредност 1 и прелази на корак  $T_1$ . Уписивањем вредности 1 у флип-флоп **SPA** уређај **P** сигнализира уређају **UA** да је спреман да од уређаја **UA** прими 8-битну бинарну реч по линијама података  $DAP_{7..0}$ .

У кораку  $T_1$  се остаје све време док сигнал **CAP** има вредност 0. Поред тога, све време док сигнал **CAP** има вредност 0 и сигнали **ldA**, **clB**, **clSC** и **clSPA** имају вредност 0. Вредношћу 1 сигнала **CAP** трајања једна периода сигнала такта, уређај **UA** сигнализира уређају **P** да се на линијама података  $DAP_{7..0}$  налази важећа бинарна реч. У кораку  $T_1$  се при вредности 1 сигнала **CAP** генеришу вредности 1 управљачких сигнала **ldA**, **clB**, **clSC** и **clSPA**, па се на сигнал такта у регистар  $A_{7..0}$  уписује садржај са линијама података  $DAP_{7..0}$ , регистар  $B_{7..0}$  и бројач  $SC_{2..0}$  се бришу а у флип-флоп **SPA** уписује вредност 0 и прелази на корак  $T_2$ . Уписивањем вредности 0 у флип-флоп **SPA** уређај **P** сигнализира уређају **UA** да до даљег није спреман да од уређаја **UA** прими 8-битну бинарну реч по линијама података  $DAP_{7..0}$ .

У кораку  $T_2$  се остаје осам периода сигнала такта, па се прелази на корак  $T_3$ . За време осам периода сигнала такта сигнали **srA**, **srB** и **incSC** имају вредност један.

За време прве периоде сигнала такта се на основу разреда  $B_7$  који има вредност 0 и разреда  $A_0$  у коме се налази бит  $X_0$  на излазу кола ексклузивно ИЛИ формира бит  $Y_0$ . На сигнал такта се померају удесно садржаји регистра  $A_{7..0}$  и  $B_{7..0}$ , при чему се у разред  $B_7$  уписује бит  $Y_0$  и инкрементира бројача  $SC_{2..0}$  на вредност један.

За време друге периоде сигнала такта се на основу разреда  $B_7$  у коме је бит  $Y_0$  и разреда  $A_0$  у коме се налази бит  $X_1$  на излазу кола ексклузивно ИЛИ формира бит  $Y_1$ . На сигнал такта се померају удесно садржаји регистара  $A_{7..0}$  и  $B_{7..0}$ , при чему се у разред  $B_7$  уписује бит  $Y_1$  и инкрементира бројача  $SC_{2..0}$  на вредност два.

На сличан начин се за време треће, четврте, пете, шесте и седме периоде сигнала такта формирају битови  $Y_2, Y_3, Y_4, Y_5$  и  $Y_6$ , померају удесно садржаји регистара  $A_{7..0}$  и  $B_{7..0}$ , при чему се у разред  $B_7$  уписују битови  $Y_2, Y_3, Y_4, Y_5$  и  $Y_6$ , и инкрементира бројач  $SC_{2..0}$  на вредност три, четири, пет, шест и седам, респективно.

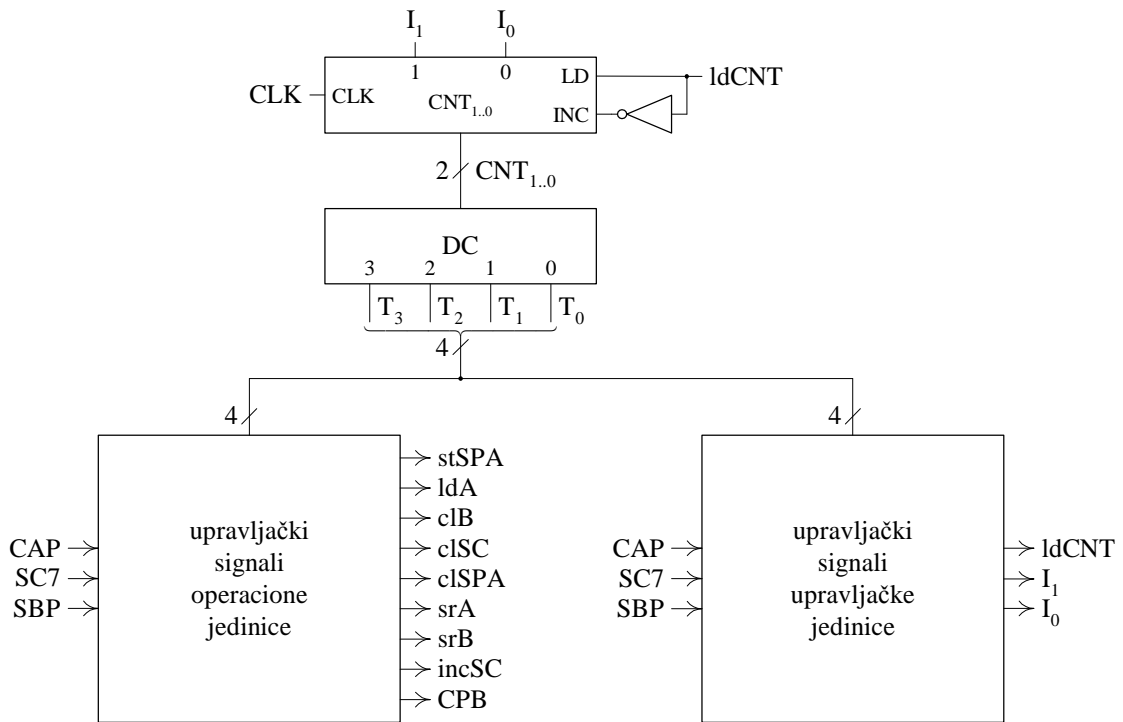
Коначно за време осме периоде сигнала такта се на основу разреда  $B_7$  у коме је бит  $Y_6$  и разреда  $A_0$  у коме се налази бит  $X_7$  на излазу кола ексклузивно ИЛИ формира бит  $Y_7$ . На сигнал такта се померају удесно садржаји регистара  $A_{7..0}$  и  $B_{7..0}$ , при чему се у разред  $B_7$  уписује бит  $Y_7$  и инкрементира бројач  $SC_{2..0}$  на вредност нула. Приликом првих седам итерација сигнал **SC7** има вредност нула, а приликом осме итерације вредност један, па се прелази на корак  $T_3$ .

У кораку  $T_3$  се остаје све време док сигнал **SBP** има вредност 0. Вредношћу 0 сигнала **SBP** уређај UB сигнализира уређају P да није спреман да прихвати резултат са линија података  $DPB_{7..0}$ , па све време док сигнал **SBP** има вредност 0 и сигнали **CPB** и **stSPA** имају вредност 0. Вредношћу 1 сигнала **SBP**, уређај UB сигнализира уређају P да је спреман да прихвати резултат са линија података  $DPB_{7..0}$ . У кораку  $T_3$  се при вредности 1 сигнала **SBP** генеришу вредности 1 управљачких сигнала **CPB** и **stSPA**. На први следећи сигнал такта се вредношћу 1 сигнала **CPB** омогућава да уређај UB упише резултат са линија података  $DPB_{7..0}$  у неки свој прихватни регистар, док се вредношћу 1 сигнала **stSPA** у флип-флоп SPA уписује вредност 1. На исти сигнал такта се прелази на корак  $T_1$ . Уписивањем вредности 1 у флип-флоп SPA уређај P сигнализира уређају UA да је сада спреман да од уређаја UA прими следећу 8-битну бинарну реч по линијама података  $DAP_{7..0}$ .

в) Структурна шема управљачке јединице реализоване помоћу бројача корака и декодера приказана је на слици 13.в.

У кораку  $T_0$  треба да се остане само једна периода сигнала такта и да се на први сигнал такта пређе на корак  $T_1$ . У кораку  $T_0$  сигнал **ldCNT** има вредност 0, па су на улазима LD и INC бројача  $CNT_{1..0}$  вредности 0 и 1, респективно. Стога се на први сигнал такта садржај бројача  $CNT_{1..0}$  инкрементира и прелази на корак  $T_1$ .

У кораку  $T_1$  треба да се остане све време док сигнал **CAP** има вредност 0, а на корак  $T_1$  треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал **CAP** добија вредност 1. Све време док сигнал **CAP** има вредност 0 сигнали **ldCNT** и  $I_0$  имају вредност 1, па су на улазима LD и INC бројача  $CNT_{1..0}$  вредности 1 и 0, респективно, а на паралелним улазима бројача  $CNT_{1..0}$  је бинарна вредност 01. На сигнал такта у бројач  $CNT_{1..0}$  се уписује вредност 01, па се остаје у кораку  $T_1$ . На сигнал такта на који сигнал **CAP** добија вредност 1 сигнали **ldCNT** и  $I_0$  добијају вредност 0, па су на улазима LD и INC бројача  $CNT_{1..0}$  вредности 0 и 1, респективно. Стога се на први следећи сигнал такта садржај бројача  $CNT_{1..0}$  инкрементира и прелази на корак  $T_2$ .



Слика 13.в Структурна шема управљачке јединице

У кораку  $T_2$  треба да се остане све време док сигнал **SC7** има вредност 0, а на корак  $T_3$  треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал **SC7** добија вредност 1. Све време док сигнал **SC7** има вредност 0 сигнали **IdCNT** и  $I_1$  имају вредност 1, па су на улазима **LD** и **INC** бројача  $CNT_{1..0}$  вредности 1 и 0, респективно, а на паралелним улазима бројача  $CNT_{1..0}$  је бинарна вредност 10. На сигнал такта у бројач  $CNT_{1..0}$  се уписује вредност 01, па се остаје у кораку  $T_2$ . На сигнал такта на који сигнал **SC7** добија вредност 1 сигнали **IdCNT** и  $I_1$  добијају вредност 0, па су на улазима **LD** и **INC** бројача  $CNT_{1..0}$  вредности 0 и 1, респективно. Стога се на први следећи сигнал такта садржај бројача  $CNT_{1..0}$  инкрементира и прелази на корак  $T_3$ .

У кораку  $T_3$  треба да се остане све време док сигнал **SBP** има вредност 0, а на корак  $T_1$  треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал **SBP** добија вредност 1. У кораку  $T_3$  сигнал **IdCNT** има вредност 1, па су на улазима **LD** и **INC** бројача  $CNT_{1..0}$  вредности 1 и 0, респективно. Стога се на сигнал такта увек врши уписивање у бројач  $CNT_{1..0}$ . Како у кораку  $T_3$  и сигнал  $I_0$  увек има вредност 1, вредност која ће се уписивати зависи од тога да ли сигнал  $I_1$  има вредност 1 или 0. Све време док сигнал **SBP** има вредност 0, сигнал  $I_1$  има вредност 1, па је на паралелним улазима бројача  $CNT_{1..0}$  бинарна вредност 11. На сигнал такта у бројач  $CNT_{1..0}$  се уписује вредност 11, па се остаје у кораку  $T_3$ . На сигнал такта на који сигнал **SBP** добија вредност 1, сигнал  $I_1$  добија вредност 0, па је на паралелним улазима бројача  $CNT_{1..0}$  бинарна вредност 01. Стога се на први следећи сигнал такта у бројач  $CNT_{1..0}$  уписује вредност 01, па се прелази на корак  $T_1$ .

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$stSPA = T_0 + SBP \cdot T_3$$

$$IdA = CAP \cdot T_1$$

$$clB = CAP \cdot T_1$$

$$clSC = CAP \cdot T_1$$

$$clSPA = CAP \cdot T_1$$

$$\mathbf{srA} = \mathbf{T}_2$$

$$\mathbf{srB} = \mathbf{T}_2$$

$$\mathbf{incSC} = \mathbf{T}_2$$

$$\mathbf{CPB} = \mathbf{SBP} \cdot \mathbf{T}_3$$

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$\mathbf{ldCNT} = \overline{\mathbf{CAP}} \cdot \mathbf{T}_1 + \overline{\mathbf{SC7}} \cdot \mathbf{T}_2 + \mathbf{T}_3$$

$$\mathbf{I}_0 = \overline{\mathbf{CAP}} \cdot \mathbf{T}_1 + \mathbf{T}_3$$

$$\mathbf{I}_1 = \overline{\mathbf{SC7}} \cdot \mathbf{T}_2 + \overline{\mathbf{SBP}} \cdot \mathbf{T}_3$$

## 1.14 ДЕКОДИРАЊЕ ОД ИНВЕРТОВАЊА НА 1

Реализовати уређај Р за спрегу између уређаја UA и UB. Уређај Р треба да над задатом 8-битном бинарном речи  $Y_{7..0}$  обавља операцију описану у даљем тексту и формира 8-битни бинарну реч резултата  $X_{7..0}$ . У бинарним речима  $Y_{7..0}$  и  $X_{7..0}$  најстарији бит је означен са 7 а најмлађи са 0. Операција треба да се извршава на следећи начин: за бит са индексом 0 важи да је  $X_0 = Y_0$ , док за битове са индексима од 1 до 7 важи да је  $X_i$  једнако 0 ако је  $Y_i = Y_{i-1}$  и  $X_i$  једнако 1 ако је  $Y_i$  комплемент од  $Y_{i-1}$ . Уређај Р треба најпре да прими од уређаја UA и смести у регистар  $A_{7..0}$  8-битну бинарну реч  $Y_{7..0}$ , да затим над њом обави операцију и 8-битну бинарну реч резултата  $X_{7..0}$  формира у регистру  $B_{7..0}$  и да на крају 8-битну бинарну реч из регистра  $B_{7..0}$  пошаље уређају UB. Операција треба да се понавља циклично. Уређаји UA, Р и UB треба раде синхроно на исти сигнал такта.

Уређај UA шаље уређају Р 8-битну бинарну реч по линијама података  $DAP_{7..0}$ , при чему је бит 7 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја UA и Р користе се статусни сигнал SPA и управљачки сигнал CAP. Вредностима 0 и 1 сигнала SPA уређај Р шаље уређају UA индикацију када не може и када може да прими 8-битну бинарну реч, респективно. Вредношћу 1 сигнала CAP, трајања једна периода сигнала такта, уређај UA шаље уређају Р команду да треба да прими 8-битну бинарну реч, при чему уређај UA то чини када утврди да уређај Р на статусној линији SPA држи вредност 1.

Уређај Р шаље уређају UB 8-битну бинарну резултата по линијама података  $DPB_{7..0}$ , при чему је бит 7 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја Р и UB користе се статусни сигнал SBP и управљачки сигнал CPB. Вредностима 0 и 1 сигнала SBP уређај UB шаље уређају Р индикацију када не може и када може да прими 8-битну бинарну реч, респективно. Вредношћу 1 сигнала CPB, трајања једна периода сигнала такта, уређај Р шаље уређају UB команду да треба да прими 8-битну бинарну реч, при чему уређај Р то чини када утврди да уређај UB на статусној линији SBP држи вредност 1.

Претпоставити да су на почетку на статусним линијама SPA и SBP налазе вредности 0.

- а) Нацртати структурну шему операционе јединице уређаја Р.
- б) Нацртати дијаграме тока управљачких сигнала операционе јединице и управљачке јединице уређаја Р.
- в) Нацртати структурну шему управљачке јединице уређаја Р реализоване помоћу бројача корака и декодера и дати изразе за генерисање управљачких сигнала операционе јединице и управљачке јединице уређаја Р.

### Решење:

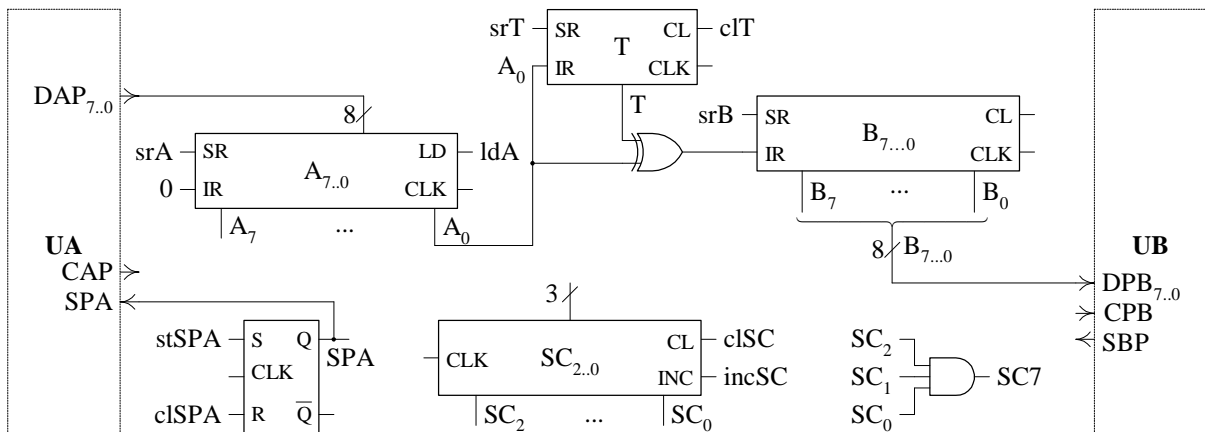
- а) Структурна шема операционе јединице приказана је на слици 14.а.

Операциона јединица поред 8-разредних регистара  $A_{7..0}$  и  $B_{7..0}$ , садржи и једноразредни регистар Т, инкрементирајући бројачки регистар  $SC_{2..0}$  и флип-флоп SPA.

Регистар  $A_{7..0}$  је померачки регистар у који се на почетку вредношћу 1 сигнала **ldA** уписује задати бинарни број  $Y_{7..0}$  који долази из уређаја UA по линијама  $DAP_{7..0}$ . Током извршавања операције садржај регистра  $A_{7..0}$  се сигналом **srA** помера удесно, при чему се на улаз IR доводи вредност 0. У разреду  $A_0$  се на почетку налази бит  $Y_0$  задатог бинарног броја  $Y_{7..0}$ , после првог померања бит  $Y_1$ , после другог померања бит  $Y_2$ , итд.



После седмог померања у разреду  $A_0$  налази бит  $Y_7$ , а после осмог померања у разреду  $A_0$  се налази вредност 0.



Слика 14.а Структурна шема операционе јединице

Регистар Т је померачки регистар у који се на почетку вредношћу 1 сигнала **cIT** уписује вредност 0. Током извршавања операције садржај регистра Т се сигналом **srT** помера удесно, при чему се на улаз **IR** доводи вредност  $A_0$ . У разреду  $A_0$  се на почетку налази бит  $Y_0$  задатог бинарног броја  $Y_{7..0}$ . После првог померања бит  $Y_0$  се из разреда  $A_0$  уписује у регистар Т, а у разреду  $A_0$  се уписује бит  $Y_1$  задатог бинарног броја  $Y_{7..0}$ . После другог померања бит  $Y_1$  се из разреда  $A_0$  уписује у регистар Т, а у разред  $A_0$  се уписује бит  $Y_2$  задатог бинарног броја  $Y_{7..0}$ , итд. После седмог померања бит  $Y_6$  се из разреда  $A_0$  уписује у регистар Т, а у разред  $A_0$  се уписује бит  $Y_7$  задатог бинарног броја  $Y_{7..0}$ , а после осмог померања бит  $Y_7$  се из разреда  $A_0$  уписује у регистар Т, а у разред  $A_0$  се уписује вредност 0. Као резултат, регистар Т на почетку има вредност 0, а после сваког померања садржаја регистра  $A_{7..0}$  за једно место удесно у њему се налази бит бинарног броја  $Y_{7..0}$  који је био у разреду  $A_0$  пре померања. Када је после првог померања у разреду  $A_0$  бит  $Y_1$  у регистру Т је бит  $Y_0$ , када је после другог померања у разреду  $A_0$  бит  $Y_1$  у регистру Т је бит  $Y_0$  итд.

Регистар  $B_{7..0}$  је померачки регистар у који се на почетку вредношћу 1 сигнала **cIB** уписује вредност 0. Током извршавања операције садржај регистра  $B_{7..0}$  се сигналом **srB** помера удесно, при чему се на улаз **IR** доводи сигнал са излаза логичког кола ексклузивно ИЛИ које формира битове  $X_0$  до  $X_7$  резултата операције. После првог померања у разред  $B_7$  се убацује бит  $X_0$ , после другог бит  $X_1$  итд. После седмог померања у разред  $B_7$  се убацује бит  $X_6$ , а после осмог бит  $X_7$ . После осам померања у регистру  $B_{7..0}$  се налазе битови бинарног броја који представља резултат операције  $X_{7..0}$ .

Логичко коло ексклузивно ИЛИ на основу сигнала у регистру Т и разреду  $A_0$  формира сигнал који се води на улаз **IR** регистра  $B_{7..0}$ . На почетку је то бит  $X_0$ , после првог померања бит  $X_1$ , после другог померања бит  $X_2$  итд. После седмог померања је то бит  $X_7$ , док вредност после осмог померања више није битна јер се у регистру  $B_{7..0}$  налазе сви битови бинарног броја који представља резултат операције  $X_{7..0}$ .

На почетку регистар Т има вредност 0, а у разреду  $A_0$  се налази бит  $Y_0$ . Због вредности 0 у регистру Т, сигнал на излазу кола ексклузивно ИЛИ добија вредност сигнала у разреду  $A_0$ , јер вредност 0 у разреду  $A_0$  даје на излазу вредност 0 и вредност 1 у разреду  $A_0$  даје вредност 1 на излазу. То је бит  $X_0$  који добија вредност бита  $Y_0$ .

После првог померања садржаја регистара  $A_{7..0}$ , Т и  $B_{7..0}$ , у регистру Т се налази бит  $Y_0$  а у разреду  $A_0$  се налази бит  $Y_1$ . Уколико сигнали  $A_0$  и Т имају исте вредност, сигнал

на излазу кола ексклузивно ИЛИ добија вредност 0, док у случају да сигнали  $A_0$  и  $T$  имају различите вредности, сигнал на излазу кола ексклузивно ИЛИ добија вредност 1. То је бит  $X_1$  који добија вредност 0 уколико  $Y_1$  и  $Y_0$  имају исте вредности и вредност 1 уколико је бит  $Y_1$  комплемент бита  $Y_0$ .

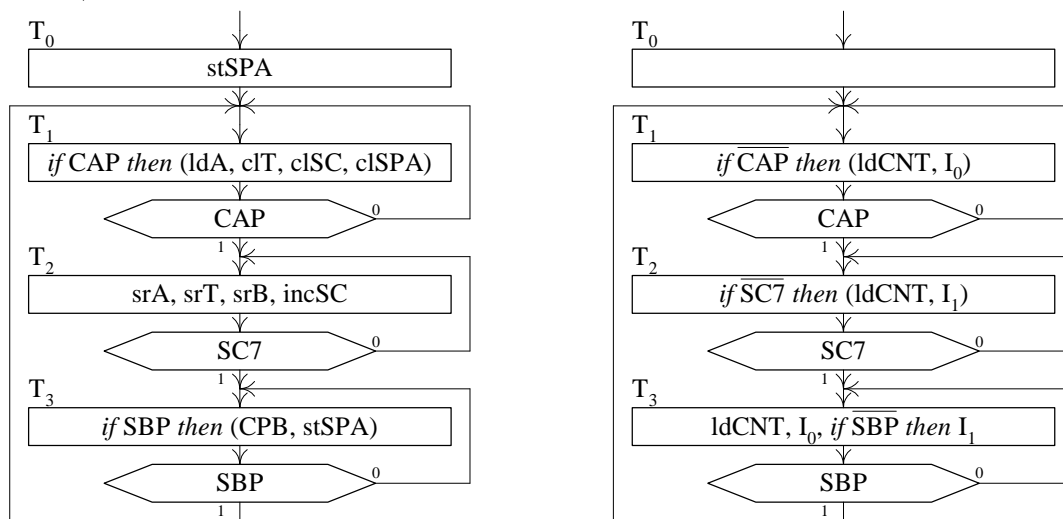
После другог померања садржаја регистара  $A_{7..0}$ ,  $T$  и  $B_{7..0}$ , у регистру  $T$  се налази бит  $Y_1$  а у разреду  $A_0$  се налази бит  $Y_2$ . Уколико сигнали  $A_0$  и  $T$  имају исте вредности, сигнал на излазу кола ексклузивно ИЛИ добија вредност 0, док у случају да сигнали  $A_0$  и  $T$  имају различите вредности, сигнал на излазу кола ексклузивно ИЛИ добија вредност 1. То је бит  $X_2$  који добија вредност 0 уколико  $Y_2$  и  $Y_1$  имају исте вредности и вредност 1 уколико је бит  $Y_2$  комплемент бита  $Y_1$ .

На исти начин се формирају и преостали битови  $X_3$  до  $X_7$ .

У инкрементирајући бројачки регистар  $SC_{3..0}$  се управљачким сигналом **clSC** уписује вредност 0. После сваког померања садржаја регистара  $A_{7..0}$  и  $B_{7..0}$  удесно управљачким сигналом **incSC** садржај регистра  $SC_{3..0}$  се инкрементира. Када садржај регистра  $SC_{3..0}$  постане 7, сигнал логичког услова **SC7**, који се формира на излазу логичког кола НИЛИ, постаје 1. Вредност 1 сигнала логичког услова **SC7** је индикација да је померање садржаја регистра  $A_{7..0}$  и  $B_{7..0}$  реализовано 8 пута и да је тиме завршена операција.

У флип-флоп  $SPA$  се вредношћу 1 управљачког сигнала **stSPA** уређаја  $P$  уписује вредност 1 онда када је уређај  $P$  спреман да прими садржај са линија  $DAP_{7..0}$ , а управљачким сигналом **clSPA** уређаја  $P$  вредност 0, онда када није спреман.

б) Дијаграми тока управљачких сигнала операционе и управљачке јединице дати су на слици 14.б.



Слика 14.б Дијаграми тока управљачких сигнала операционе и управљачке јединице

У кораку  $T_0$  се генерише вредност 1 управљачког сигнала **stSPA**, па се на сигнал такта у флип-флоп  $SPA$  уписује вредност 1 и прелази на корак  $T_1$ . Уписивањем вредности 1 у флип-флоп  $SPA$  уређај  $P$  сигнализира уређају  $UA$  да је спреман да од уређаја  $UA$  прими 8-битну бинарну реч по линијама података  $DAP_{7..0}$ .

У кораку  $T_1$  се остаје све време док сигнал **CAP** има вредност 0. Поред тога, све време док сигнал **CAP** има вредност 0 и сигнали **ldA**, **clT**, **clSC** и **clSPA** имају вредност 0. Вредношћу 1 сигнала **CAP** трајања једна периода сигнала такта, уређај  $UA$  сигнализира уређају  $P$  да се на линијама података  $DAP_{7..0}$  налази важећа бинарна реч. У кораку  $T_1$  се при вредности 1 сигнала **CAP** генеришу вредности 1 управљачких сигнала **ldA**, **clT**, **clSC** и **clSPA**, па се на сигнал такта у регистар  $A_{7..0}$  уписује садржај са

линијама података  $DAP_{7..0}$ , регистар  $T$  и бројач  $SC_{2..0}$  се бришу а у флип-флоп  $SPA$  уписује вредност 0 и прелази на корак  $T_2$ . Уписивањем вредности 0 у флип-флоп  $SPA$  уређај  $P$  сигнализира уређају  $UA$  да до даљег није спреман да од уређаја  $UA$  прими 8-битну бинарну реч по линијама података  $DAP_{7..0}$ .

У кораку  $T_2$  се остаје осам периода сигнала такта, па се прелази на корак  $T_3$ . За време осам периода сигнала такта сигнали  $srA$ ,  $srT$ ,  $srB$  и  $incSC$  имају вредност један.

За време прве периоде сигнала такта се на основу регистра  $T$  који има вредност 0 и разреда  $A_0$  у коме се налази бит  $Y_0$  на излазу кола ексклузивно ИЛИ формира бит  $X_0$ . На сигнал такта се померају удесно садржаји регистра  $A_{7..0}$ ,  $T$  и  $B_{7..0}$ , при чему се у разред  $B_7$  уписује бит  $X_0$  и инкрементира бројача  $SC_{2..0}$  на вредност један.

За време друге периоде сигнала такта се на основу регистра  $T$  у коме је бит  $Y_0$  и разреда  $A_0$  у коме се налази бит  $Y_1$  на излазу кола ексклузивно ИЛИ формира бит  $X_1$ . На сигнал такта се померају удесно садржаји регистра  $A_{7..0}$ ,  $T$  и  $B_{7..0}$ , при чему се у разред  $B_7$  уписује бит  $X_1$  и инкрементира бројача  $SC_{2..0}$  на вредност два.

На сличан начин се за време треће, четврте, пете, шесте и седме периоде сигнала такта формирају битови  $X_2$ ,  $X_3$ ,  $X_4$ ,  $X_5$  и  $X_6$ , померају удесно садржаји регистра  $A_{7..0}$ ,  $T$  и  $B_{7..0}$ , при чему се у разред  $B_7$  уписују битови  $X_2$ ,  $X_3$ ,  $X_4$ ,  $X_5$  и  $X_6$ , и инкрементира бројач  $SC_{2..0}$  на вредност три, четири, пет, шест и седам, респективно.

Коначно за време осме периоде сигнала такта се на основу регистра  $T$  у коме је бит  $Y_6$  и разреда  $A_0$  у коме се налази бит  $Y_7$  на излазу кола ексклузивно ИЛИ формира бит  $X_7$ . На сигнал такта се померају удесно садржаји регистра  $A_{7..0}$ ,  $T$  и  $B_{7..0}$ , при чему се у разред  $B_7$  уписује бит  $X_7$ , инкрементира бројач  $SC_{2..0}$  на вредност нула. Приликом првих седам итерација сигнал  $SC7$  има вредност нула, а приликом осме итерације вредност један, па се прелази на корак  $T_3$ .

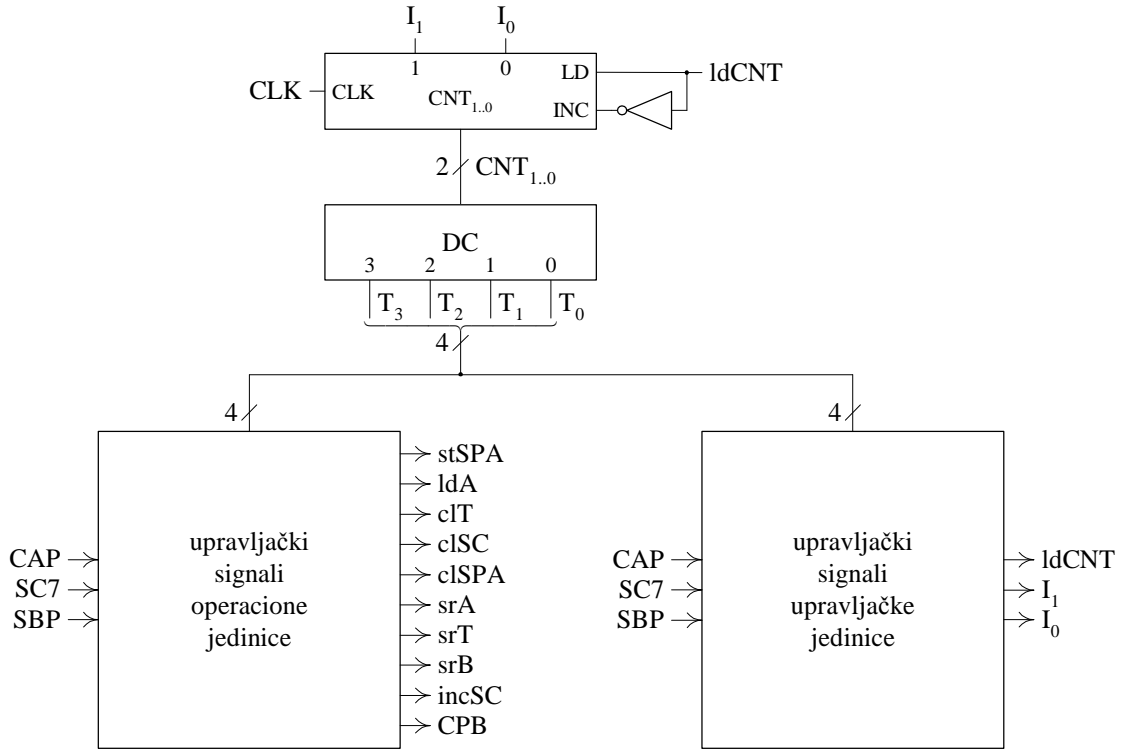
У кораку  $T_3$  се остаје све време док сигнал  $SBP$  има вредност 0. Вредношћу 0 сигнала  $SBP$  уређај  $UB$  сигнализира уређају  $P$  да није спреман да прихвати резултат са линија података  $DPB_{7..0}$ , па све време док сигнал  $SBP$  има вредност 0 и сигнали  $CPB$  и  $stSPA$  имају вредност 0. Вредношћу 1 сигнала  $SBP$ , уређај  $UB$  сигнализира уређају  $P$  да је спреман да прихвати резултат са линија података  $DPB_{7..0}$ . У кораку  $T_3$  се при вредности 1 сигнала  $SBP$  генеришу вредности 1 управљачких сигнала  $CPB$  и  $stSPA$ . На први следећи сигнал такта се вредношћу 1 сигнала  $CPB$  омогућава да уређај  $UB$  упише резултат са линија података  $DPB_{7..0}$  у неки свој прихватни регистар, док се вредношћу 1 сигнала  $stSPA$  у флип-флоп  $SPA$  уписује вредност 1. На исти сигнал такта се прелази на корак  $T_1$ . Уписивањем вредности 1 у флип-флоп  $SPA$  уређај  $P$  сигнализира уређају  $UA$  да је сада спреман да од уређаја  $UA$  прими следећу 8-битну бинарну реч по линијама података  $DAP_{7..0}$ .

в) Структурна шема управљачке јединице реализоване помоћу бројача корака и декодера приказана је на слици 14.в.

У кораку  $T_0$  треба да се остане само једна периода сигнала такта и да се на први сигнал такта пређе на корак  $T_1$ . У кораку  $T_0$  сигнал  $ldCNT$  има вредност 0, па су на улазима  $LD$  и  $INC$  бројача  $CNT_{1..0}$  вредности 0 и 1, респективно. Стога се на први сигнал такта садржај бројача  $CNT_{1..0}$  инкрементира и прелази на корак  $T_1$ .

У кораку  $T_1$  треба да се остане све време док сигнал  $CAP$  има вредност 0, а на корак  $T_1$  треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал  $CAP$  добија вредност 1. Све време док сигнал  $CAP$  има вредност 0 сигнали  $ldCNT$  и  $I_0$  имају вредност 1, па су на улазима  $LD$  и  $INC$  бројача  $CNT_{1..0}$  вредности 1 и 0,

респективно, а на паралелним улазима бројача  $CNT_{1...0}$  је бинарна вредност 01. На сигнал такта у бројач  $CNT_{1...0}$  се уписује вредност 01, па се остаје у кораку  $T_1$ . На сигнал такта на који сигнал **CAP** добија вредност 1 сигнали  $ldCNT$  и  $I_0$  добијају вредност 0, па су на улазима LD и INC бројача  $CNT_{1...0}$  вредности 0 и 1, респективно. Стога се на први следећи сигнал такта садржај бројача  $CNT_{1...0}$  инкрементира и прелази на корак  $T_2$ .



Слика 14.в.Структурна шема управљачке јединице

У кораку  $T_2$  треба да се остане све време док сигнал **SC7** има вредност 0, а на корак  $T_3$  треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал **SC7** добија вредност 1. Све време док сигнал **SC7** има вредност 0 сигнали  $ldCNT$  и  $I_1$  имају вредност 1, па су на улазима LD и INC бројача  $CNT_{1...0}$  вредности 1 и 0, респективно, а на паралелним улазима бројача  $CNT_{1...0}$  је бинарна вредност 10. На сигнал такта у бројач  $CNT_{1...0}$  се уписује вредност 01, па се остаје у кораку  $T_2$ . На сигнал такта на који сигнал **SC7** добија вредност 1 сигнали  $ldCNT$  и  $I_1$  добијају вредност 0, па су на улазима LD и INC бројача  $CNT_{1...0}$  вредности 0 и 1, респективно. Стога се на први следећи сигнал такта садржај бројача  $CNT_{1...0}$  инкрементира и прелази на корак  $T_3$ .

У кораку  $T_3$  треба да се остане све време док сигнал **SBP** има вредност 0, а на корак  $T_1$  треба да се пређе на први следећи сигнал такта после сигнала такта на који сигнал **SBP** добија вредност 1. У кораку  $T_3$  сигнал  $ldCNT$  има вредност 1, па су на улазима LD и INC бројача  $CNT_{1...0}$  вредности 1 и 0, респективно. Стога се на сигнал такта увек врши уписивање у бројач  $CNT_{1...0}$ . Како у кораку  $T_3$  и сигнал  $I_0$  увек има вредност 1, вредност која ће се уписивати зависи од тога да ли сигнал  $I_1$  има вредност 1 или 0. Све време док сигнал **SBP** има вредност 0, сигнал  $I_1$  има вредност 1, па је на паралелним улазима бројача  $CNT_{1...0}$  бинарна вредност 11. На сигнал такта у бројач  $CNT_{1...0}$  се уписује вредност 11, па се остаје у кораку  $T_3$ . На сигнал такта на који сигнал **SBP** добија вредност 1, сигнал  $I_1$  добија вредност 0, па је на паралелним улазима бројача  $CNT_{1...0}$

бинарна вредност 01. Стога се на први следећи сигнал такта у бројач  $CNT_{1...0}$  уписује вредност 01, па се прелази на корак  $T_1$ .

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$stSPA = T_0 + SBP \cdot T_3$$

$$ldA = CAP \cdot T_1$$

$$clT = CAP \cdot T_1$$

$$clSC = CAP \cdot T_1$$

$$clSPA = CAP \cdot T_1$$

$$srA = T_2$$

$$srT = T_2$$

$$srB = T_2$$

$$incSC = T_2$$

$$CPB = SBP \cdot T_3$$

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$ldCNT = \overline{CAP} \cdot T_1 + \overline{SC7} \cdot T_2 + T_3$$

$$I_0 = \overline{CAP} \cdot T_1 + T_3$$

$$I_1 = \overline{SC7} \cdot T_2 + \overline{SBP} \cdot T_3$$

## 1.15 ОДУЗИМАЊЕ 16-БИТНИХ РЕЧИ

Реализовати уређај Р за спрегу између уређаја UA и UB. Уређај Р треба од уређаја UA да прими 16-битне бинарне речи  $A_{15..0}$  и  $B_{15..0}$ , да обави операцију одузимања 16-битне речи  $B_{15..0}$  од 16-битне речи  $A_{15..0}$  коришћењем 16-разредног паралелног сабирача и да 16-битни резултат преда уређају UB. Уређај Р у четири обраћања уређају UA прима 8-битне бинарне речи које представљају мултиплексиране старије и млађе бајтове 16-битних бинарних речи  $A_{15..0}$  и  $B_{15..0}$ . Уз сваку 8-битну бинарну реч уређај Р прима од уређаја UA и 2-битну бинарну реч, која вредностима 00, 01, 10 и 11 означава да 8-битна бинарна реч представља битове  $A_{15..8}$ ,  $A_{7..0}$ ,  $B_{15..8}$  и  $B_{7..0}$ , респективно. Претпоставити да ће четири 8-битне бинарне речи бити примљене у четири обраћања уређају UA и да ће уз сваку од четири 8-битне бинарне речи бити различита 2-битна бинарна реч. Тиме 8-битне бинарне речи које представљају битове  $A_{15..8}$ ,  $A_{7..0}$ ,  $B_{15..8}$  и  $B_{7..0}$ , могу да буду примљене у произвољном редоследу. Уређај Р у 16 обраћања шаље уређају UB серијски бит по бит и то од најмлађег до најстаријег бита 16-битни резултат. Операција треба да се понавља циклично. Уређаји UA, Р и UB треба раде синхроно на исти сигнал такта.

Уређај UA шаље уређају Р истовремено 8-битну и 2-битну бинарну реч по линијама података  $DAP_{7..0}$  и  $DAP_{9..8}$ , респективно. За синхронизацију између уређаја UA и Р користе се статусни сигнал SPA и управљачки сигнал CAP. Вредностима 0 и 1 сигнала SPA уређај Р шаље уређају UA индикацију када не може и када може да прими бинарне речи са линија  $DAP_{7..0}$  и  $DAP_{9..8}$ . Вредношћу 1 сигнала CAP, трајања једна периода сигнала такта, уређај UA шаље уређају Р команду да треба да прими бинарне речи са линија  $DAP_{7..0}$  и  $DAP_{9..8}$ , при чему уређај UA то чини када утврди да уређај Р на статусној линији SPA држи вредност 1.

Уређај Р шаље уређају UB по једнобитној линији податка DPB појединачно сваки од 16 битова резултата. За синхронизацију између уређаја Р и UB приликом слања једног бита користе се статусни сигнал SBP и управљачки сигнал CPB. Вредностима 0 и 1 сигнала SBP уређај UB шаље уређају Р индикацију када не може и када може да прими један бит, респективно. Вредношћу 1 сигнала CPB, трајања једна периода сигнала такта, уређај Р шаље уређају UB команду да треба да прими један бит, при чему уређај Р то чини када утврди да уређај UB на статусној линији SBP држи вредност 1.

Претпоставити да су на почетку на статусним линијама SPA и SBP налазе вредности 0.

- а) Нацртати структурну шему операционе јединице уређаја Р.
- б) Нацртати дијаграме тока управљачких сигнала операционе јединице и управљачке јединице уређаја Р.
- в) Нацртати структурну шему управљачке јединице уређаја Р реализоване помоћу бројача корака и декодера и дати изразе за генерисање управљачких сигнала операционе јединице и управљачке јединице уређаја Р.

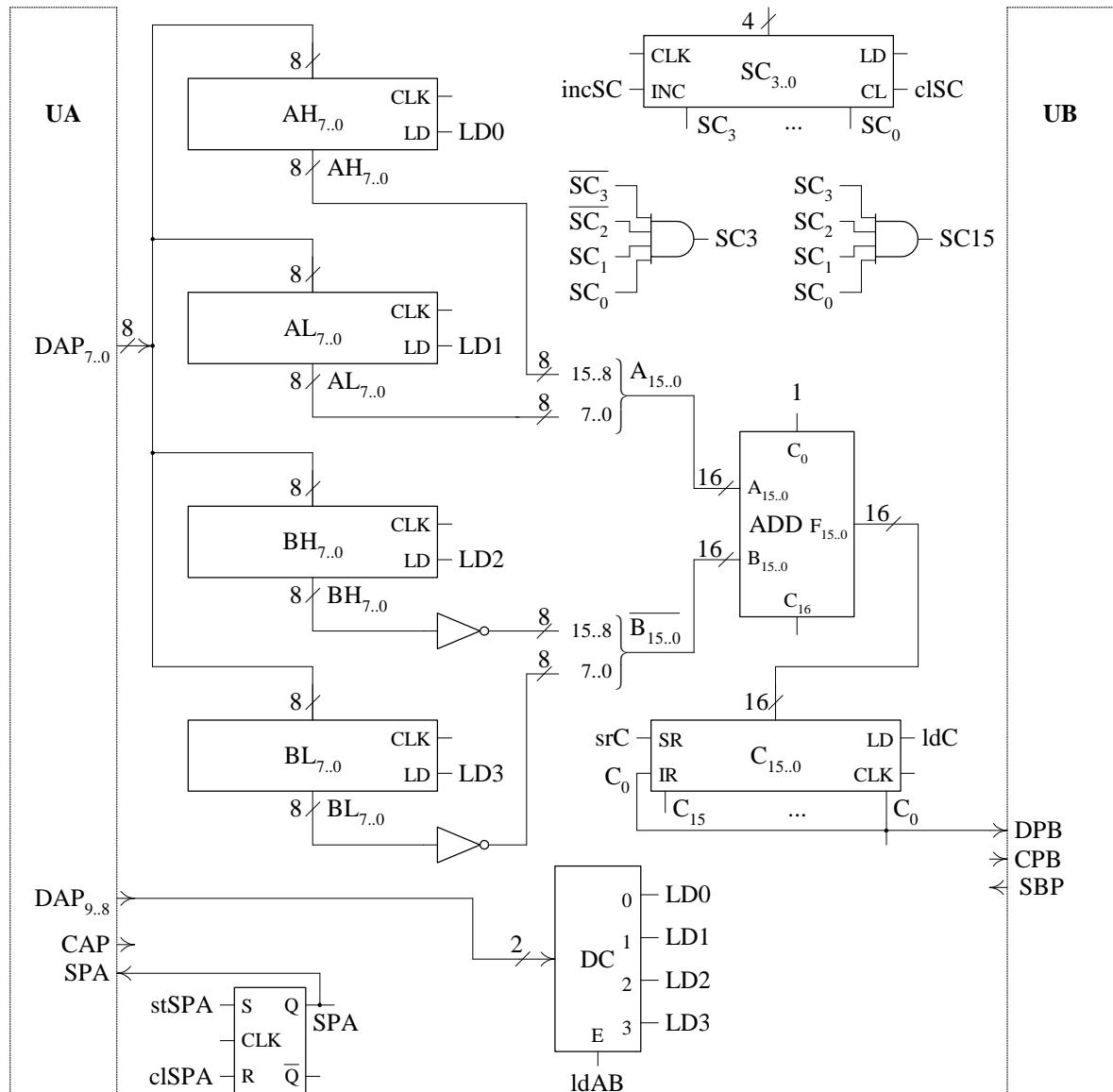
### Решење:

- а) Структурна шема операционе јединице приказана је на слици 15.а.

Операциона јединица садржи регистре  $AN_{7..0}$ ,  $AL_{7..0}$ ,  $BN_{7..0}$ , и  $BL_{7..0}$ , сабирач ADD, регистар  $C_{15..0}$ , декодер DC, бројач  $BC_{3..0}$  и флип-флоп SPA.

Регистри  $AN_{7..0}$ ,  $AL_{7..0}$ ,  $BN_{7..0}$ , и  $BL_{7..0}$  су 8-разредни регистри са паралелним уписом и читањем. Регистри  $AN_{7..0}$  и  $AL_{7..0}$  служе за смештање 8 старијих и 8 млађих битова 16-битне бинарне речи  $A_{15..0}$ , док регистри  $BN_{7..0}$ , и  $BL_{7..0}$  служе за смештање 8 старијих и 8 млађих битова 16-битне бинарне речи  $B_{15..0}$ . Вредношћу 1 једног од сигнала **ld0**, **ld1**, **ld2**

и **ld3** са излаза декодера DC се одређује у који од регистара  $AH_{7..0}$ ,  $AL_{7..0}$ ,  $BH_{7..0}$ , и  $BL_{7..0}$ , респективно, се уписују 8-битне бинарне речи које уређај P у четири обраћања прима од уређаја UA по линијама  $DAP_{7..0}$ . Операција одузимања 16-битне бинарне речи  $B_{15..0}$  од 16-битне бинарне речи  $A_{15..0}$  се реализује коришћењем 16-разредног сабирача ADD и то сабирањем 16-битне бинарне речи  $A_{15..0}$  и другог комплемента 16-битне бинарне речи  $B_{15..0}$ .



Слика 15.а Структурна шема операционе јединице

Сабирач ADD је 16-разредни сабирач на чији улаз A се доводи 16-битна бинарна реч  $A_{15..0}$ , на улаз B комплементирани садржај 16-битне бинарне речи  $B_{15..0}$  и на улаз  $C_0$  вредност 1. Довођењем комплементираног садржаја 16-битне бинарне речи  $B_{15..0}$  на улаз B и вредност 1 на улаз  $C_0$  формира се други комплемент 16-битне бинарне речи  $B_{15..0}$ . На излазу F сабирача ADD је 16-битна бинарна реч која представља разлику 16-битних бинарних речи  $A_{15..0}$  и  $B_{15..0}$ .

Регистар  $C_{15..0}$  је 16-разредни померачки регистар са паралелним уписом и серијским читањем померањем удесно. Вредношћу 1 сигнала **ldC** се у регистар  $C_{15..0}$  уписује 16-битна бинарна реч са излаза F сабирача ADD која представља разлику 16-битних бинарних речи  $A_{15..0}$  и  $B_{15..0}$ . Вредношћу 1 сигнала **srC** се садржај регистра  $C_{15..0}$  помера

за једно место удесно. Разред  $C_0$  регистра  $C_{15..0}$  је везан на линију DPB. Померањем удесно у 16 периода сигнала такта садржаја регистра  $C_{15..0}$  у разреду  $C_0$  се појављују битови 0 до 15 регистра  $C_{15..0}$ , чиме по линији DPB уређај P шаље уређају UB серијски бит по бит од најмлађег до најстарије 16 битова резултата одузимања бинарне речи  $V_{15..0}$  од  $A_{15..0}$ .

Декодер DC има два улазна сигнала  $DAP_9$  и  $DAP_8$  и четири излазна сигнала **ldB0**, **ldB1**, **ldB2** и **ldB3**. Вредностима од 00 до 11 сигнала  $DAP_9$  и  $DAP_8$  се одређује који од сигнала **ldB0**, **ldB1**, **ldB2** и **ldB3** са излаза 0 до 3 декодера DC има вредност 1 онда када сигнал **ldAB** има вредност 1. Тиме се вредностима 00 до 11 2-бинарне речи која се од уређаја UA прима по линијама  $DAP_9$  и  $DAP_8$  паралелно са 8-битном бинарном речи по линијама  $DAP_{7..0}$  одређује у који од регистара  $AH_{7..0}$ ,  $AL_{7..0}$ ,  $BH_{7..0}$ , и  $BL_{7..0}$  треба да се упише 8-битна бинарна реч.

Бројач  $SC_{3..0}$  је 4-разредни инкрементирајући бројач чији се садржај брише вредношћу 1 сигнала **clSC** и инкрементира вредношћу 1 сигнала **incSC**. Бројач  $SC_{3..0}$  се користи приликом пријема четири 8-битне бинарне речи од уређаја UA и смештања у регистре  $AH_{7..0}$ ,  $AL_{7..0}$ ,  $BH_{7..0}$ , и  $BL_{7..0}$  и приликом слања 16 битова резултата одузимања из регистра  $C_{15..0}$  уређају UB. Приликом пријема четири 8-битне бинарне речи од уређаја UA бројач  $SC_{3..0}$  се на почетку брише а потом после сваке примљене 8-битне бинарне речи инкрементира. При томе се вредност 1 сигнала **SC3**, која се формира када бројач  $SC_{3..0}$  инкрементирањем достигне вредност три, користи се као сигнал логичког услова да су из уређаја UA примљене четири 8-битне бинарне речи. Приликом слања 16 битова резултата одузимања из регистра  $C_{15..0}$  уређају UB бројач  $SC_{3..0}$  се на почетку брише а потом после сваког послатог бита инкрементира. При томе се вредност 1 сигнала **SC15**, која се формира када бројач  $SC_{3..0}$  инкрементирањем достигне вредност 15, користи се као сигнал логичког услова да је уређају UB послато свих 16 битова резултата одузимања.

У флип-флоп SPA се вредношћу 1 управљачким сигналом **stSPA** уписује вредност 1 онда када је уређај P спреман да од уређаја UA прими садржај са линија података  $DAP_{7..0}$  и  $DAP_{9..8}$ , а вредношћу 1 управљачког сигналом **clSPA** вредност 0, онда када није спреман.

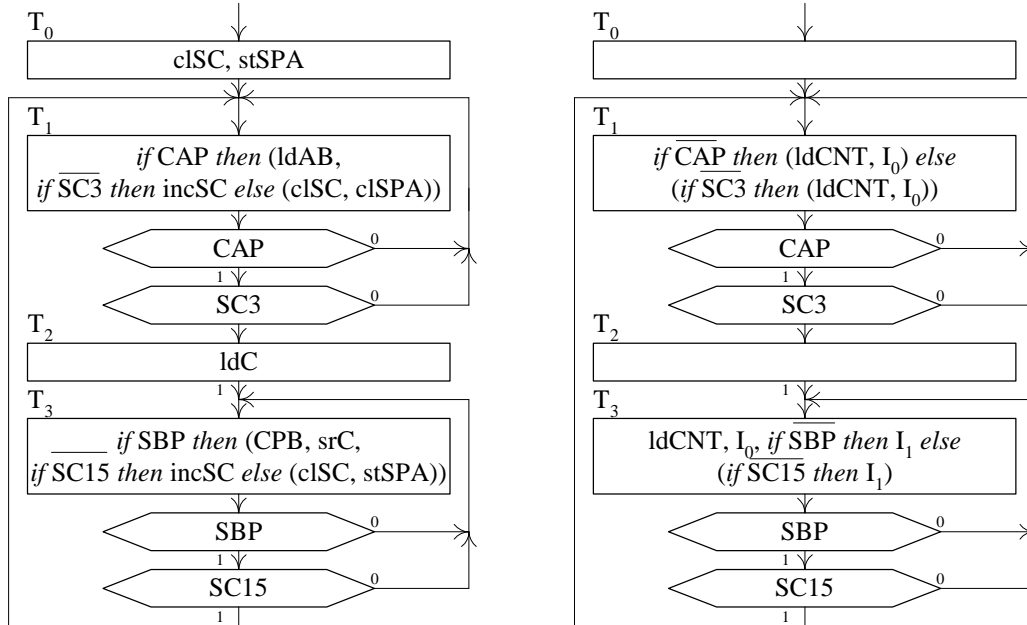
б) Дијаграми тока управљачких сигнала операционе и управљачке јединице приказани су на слици 15.б.

У кораку  $T_0$  се генеришу вредности 1 управљачких сигнала **clSC** и **stSPA**, па се на сигнал такта бројач  $SC_{3..0}$  брише и у флип-флоп SPA уписује вредност 1 и прелази на корак  $T_1$ . Уписивањем вредности 1 у флип-флоп SPA уређај P сигнализира уређају UA да је спреман да од уређаја UA прими 8-битну и 2-битну бинарну реч по линијама података  $DAP_{7..0}$  и  $DAP_{9..8}$ , респективно.

У кораку  $T_1$  се остаје онолико периода сигнала такта колико је неопходно да се у четири итерације приме четири 8-битне речи са линија података  $DAP_{7..0}$  и сместе у регистре  $AH_{7..0}$ ,  $AL_{7..0}$ ,  $BH_{7..0}$ , и  $BL_{7..0}$ . При вредности 0 сигнала **CAP** управљачки сигнали **ldAB**, **incSC**, **clSC** и **clSPA** имају вредност 0, па се на сигнал такта не мењају садржаји регистара  $AH_{7..0}$ ,  $AL_{7..0}$ ,  $BH_{7..0}$ , и  $BL_{7..0}$ , бројача  $SC_{2..0}$  и флип-флопа F и остаје се у кораку  $T_1$ . Пријем једне 8-битне речи са линија  $DAP_{7..0}$  се реализује за време једне периоде сигнала такта када сигнал **CAP** има вредност 1, чиме уређај UA сигнализира уређају P да се на линијама података  $DAP_{7..0}$  и  $DAP_{9..8}$  налазе важеће речи. При вредности 1 сигнала **CAP** се генерише вредност 1 управљачког сигнала **ldAB**, па се у зависности од садржаја на линијама  $DAP_{9..8}$  формира вредност 1 једног од сигнала **ldB0**, **ldB1**, **ldB2** и **ldB3** на излазима 0 до 3 декодера DC чиме се омогућава да се на



сигнал такта садржај са линија  $DAP_{7..0}$  упише у један од регистара  $AH_{7..0}$ ,  $AL_{7..0}$ ,  $BH_{7..0}$  и  $BL_{7..0}$  одређен садржајем на линијама  $DAP_{9..8}$ . Уколико тада сигнал **SC3** има вредност 0, генерише се вредност 1 сигнала **incSC** па се на исти сигнал такта инкрементира садржај бројача  $SC_{3..0}$  и остаје у кораку  $T_1$ . Међутим, уколико тада сигнал **SC3** има вредност 1, генеришу се вредности 1 сигнала **clSC** и **clSPA**, па се на исти сигнал такта брише садржај бројача  $SC_{3..0}$  и флип-флоп **SPA** поставља на вредност 1 и прелази на корак  $T_2$ .



Слика 15.6 Дијаграми тока управљачких сигнал операционе и управљачке јединице

За време прве итерације прима се прва 8-битна бинарна реч и инкрементира садржај бројача  $SC_{3..0}$  на вредност један. На сличан начин се за време друге и треће итерације прима се друга и трећа 8-битна бинарна реч и садржај бројача  $SC_{2..0}$  инкрементира на два и три, респективно. За време четврте итерације прима се четврта 8-битна бинарна реч и садржај бројача  $SC_{3..0}$  брише. Приликом прве три итерације у кораку  $T_1$  сигнал **SC3** има вредност нула, а приликом четврте итерације вредност један, па се тада по пријему четврте 8-битне бинарне речи прелази на корак  $T_2$ .

Пријем једне 8-битне бинарне речи са линија података  $DAP_{7..0}$  и уписивање у један од регистара  $AH_{7..0}$ ,  $AL_{7..0}$ ,  $BH_{7..0}$ , и  $BL_{7..0}$  се реализује са време трајања једне периоде сигнала такта, па уређај **P** може да прима 8-битне бинарне речи у ритму сигнала такта. Због тога се у прве три итерације генерише вредност 0 сигнала **clSPA**, па флип-флоп **SPA** остаје постављен на 1. Држећи вредности 1 у флип-флопу **SPA** уређај **P** сигнализира уређају **UA** да је спреман да од уређаја **UA** прима 8-битне бинарне реч по линијама података  $DAP_{7..0}$ . Када се у четвртој итерацији појави вредност 1 сигнала **CAP** генеришу се вредности 1 не само сигнала **ldAB** и **clSC** већ и сигнала **clSPA**. Тиме се не само прима четврта 8-битна бинарна реч и садржај бројача  $SC_{3..0}$  брише, већ се и у флип-флоп **SPA** уписује вредност 0 и прелази на корак  $T_2$ . Уписивањем вредности 0 у флип-флоп **SPA** уређај **P** сигнализира уређају **UA** да до даљег није спреман да од уређаја **UA** прима 8-битне бинарне речи линијама података  $DAP_{7..0}$ .

У кораку  $T_2$  се остаје једна периода сигнала такта и прелази на корак  $T_3$ . У кораку  $T_2$  се вредношћу 1 сигнала **ldC** резултат одузимања са излаза сабирача **ADD** уписује у регистар  $C_{15..0}$ .

У кораку  $T_3$  се остаје онолико периода сигнала такта колико је неопходно да се у 16 итерација битови 0 до 15 16-битне бинарне речи резултата одузимања пошаљу по

линији податка DPB уређају UB. Вредношћу 0 сигнала **SBP** уређај UB сигнализира уређају P да није спреман да прихвати бит са линије податка DPB. Све време док сигнал **SBP** има вредност 0 и управљачки сигнали **CPB**, **srC**, **incSC**, **clSC** и **stSPA** имају вредност 0, па се ништа не шаље уређају UB, садржај регистра  $C_{15..0}$ , се не помера, садржај бројача  $SC_{3..0}$  и флип-флопа F се не мења и остаје се у кораку  $T_3$ . Слање једног бита 16-битне бинарне речи се реализује за време једне периоде сигнала такта када сигнал **SBP** постане 1, чиме уређај UB сигнализира уређају P да је спреман да прихвати бит са линије податка DPB. У кораку  $T_3$  се при вредности 1 сигнала **SBP** генеришу вредности 1 управљачких сигнала **CPB** и **srC**, па се на први следећи сигнал такта после сигнала такта на који је сигнал **SBP** постао 1 се вредношћу 1 сигнала **CPB** омогућава да уређај UB упише бит са линије податка DPB у неки свој прихватни регистар и да се вредношћу 1 сигнала **srC** помери садржај регистра  $C_{15..0}$ . Уколико тада сигнал **SC15** има вредност 0, генерише се вредност 1 сигнала **incSC** па се на исти сигнал такта инкрементира садржај бројача  $SC_{3..0}$  и остаје у кораку  $T_3$ . Међутим, уколико тада сигнал **SC15** има вредност 1, генеришу се вредности 1 сигнала **clSC** и **stSPA**, па се на исти сигнал такта брише садржај бројача  $SC_{3..0}$  и флип-флоп SPA поставља на вредност 1 и прелази на корак  $T_1$ . Уписивањем вредности 1 у флип-флоп SPA уређај P сигнализира уређају UA да је сада спреман да од уређаја UA прими 8-битну и 2-битну бинарну реч по линијама података  $DAP_{7..0}$  и  $DAP_{9..8}$ , респективно.

За време прве итерације се шаље бит нула 16-битне бинарне речи и инкрементира садржај бројача  $SC_{3..0}$  на вредност 1. На сличан начин се за време друге, треће и редом до петнаесте итерације шаље бит један, два и редом до бита четрнаест 16-битне бинарне речи и инкрементира садржај бројача  $SC_{3..0}$  на вредност 2, 3 и редом до 15. За време шеснаесте итерације шаље се бит петнаест 16-битне бинарне речи и садржај бројача  $SC_{3..0}$  брише. Приликом првих 15 итерација у кораку  $T_3$  сигнал **SC15** има вредност нула, а приликом 16-те итерације вредност 1, па се тада по слању шеснаестог бита 16-битне бинарне речи прелази на корак  $T_1$ .

Треба уочити да уређај P може у кораку  $T_3$  да пошаље уређају UB 16 битова 16-битне бинарне речи у 16 узастопних периода сигнала такта. Да ли ће се то десити или не зависи једино од уређаја UB. Уколико уређај UB може у узастопним периодама сигнала такта да прима битове 16-битне бинарне речи, он ће држати сигнал **SBP** на вредности 1, што ће уређају P омогућавати да их шаље. Уколико уређај UB не може у узастопним периодама сигнала такта да прима битове 16-битне бинарне речи, он ће по пријему једног бита 16-битне бинарне речи обарати сигнал **SBP** на вредност 0 и постављати га поново на вредност 1 тек кад постане спреман да прими следећи бит 16-битне бинарне речи. То ће изазивати да уређај P у кораку  $T_3$  по слању једног бита 16-битне бинарне речи најпре чека да уређај UB постави сигнал **SBP** на вредност 1 и да тек онда шаље следећи бит 16-битне бинарне речи.

в) Структурна шема управљачке јединице реализована помоћу бројача корака и декодера приказана је на слици 15.в.

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$\text{clSC} = T_0 + \text{CAP} \cdot \text{SC3} \cdot T_1 + \text{SBP} \cdot \text{SC15} \cdot T_3$$

$$\text{stSPA} = T_0 + \text{SBP} \cdot \text{SC15} \cdot T_3$$

$$\text{ldAB} = \text{CAP} \cdot T_1$$

$$\text{incSC} = \text{CAP} \cdot \overline{\text{SC3}} \cdot T_1 + \text{SBP} \cdot \overline{\text{SC15}} \cdot T_3$$

$$\text{clSPA} = \text{CAP} \cdot \text{SC3} \cdot T_1$$

$$\text{ldC} = T_2$$

$$\text{CPB} = \text{SBP} \cdot T_3$$

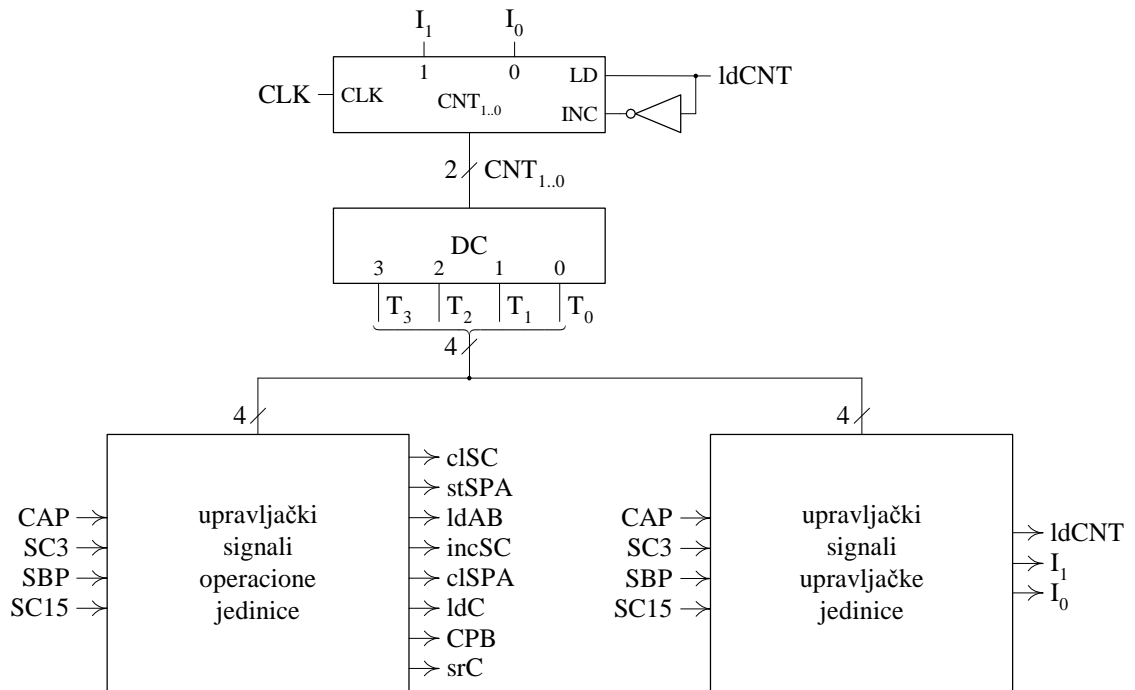
$$srC = SBP \cdot T_3$$

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$ldCNT = \overline{CAP} \cdot T_1 + CAP \cdot \overline{SC3} \cdot T_1 + T_3$$

$$I_0 = \overline{CAP} \cdot T_1 + CAP \cdot \overline{SC3} \cdot T_1 + T_3$$

$$I_1 = \overline{SBP} \cdot T_3 + SBP \cdot \overline{SC15} \cdot T_3$$



Слика 15.в Структурна шема управљачке јединице

## 1.16 СЕРИЈСКО САБИРАЊЕ

Реализовати уређај Р за спрегу између два уређаја UA и UB. Уређај Р треба од уређаја UA да прима серијски бит по бит и то од најмлађег до најстаријег бита парове битова две 8-битне бинарне речи, да приликом пријема парова битова врши њихово бит-серијско сабирање и да 8-битну бинарну реч резултата сабирања преда паралелно уређају UB. Као пример се могу узети две 8-битне бинарне речи  $X_7X_6\dots X_2X_1X_0$  и  $Y_7Y_6\dots Y_2Y_1Y_0$  које као резултат сабирања дају 8-битну бинарну реч  $Z_7Z_6\dots Z_2Z_1Z_0$ . Прво се прима 2-битна бинарна реч која представља пар најмлађих битова  $X_0$  и  $Y_0$ , врши њихово сабирање и добија бит резултата  $Z_0$  и бит преноса  $C_1$ . Затим се прима 2-битна бинарна реч која представља пар пар старијих битова  $X_1$  и  $Y_1$ , врши њихово сабирање са битом преноса  $C_1$  и добија бит резултата  $Z_1$  и бит преноса  $C_2$ . На исти начин се врши пријем, сабирање и формирање бита резултата преосталих старијих битова. На крају се прима 2-битна бинарна реч која представља пар најстаријих битова  $X_7$  и  $Y_7$ , врши њихово сабирање са битом преноса  $C_7$  и добија бит резултата  $Z_7$  и бит преноса  $C_8$ . Узети да се бит преноса  $C_8$ , који представља бит коначног преноса, одбацује. Операција треба да се понавља циклично. Уређаји UA, P и UB треба раде синхроно на исти сигнал такта.

Уређај UA шаље уређају P 2-битну бинарну реч пара битова по линијама података  $DAP_1$  и  $DAP_0$ , респективно. За синхронизацију између уређаја UA и P користе се статусни сигнал SPA и управљачки сигнал CAP. Вредностима 0 и 1 сигнала SPA уређај P шаље уређају UA индикацију када не може и када може да прими бинарну реч са линија  $DAP_{1..0}$ , респективно. Вредношћу 1 сигнала CAP, трајања једна периода сигнала такта, уређај UA шаље уређају P команду да треба да прими бинарну реч са линија  $DAP_{1..0}$ , при чему уређај UA то чини када утврди да уређај P на статусној линији SPA држи вредност 1.

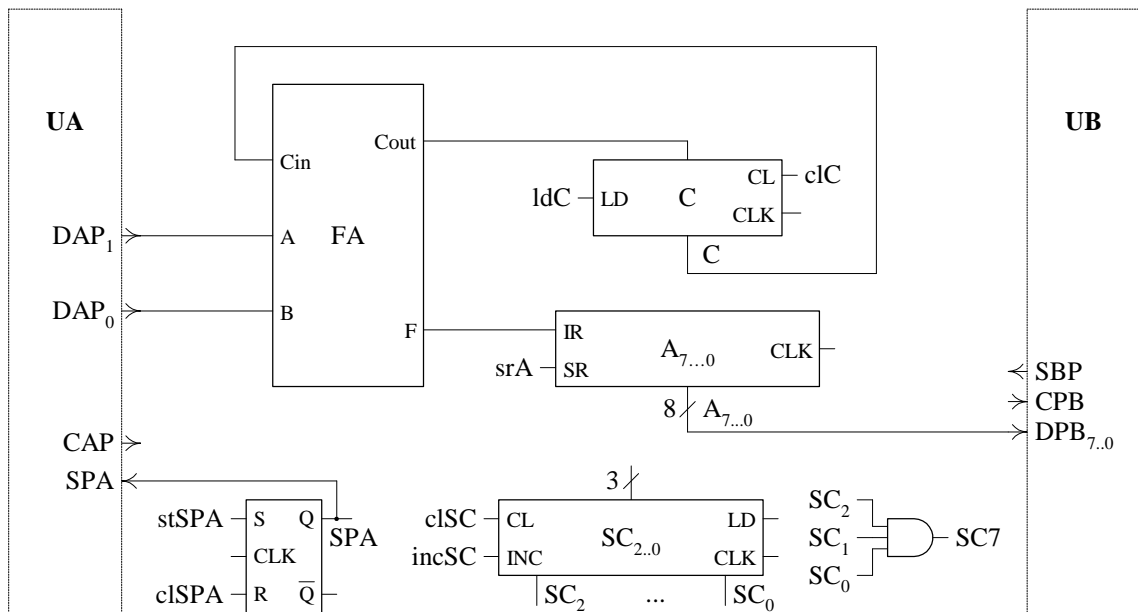
Уређај P шаље уређају UB једну 8-битну бинарну реч збира по линијама података  $DPB_{7..0}$ , при чему је бит 7 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја P и UB користе се статусни сигнал SBP и управљачки сигнал CPB. Вредностима 0 и 1 сигнала SBP уређај UB шаље уређају P индикацију када не може и када може да прими 8-битну бинарну реч, респективно. Вредношћу 1 сигнала CPB, трајања једна периода сигнала такта, уређај P шаље уређају UB команду да треба да прими 8-битну бинарну реч, при чему уређај P то чини када утврди да уређај UB на статусној линији SBP држи вредност 1.

Претпоставити да су на почетку на статусним линијама SPA и SBP налазе вредности 0.

- а) Нацртати структурну шему операционе јединице уређаја P.
- б) Нацртати дијаграме тока управљачких сигнала операционе јединице и управљачке јединице уређаја P.
- в) Нацртати структурну шему управљачке јединице уређаја P реализоване помоћу бројача корака и декодера и дати изразе за генерисање управљачких сигнала операционе јединице и управљачке јединице уређаја P.

### Решење:

- а) Структурна шема операционе јединице приказана је на слици 16.а.

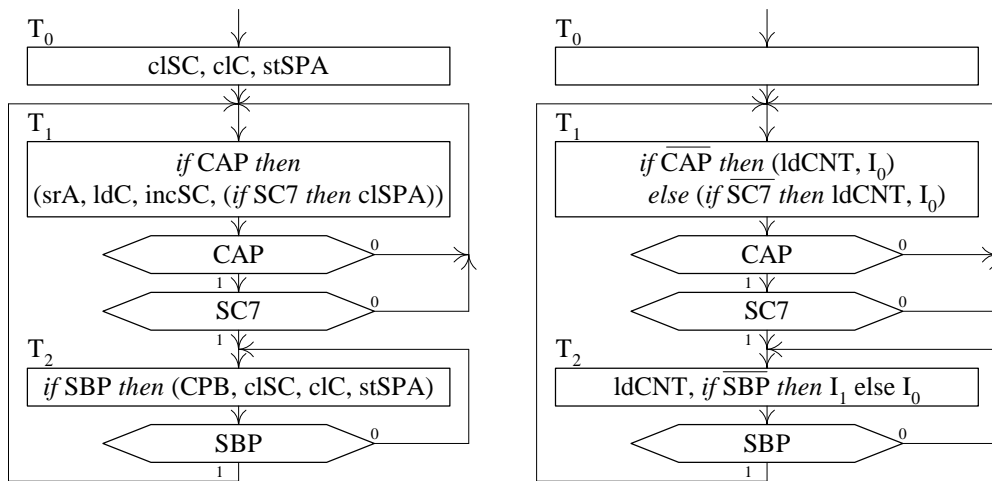


Слика 16.а Структурна шема операционе јединице

Структурна шема операционе јединице одговара усвојеном поступку реализације серијског сабирања две 8-битне бинарне речи. Сабирање се реализује бит по бит од најмлађег до најстаријег бита у осам итерација. Са реализацију сабирања се користи једноразредни сабирач FA (full adder), једноразредни регистар C за чувања преноса и 8-мо разредни регистар  $A_{7..0}$  за смештање резултата. На линијама  $DAP_1$  и  $DAP_0$  се појављују разреди  $X_0$  и  $Y_0$ , а у регистар C се као почетна вредност  $C_0$  преноса уписује вредност 0. У првој итерацији се сабирају разреди  $X_0$ ,  $Y_0$  и  $C_0$  и формирају  $Z_0$  и  $C_1$ . На сигнал такт се  $Z_0$  уписује у најстарији разред  $A_7$ ,  $C_1$  у C, а на линијама  $DAP_1$  и  $DAP_0$  се појављују разреди  $X_1$  и  $Y_1$ . Стога се у другој итерацији сабирају разреди  $X_1$ ,  $Y_1$  и  $C_1$  и формирају  $Z_1$  и  $C_2$ . На сигнал такт се  $Z_1$  уписује у најстарији разред  $A_7$ , а  $Z_0$  се помера у  $A_6$ ,  $C_2$  у C, а на линијама  $DAP_1$  и  $DAP_0$  се појављују разреди  $X_2$  и  $Y_2$ . Стога се у трећој итерацији сабирају разреди  $X_2$ ,  $Y_2$  и  $C_2$  и формирају  $Z_2$  и  $C_3$ . На сличан начин се реализује сабирање и преосталих разреда да би се на крају 8-ме итерације у разредима 7 до 0 регистра  $A_{7..0}$  нашли разреди  $Z_7$  до  $Z_0$  резултата а у регистру C пренос  $C_8$ . За вођење евиденције колико још пута описани поступак треба поновити служи инкрементирајући бројачки регистар  $SC_{2..0}$ . Садржај регистра  $SC_{2..0}$  се на почетку вредношћу 1 сигнала **clSC** брише, а потом када се описани поступак изврши за један пар бита вредношћу 1 сигнала **incSC** инкрементира. Вредност 1 сигнала логичког услова SC7 на излазу логичког И елемента се појављује када садржај регистра SC инкрементирањем стигне до вредности 7 и служи као индикација да је описани поступак поновљен 8 пута.

б) Дијаграми тока управљачких сигнала операционе и управљачке јединице дати су на слици 16.б.

У кораку  $T_0$  се генеришу вредности 1 управљачких сигнала **clSC**, **clC** и **stSPA**, па се на сигнал такта бројач  $SC_{2..0}$  брише, једноразредни регистар C поставља на нулу и у флип-флоп SPA уписује вредност 1 и прелази на корак  $T_1$ . Уписивањем вредности 1 у флип-флоп SPA уређај P сигнализира уређају UA да је спреман да од уређаја UA прими 2-битну бинарну реч пара битова по линијама података  $DAP_1$  и  $DAP_0$ , респективно.



Слика 16.6 Дијаграми тока управљачких сигнала операционе и управљачке јединице

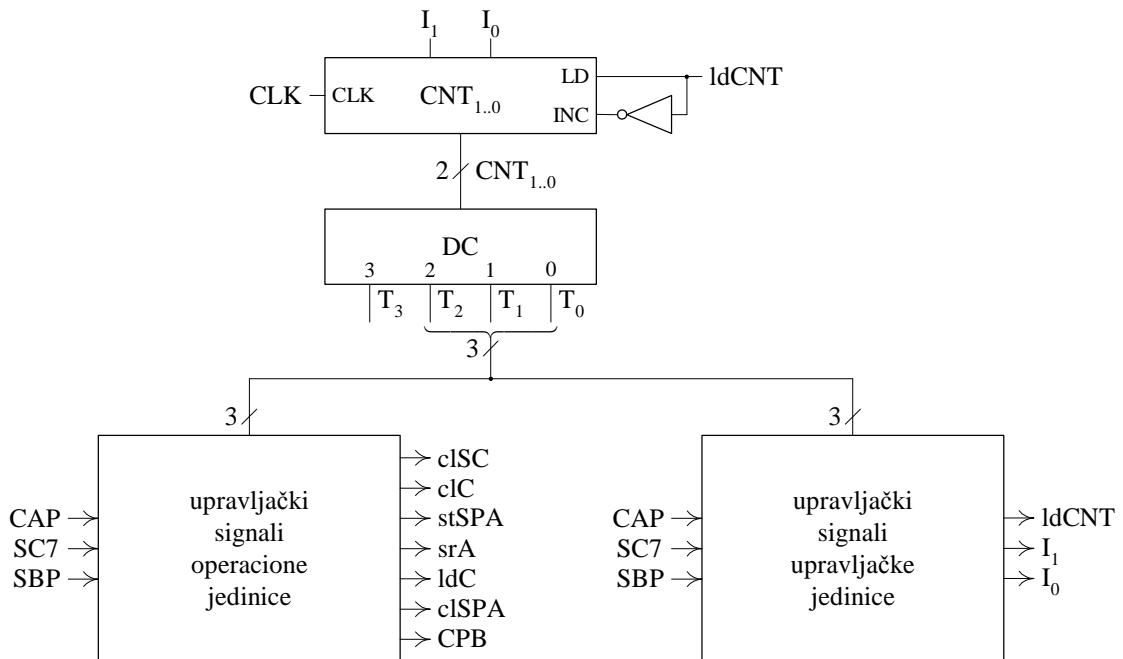
У кораку  $T_1$  се остаје онолико периода сигнала такта колико је неопходно да се у осам итерација реализује сабирање осам парова битова са линија података  $DAP_1$  и  $DAP_0$  и сигнала преноса из регистра  $C$ . Сабирање једног пара битова са линија  $DAP_1$  и  $DAP_0$  и преноса из регистра  $C$  се реализује за време једне периоде сигнала такта када сигнал **CAP** има вредност 1, чиме уређај  $UA$  сигнализира уређају  $P$  да се на линијама података  $DAP_1$  и  $DAP_0$  налазе важећи бар битова. При вредности 1 сигнала **CAP** се генеришу вредности 1 управљачких сигнала **srA**, **ldC** и **incSP**, па се на сигнал такта помера садржај регистра  $A_{7..0}$  и уписује резултат сабирања у разред  $A_7$  и пренос у регистар  $C$  и инкрементира садржај бројача  $SC_{2..0}$ . При вредности 0 сигнала **CAP** управљачки сигнали **srA**, **ldC** и **incSP** имају вредност 0, па се на сигнал такта не мењају садржаји регистара  $A_{7..0}$  и  $C$  и бројача  $SC_{2..0}$ .

За време прве итерације сабирају се битови разреда 0 и инкрементира садржај бројача  $SC_{2..0}$  на вредност један. На сличан начин се за време друге итерације сабирају битови разреда 1 и инкрементира садржај бројача  $SC_{2..0}$  на вредност два. За време треће, четврте, пете и шесте итерације сабирају се битови разреда 2, 3, 4 и 5 и садржај бројача  $SC_{2..0}$  инкрементира на три, четири, пет и шест. За време седме итерације сабирају се битови разреда 6 и инкрементира садржај бројача  $SC_{2..0}$  на вредност седам. Коначно за време осме итерације сабирају се битови разреда 7 и инкрементира садржај бројача  $SC_{2..0}$  на вредност нула. Приликом првих седам итерација у кораку  $T_1$  сигнал **SC7** има вредност нула, а приликом осме итерације вредност један, па се тада по пријему осмог пара битова реализује њихово сабирање и прелази на корак  $T_2$ .

Сабирање једног пара битова са уписом резултата сабирања у разред  $A_7$  и преноса у регистар  $C$  и померањем регистра  $A_{7..0}$  се реализује са време трајања једне периоде сигнала такта, па уређај  $P$  може да прима парове битова у ритму сигнала такта. Због тога се у првих седам итерација генерише вредност 0 сигнала **clSPA**, па флип-флоп  $SPA$  остаје постављен на 0. Држећи вредности 1 у флип-флопу  $SPA$  уређај  $P$  сигнализира уређају  $UA$  да је спреман да од уређаја  $UA$  прима 2-битне бинарне реч по линијама података  $DAP_1$  и  $DAP_0$ . Када се у осмој итерацији појави вредност 1 сигнала **CAP**, генеришу се вредности 1 не само сигнала **srA**, **ldC** и **incSP** већ и сигнала **clSPA**. Тиме се не само реализује сабирање осмог пара битова, већ се и у флип-флоп  $SPA$  уписује вредност 0 и прелази на корак  $T_2$ . Уписивањем вредности 0 у флип-флоп  $SPA$  уређај  $P$  сигнализира уређају  $UA$  да до даљег није спреман да од уређаја  $UA$  прими парове битова по линијама података  $DAP_1$  и  $DAP_0$ .

У кораку  $T_2$  се остаје све време док сигнал **SBP** има вредност 0. Вредношћу 0 сигнала **SBP** уређај UB сигнализира уређају P да није спреман да прихвати резултат са линија података  $DPB_{7..0}$ , па све време док сигнал **SBP** има вредност 0 и сигнали **CPB**, **clSC**, **clC** и **stSPA**, имају вредност 0. Вредношћу 1 сигнала **SBP**, уређај UB сигнализира уређају P да је спреман да прихвати резултат са линија података  $DPB_{7..0}$ . У кораку  $T_2$  се при вредности 1 сигнала **SBP** генеришу вредности 1 управљачких сигнала **CPB**, **clSC**, **clC** и **stSPA**. На први следећи сигнал такта се вредношћу 1 сигнала **CPB** омогућава да уређај UB упише резултат са линија података  $DPB_{7..0}$  у неки свој прихватни регистар, док се вредношћу 1 сигнала **clSC**, **clC** и **stSPA** бројач  $SC_{2..0}$  брише, једноразредни регистар C поставља на нулу и у флип-флоп SPA уписује вредност 1. На исти сигнал такта се прелази на корак  $T_1$ . Уписивањем вредности 1 у флип-флоп SPA уређај P сигнализира уређају UA да је сада спреман да од уређаја UA прими следећу 2-битну бинарну реч по линијама података  $DAP_1$  и  $DAP_0$ .

в) Структурна шема управљачке јединице реализоване помоћу бројача корака и декодера приказана је на слици 16.в.



Слика 16.в Структурна шема управљачке јединице

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$\mathbf{clSC} = T_0 + \mathbf{SBP} \cdot T_2$$

$$\mathbf{clC} = T_0 + \mathbf{SBP} \cdot T_2$$

$$\mathbf{stSPA} = T_0 + \mathbf{SBP} \cdot T_2$$

$$\mathbf{srA} = \mathbf{CAP} \cdot T_1$$

$$\mathbf{IdC} = \mathbf{CAP} \cdot T_1$$

$$\mathbf{incSC} = \mathbf{CAP} \cdot T_1$$

$$\mathbf{clSPA} = \mathbf{CAP} \cdot \mathbf{SC7} \cdot T_1$$

$$\mathbf{CPB} = \mathbf{SBP} \cdot T_2$$

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$\mathbf{IdCNT} = \overline{\mathbf{CAP}} \cdot T_1 + \mathbf{CAP} \cdot \overline{\mathbf{SC7}} \cdot T_1 + T_3$$

$$\mathbf{I_0} = \overline{\mathbf{CAP}} \cdot T_1 + \mathbf{CAP} \cdot \overline{\mathbf{SC7}} \cdot T_1 + \mathbf{SBP} \cdot T_2$$

$$\mathbf{I_1} = \overline{\mathbf{SBP}} \cdot T_2$$

## 1.17 ПОМЕРАЊЕ УЛЕВО

Реализовати уређај Р за спрегу између уређаја UA и UB. Уређај Р треба да обавља две операције и то вишеструко аритметичко померање улево и вишеструко ротирање улево 8-битне бинарне речи. У 8-битној бинарној речи бит највеће тежине је означен са 7 а најмање тежине са 0. Уређај Р треба да прими паралелно три бинарне речи од уређаја UA и то 8-битну бинарну реч коју треба вишеструко померати или ротирати улево, 3-битну бинарну реч коју треба интерпретирати као целобројну величину без знака и која вредностима од 0 до 7 одређује за колико места треба реализовати померање или ротирање и 1-битну бинарну реч која која вредностима 0 и 1 одређује да ли треба реализовати операцију аритметичког померања улево или операцију ротирања улево, респективно. По реализацији задате операције уређај Р треба добијену 8-битну бинарну реч да пошаље уређају UB. Операције треба да се понављају циклично. Уређаји UA, Р и UB треба раде синхроно на исти сигнал такта.

Уређај UA шаље уређају Р истовремено 8-битну, 3-битну и 1-битну бинарну реч по линијама података  $DAP_{11..4}$ ,  $DAP_{3..1}$  и  $DAP_0$ , респективно. За синхронизацију између уређаја UA и Р користе се статусни сигнал SPA и управљачки сигнал CAP. Вредностима 0 и 1 сигнала SPA уређај Р шаље уређају UA индикацију када не може и када може да прими бинарне речи са линија  $DAP_{11..0}$ , респективно. Вредношћу 1 сигнала CAP, трајања једна периода сигнала такта, уређај UA шаље уређају Р команду да треба да прими бинарне речи са линија  $DAP_{11..0}$ , при чему уређај UA то чини када утврди да уређају Р на статусној линији SPA држи вредност 1.

Уређај Р шаље уређају UB 8-битну бинарну реч резултата операције по линијама података  $DPB_{7..0}$ , при чему је бит 7 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја Р и UB користе се статусни сигнал SBP и управљачки сигнал CPB. Вредностима 0 и 1 сигнала SBP уређај UB шаље уређају Р индикацију када не може и када може да прими 8-битну бинарну реч, респективно. Вредношћу 1 сигнала CPB, трајања једна периода сигнала такта, уређај Р шаље уређају UB команду да треба да прими 8-битну бинарну реч, при чему уређај Р то чини када утврди да уређају UB на статусној линији SBP држи вредност 1.

Претпоставити да су на почетку на статусним линијама SPA и SBP налазе вредности 0.

- а) Нацртати структурну шему операционе јединице уређаја Р.
- б) Нацртати дијаграме тока управљачких сигнала операционе јединице и управљачке јединице уређаја Р.
- в) Нацртати структурну шему управљачке јединице уређаја Р реализоване помоћу бројача корака и декодера и дати изразе за генерисање управљачких сигнала операционе јединице и управљачке јединице уређаја Р.

### Решење:

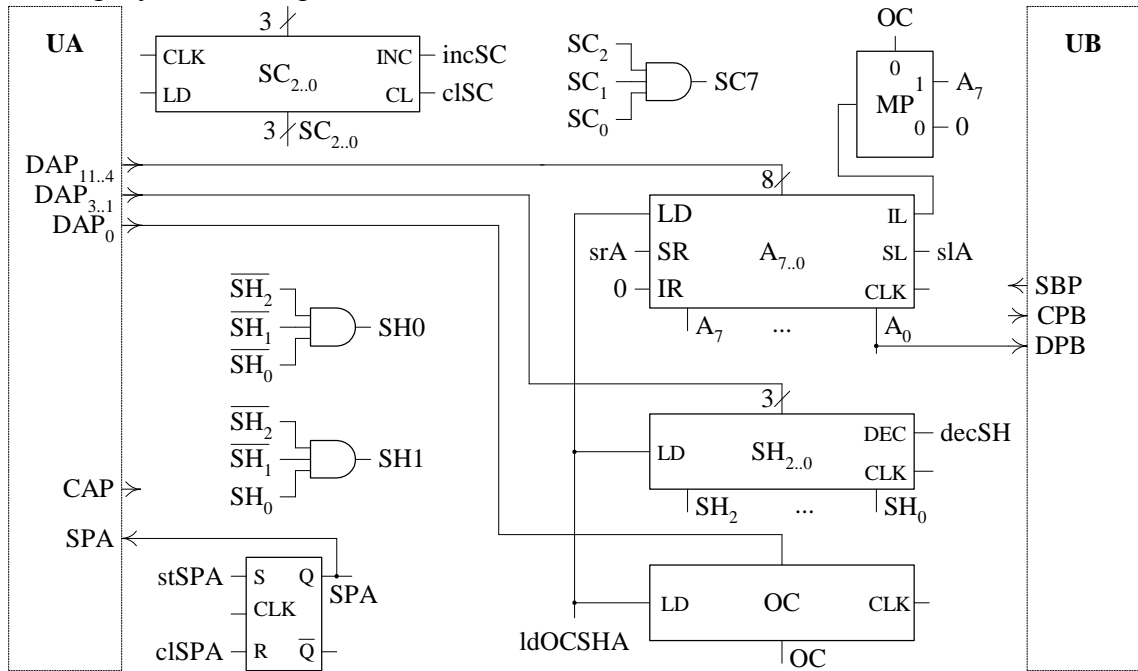
- а) Структурна шема операционе јединице приказана је на слици 17.а.

Операциона јединица садржи регистре  $A_{7..0}$ ,  $SH_{2..0}$  и ОС, мултиплексер MP, бројач  $SC_{2..0}$  и флип-флоп SPA.

Регистар  $A_{7..0}$  је 8-разредни померачки регистар са паралелним уписом и читањем. У регистар  $A_{7..0}$  се вредношћу 1 сигнала **ldOCSHA** уписује 8-битна бинарна реч која по линијама  $DAP_{11..4}$  долази из уређаја UA и за коју треба реализовати померање. Вредношћу 1 сигнала **slA** се реализује померање садржаја регистра  $A_{7..0}$  улево за онолико места колико је то одређено садржајем регистра  $SH_{2..0}$ . Приликом померања



улево у разред  $A_0$  се по линији  $IL$  уписује или 0 или  $A_7$  у зависности од тога да ли треба да се реализује операција аритметичког померања улево или операција ротирања улево. Садржај регистра  $A_{7..0}$  се после померања шаље серијски бит по бит уређају  $UB$ . Вредношћу 1 сигнала  $srA$  се садржај регистра  $A_{7..0}$  помера за једно место удесно. Разред  $A_0$  регистра  $A_{7..0}$  је везан на линију  $DPB$ . Померањем удесно у 8 периода сигнала такта садржаја регистра  $A_{7..0}$  у разреду  $A_0$  се појављују битови 0 до 7 регистра  $A_{7..0}$ , чиме по линији  $DPB$  уређај  $P$  шаље уређају  $UB$  серијски бит по бит од најмлађег до најстаријег 8 битова резултата померања.



Слика 17.а Структурна шема операционе јединице

Регистар  $SH_{2..0}$  је 3-разредни бројачки регистар са паралелним уписом и читањем. У регистар  $SH_{2..0}$  се вредношћу 1 сигнала  $ldAOC$  уписује 3-битна бинарна реч која по линијама  $DAP_{3..1}$  долази из уређаја  $UA$ . Вредностима 0 до 7 овог регистра се одређује за колико места улево треба померити садржај регистра  $A_{7..0}$ . Уколико садржај регистра  $SH_{2..0}$  има вредност 0, сигнал логичког услова  $SH_0$  добија вредност 1. Вредност 1 сигнала  $SH_0$  је индикација да нема потребе померити садржај регистра  $A_{7..0}$ . Уколико садржај регистра  $SH_{2..0}$  има вредност различиту од 0, помера се садржај регистра  $A_{7..0}$  онолико пута колико је то одређено садржајем регистра  $SH_{2..0}$ . Приликом сваког померања садржаја регистра  $A_{7..0}$  вредношћу 1 сигнала  $decSH$  се декрементира садржај бројачког регистра  $SH_{2..0}$ . Уколико садржај регистра  $SH_{2..0}$  има вредност 1, сигнал логичког услова  $SH_1$  добија вредност 1. Вредност 1 сигнала  $SH_1$  је индикација да је садржај регистра  $A_{7..0}$  померен онолико пута колико је то задато почетним садржајем регистра  $SH_{2..0}$ .

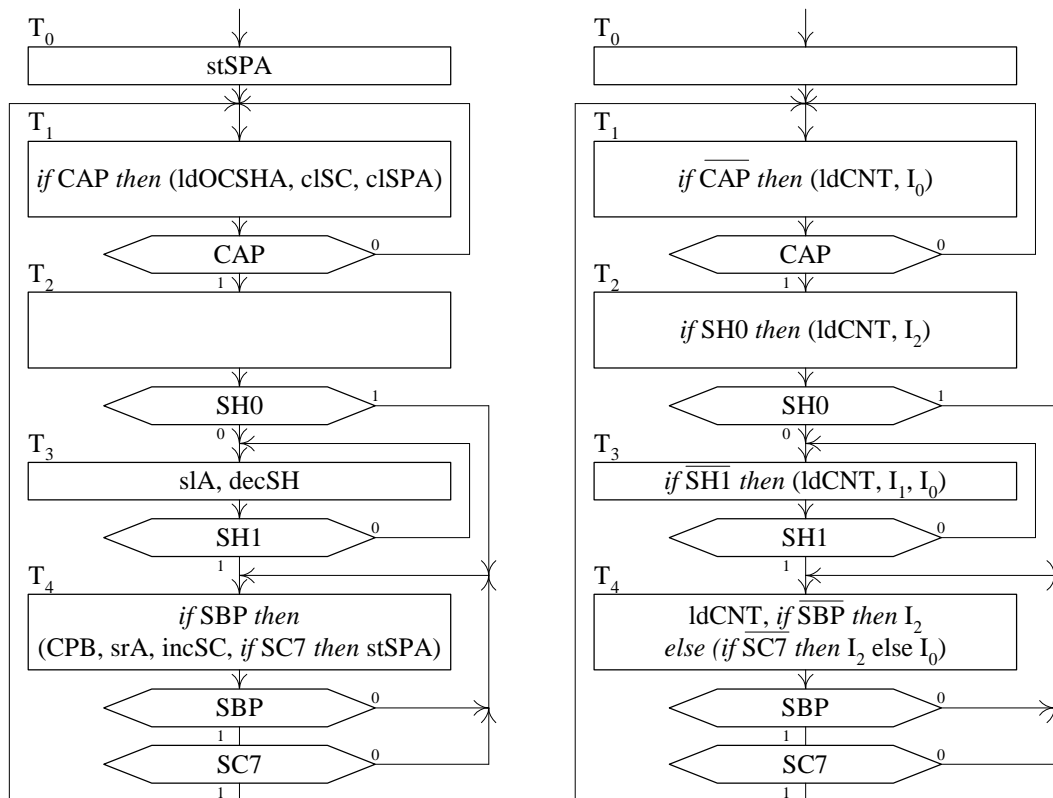
Регистар  $OC$  је 1-разредни регистри са паралелним уписом и читањем. У регистар  $OC$  се вредношћу 1 сигнала  $ldAOC$  уписује 1-битна бинарна реч која по линији  $DAP_0$  долази из уређаја  $UA$ . Вредностима 0 и 1 овог регистра се одређује да ли треба да се реализује операција аритметичког померања улево или операција ротирања улево, респективно.

Мултиплексер  $MP$  служи да се вредностима 0 или 1 сигнала  $OC$  на линију  $IL$  регистра  $A_{7..0}$  пропусти вредност 0 или  $A_7$ , респективно.

Бројач  $SC_{2..0}$  је 3-разредни инкрементирајући бројач. Вредношћу један сигнала  $clSC$  на почетку серијског слања 8 битова регистра  $A_{7..0}$  из разреда  $A_0$  по линији  $DPB$  уређају  $UP$  врши се уписивање вредности нула у бројач  $SC_{2..0}$ , док се вредношћу 1 сигнала  $incSC$  врши његово инкрементирање после слања сваког од 8 битова. Уколико садржај бројача  $SC_{2..0}$  има вредност 1, сигнал логичког услова  $SC7$  добија вредност 1. Вредност 1 сигнала  $SC7$  је индикација да су битови 0 до 7 регистра  $A_{7..0}$  послати серијски по линији  $DPB$  уређају  $UB$ .

У флип-флоп  $SPA$  се вредношћу 1 управљачког сигнала  $stSPA$  уређаја  $P$  уписује вредност 1 онда када је уређај  $P$  спреман да прими садржај са линија  $DAP_{7..0}$ , а управљачким сигналом  $clSPA$  уређаја  $P$  вредност 0, онда када није спреман.

б) Дијаграми тока управљачких сигнала операционе и управљачке јединице приказани су на слици 17.6.



Слика 17.6 Дијаграми тока управљачких сигнал операционе и управљачке јединице

У корацима  $T_0$  и  $T_1$  се паралелно примају три бинарне речи на исти начин како се то чини у задатку 1.8.

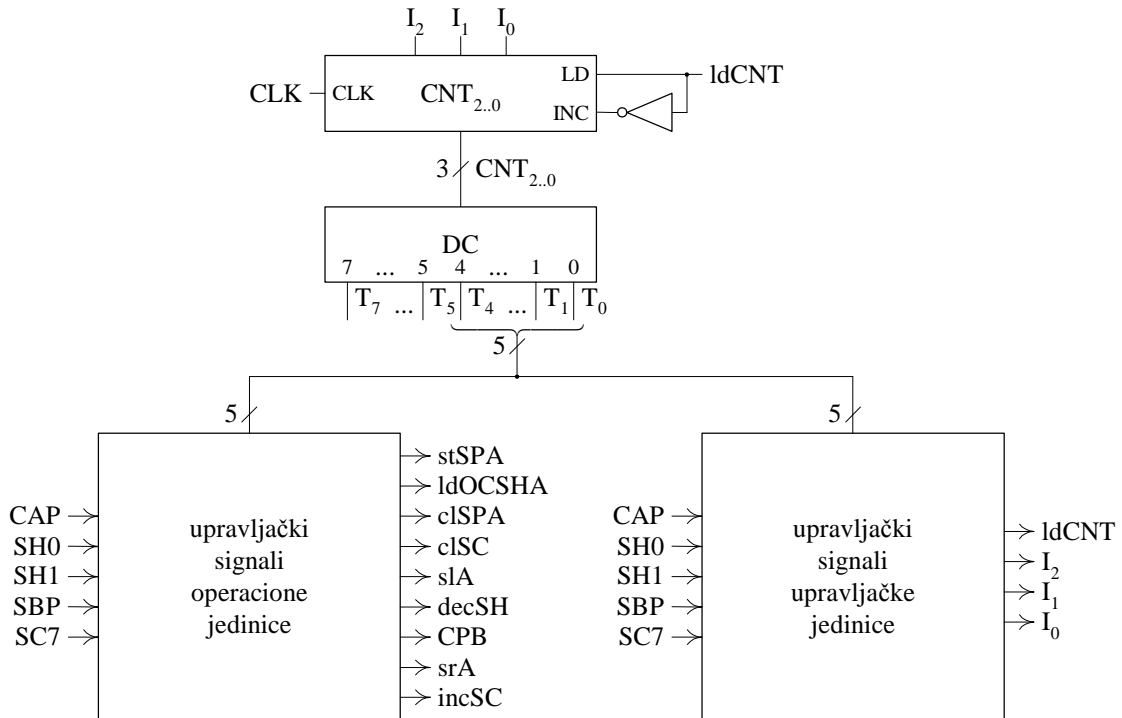
У кораку  $T_2$  се проверава вредност сигнала  $SH0$  и у зависности од тога да ли има вредност 0 или 1 прелази или на корак  $T_3$  и  $T_4$ , респективно.

У кораку  $T_3$  се вредностима 1 сигнала  $slA$  и  $decSH$  помера садржаја регистра  $A_{7..0}$  улево онолико пута колики је садржај регистра  $SH_{2..0}$  и декрементира се садржај бројачког регистра  $SH_{2..0}$ , респективно. Уколико садржај регистра  $SH_{2..0}$  има вредност 1, сигнал логичког услова  $SH1$  добија вредност 1. Вредност 1 сигнала  $SH1$  је индикација да је садржај регистра  $A_{7..0}$  померен онолико пута колики је то задато почетним садржајем регистра  $SH_{2..0}$ . Ово се може илустровати примером у коме садржај регистра  $SH_{2..0}$  има вредност 3. У првој итерацији се први пут помера садржај регистра  $A_{7..0}$  и декрементира садржај регистарског бројача  $SH_{2..0}$  са три на два, у другој итерацији се други пут помера садржај регистра  $A_{7..0}$  и декрементира садржај регистарског бројача

SH<sub>2..0</sub> са два на један и у трећој итерацији се трећи пут помера садржај регистра A<sub>7..0</sub> и декрементира садржај регистарског бројача SH<sub>2..0</sub> са један на нула. За време прве две итерације садржај бројачког регистра SH<sub>2..0</sub> је три и два, а за време треће итерације је један. Због тога сигнал SH1 има вредност 0 за време прве две итерације и 1 за време треће итерације.

У кораку T<sub>4</sub> се серијски шаље 8 битова бинарне речи из регистра A<sub>7..0</sub> на исти начин како се то чини у задатку 1.15.

в) Структурна шема управљачке јединице реализована помоћу бројача корака и декодера приказана је на слици 17.в.



Слика 17.в Структурна шема управљачке јединице

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$\text{stSPA} = T_0 + \text{SBP} \cdot \text{SC7} \cdot T_4$$

$$\text{IdOCSHA} = \text{CAP} \cdot T_1$$

$$\text{clSC} = \text{CAP} \cdot T_1$$

$$\text{clSPA} = \text{CAP} \cdot T_1$$

$$\text{slA} = T_3$$

$$\text{decSH} = T_3$$

$$\text{CPB} = \text{SBP} \cdot T_4$$

$$\text{srA} = \text{SBP} \cdot T_4$$

$$\text{incSC} = \text{SBP} \cdot T_4$$

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$\text{IdCNT} = \overline{\text{CAP}} \cdot T_1 + \overline{\text{SH0}} \cdot T_2 + \overline{\text{SH1}} \cdot T_3 + T_4$$

$$I_0 = \overline{\text{CAP}} \cdot T_1 + \overline{\text{SH1}} \cdot T_3 + \text{SBP} \cdot \text{SC7} \cdot T_4$$

$$I_1 = \overline{\text{SH1}} \cdot T_3$$

$$I_2 = \overline{\text{SH0}} \cdot T_2 + \overline{\text{SBP}} \cdot T_4 + \text{SBP} \cdot \overline{\text{SC7}} \cdot T_4$$

## 1.18 ПОМЕРАЊЕ УДЕСНО

Реализовати уређај Р за спрегу између уређаја UA и UB. Уређај Р треба да прими 13-битну бинарну реч од уређаја UA и то серијски бит по бит почев од најмлађег па редом до најстаријег бита. Најмлађи бит 13-битне бинарне речи означен је индексом 0 а најстарији индексом 12. Битови са индексима 12..5 представљају 8-битну бинарну реч коју треба коју треба вишеструко померати или ротирати удесно. Бити са индексима 4..2 представљају 3-битну бинарну целобројну величину без знака која одређује за колико места треба извршити померање или ротирање. Битови са индексима 1..0 представљају 2-битну бинарну реч која вредностима 00, 01, 10 и 11 одређује или да са 8-битном бинарном речи ништа не треба урадити или да треба реализовати операцију логичког померања удесно, операцију аритметичког померања удесно или операцију ротирања удесно, респективно. Добијену 8-битну бинарну реч после извршене операције уређај Р треба да преда паралелно уређају UB. Операције треба да се понављају циклично. Уређаји UA, Р и UB треба раде синхронно на исти сигнал такта.

Уређај UA шаље уређају Р по једнобитној линији податка DAP појединачно сваки од 13 битова бинарне речи. За синхронизацију између уређаја UA и Р приликом слања једног бита користе се статусни сигнал SPA и управљачки сигнал CAP. Вредностима 0 и 1 сигнала SPA уређај Р шаље уређају UA индикацију када не може и када може да прими један бит, респективно. Вредношћу 1 сигнала CAP, трајања једна периода сигнала такта, уређај UA шаље уређају Р команду да треба да прими један бит, при чему уређај UA то чини када утврди да уређај Р на статусној линији SPA држи вредност 1.

Уређај Р шаље уређају UB једну 8-битну бинарну реч резултата по линијама података DPB<sub>7..0</sub>, при чему је бит 7 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја Р и UB користе се статусни сигнал SBP и управљачки сигнал CPB. Вредностима 0 и 1 сигнала SBP уређај UB шаље уређају Р индикацију када не може и када може да прими 8-битну бинарну реч, респективно. Вредношћу 1 сигнала CPB, трајања једна периода сигнала такта, уређај Р шаље уређају UB команду да треба да прими 8-битну бинарну реч, при чему уређај Р то чини када утврди да уређај UB на статусној линији SBP држи вредност 1.

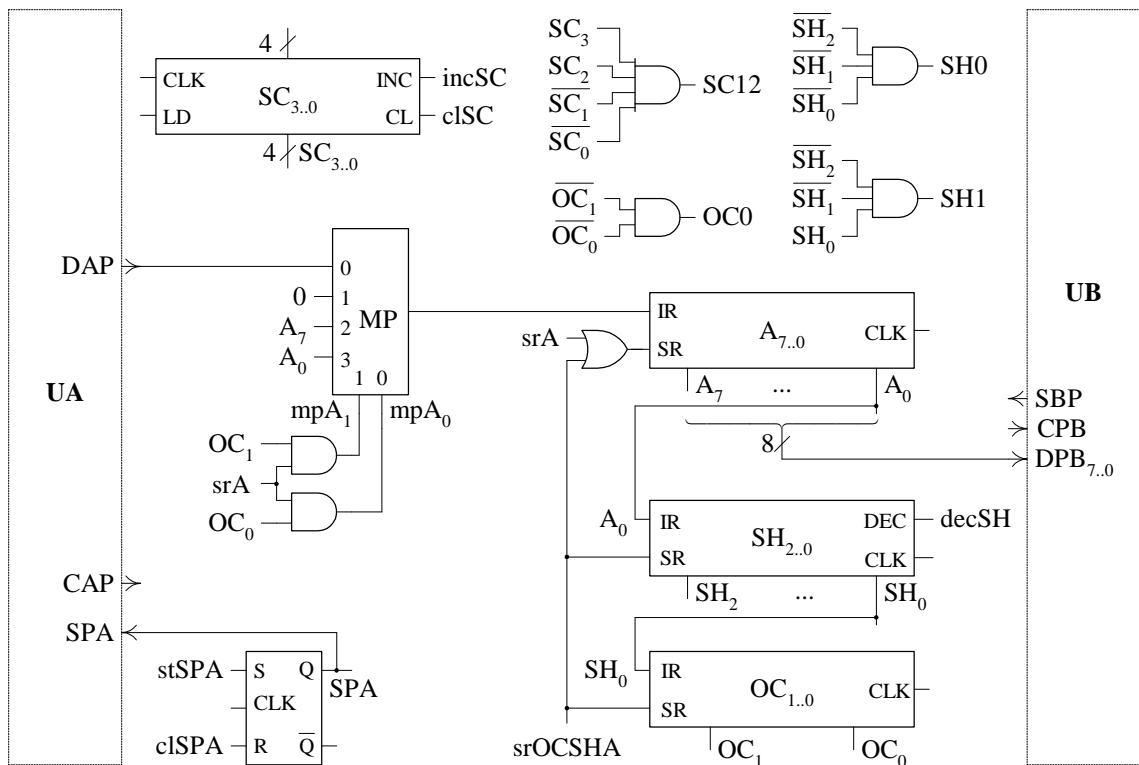
Претпоставити да су на почетку на статусним линијама SPA и SBP налазе вредности 0.

- а) Нацртати структурну шему операционе јединице уређаја Р.
- б) Нацртати дијаграме тока управљачких сигнала операционе јединице и управљачке јединице уређаја Р.
- в) Нацртати структурну шему управљачке јединице уређаја Р реализоване помоћу бројача корака и декодера и дати изразе за генерисање управљачких сигнала операционе јединице и управљачке јединице уређаја Р.

### Решење:

- а) Структурна шема операционе јединице приказана је на слици 18.а.

Операциона јединица садржи регистре A<sub>7..0</sub>, SH<sub>2..0</sub> и OC<sub>1..0</sub>, мултиплексер MP, бројач SC<sub>3..0</sub> и флип-флоп SPA.



Слика 18.а Структурна шема операционе јединице

Регистар  $A_{7..0}$  је 8-разредни померачки регистар са серијским уписом и паралелним и серијским читањем. Регистар служи  $A_{7..0}$  за смештање 8-битне бинарне речи коју треба вишеструко померати или ротирати у десно. Регистар  $SH_{2..0}$  је 3-разредни декрементирајући бројачки регистар са серијским уписом и паралелним и серијским читањем. Регистар служи  $SH_{2..0}$  за смештање 3-битне бинарне која одређује за колико места треба извршити померање или ротирање бинарне речи из регистра  $A_{7..0}$ . Регистар  $OC_{1..0}$  је 2-разредни регистар са серијским уписом и паралелним читањем. Регистар  $OC_{1..0}$  служи за смештање 2-битне бинарне речи која одређује коју од четири операције треба реализовати са бинарном речи из регистра  $A_{7..0}$ .

Уређај Р прима 13-битну бинарну реч од уређаја UA по линији DAP серијски бит по бит почев од најмлађег па редом до најстаријег бита, при чему је најмлађи бит означен индексом 0 а најстарији индексом 12. Битови са индексима 1..0 представљају 2-битну бинарну реч коју треба сместити у регистар  $OC_{1..0}$ , битови са индексима 4..2 представљају 3-битну бинарну целобројну величину без знака коју треба сместити у регистар  $SH_{2..0}$  и битови са индексима 12..5 представљају 8-битну бинарну реч која се смешта у регистар  $A_{7..0}$ .

Битови 13-битне бинарне речи треба да се у 13 итерација серијски примају и уписују у регистре  $A_{7..0}$ ,  $SH_{2..0}$  и  $OC_{1..0}$ . Приликом серијског пријема 13-битне бинарне речи сигнал са линије DAP се вредностима 0 сигнала  $mpA_1$  и  $mpA_0$  пропушта на излаз мултиплексера MP. Излаз мултиплексера MP је везан на улаз IR регистра  $A_{7..0}$ , излаз  $A_0$  на улаз IR регистра  $SH_{2..0}$  и излаз  $SH_0$  на IR регистра  $OC_{1..0}$ . Стога се регистри  $A_{7..0}$ ,  $SH_{2..0}$  и  $OC_{1..0}$  понашају као 13-разредни регистар са серијским уписом у који се вредношћу 1 сигнала  $srOCSHA$  у 13 итерација уписује бит по бит 13-битна бинарна реч. После 13 периода сигнала такта у регистру  $A_{7..0}$  се налази 8 најстаријих битова 13-битне бинарне речи са индексима 12...5, у регистру  $SH_{2..0}$  3 средња бита 13-битне бинарне речи са индексима 4...2 и у регистру  $OC_{1..0}$  2 најмлађа бита 13-битне бинарне речи са индексима 1...0.

Мултиплексер МР је 1-разредни мултиплексер на чијем излазу се појављује вредност која треба по линији IR да се упише у  $A_7$ . То је вредност са линије DAP приликом серијског уписа 13-битне бинарне речи и једна од вредности 0,  $A_7$  и  $A_0$  приликом реализације операције логичког померања, аритметичког померања и ротирања, респективно. Приликом серијског уписа 13-битне бинарне речи са линије DAP сигнал **srA** има вредност 0 па и сигнали **mpA<sub>1</sub>** и **mpA<sub>0</sub>** имају вредност 0. Тиме се на улаз IR регистра  $A_{7..0}$  пропушта DAP. Приликом реализације операције логичког померања, аритметичког померања и ротирања сигнал **srA** има вредност 1, па сигнали **mpA<sub>1</sub>** и **mpA<sub>0</sub>** добијају вредности сигнала **OC<sub>1</sub>** и **OC<sub>0</sub>**. Тиме се на улаз улаз IR регистра  $A_{7..0}$  вредностима 01, 10 и 11 сигнала **OC<sub>1</sub>** и **OC<sub>0</sub>** пропушта једна од вредности 0,  $A_7$  и  $A_0$  неопходна за реализацију операције логичког померања, аритметичког померања и ротирања, респективно.

Вредношћу 1 сигнала **srA** се садржај регистра  $A_{7..0}$  помера удесно, при чему се по линији IR у  $A_7$  уписује вредност са излаза мултиплексера МР. Садржај са излаза регистра  $A_{7..0}$  се паралелно по линијама  $DPB_{7..0}$  води у уређај UB.

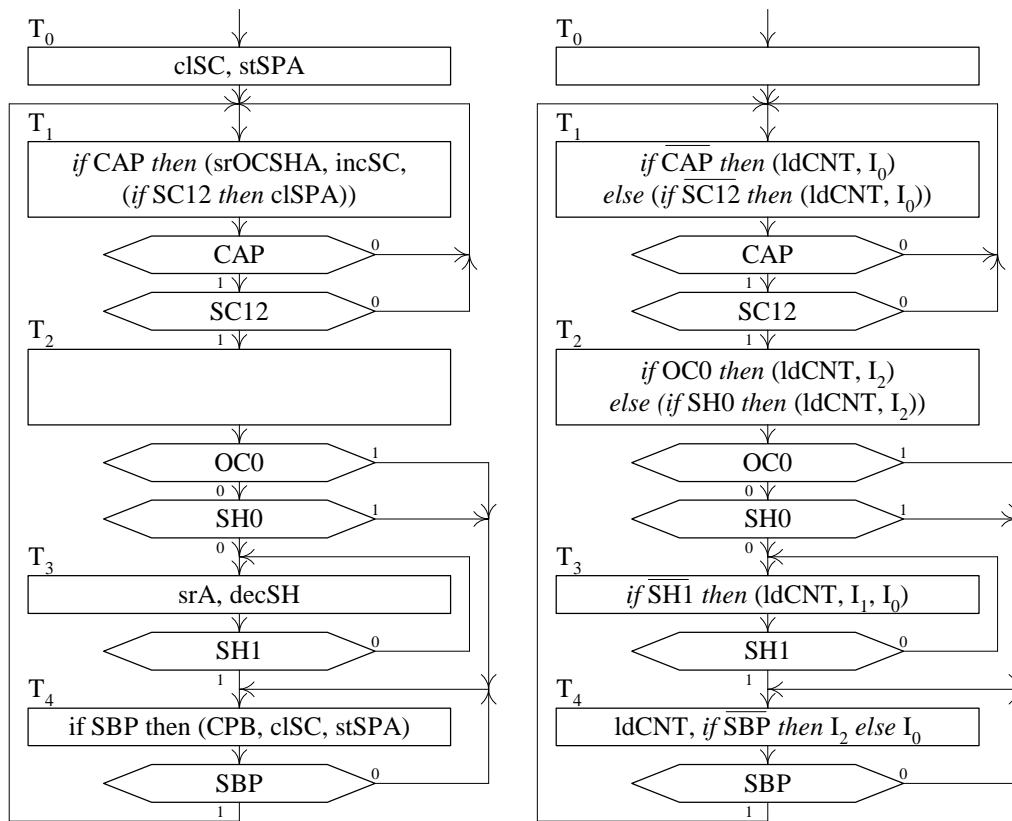
Регистар  $SH_{2..0}$  је 3-разредни декрементирајући бројачки регистар са серијским уписом и паралелним и серијским читањем. Вредностима 0 до 7 овог регистра се одређује за колико места удесно треба померити садржај регистра  $A_{7..0}$ . Уколико садржај регистра  $SH_{2..0}$  има вредност 0, сигнал логичког услова **SH0** добија вредност 1. Вредност 1 сигнала **SH0** је индикација да нема потребе померати садржај регистра  $A_{7..0}$ . Уколико садржај регистра  $SH_{2..0}$  има вредност различиту од 0, помера се садржај регистра  $A_{7..0}$  онолико пута колико је то одређено садржајем регистра  $SH_{2..0}$ . Приликом сваког померања садржаја регистра  $A_{7..0}$  вредношћу 1 сигнала **decSH** се декрементира садржај бројачког регистра  $SH_{2..0}$ . Уколико садржај регистра  $SH_{2..0}$  има вредност 1, сигнал логичког услова **SH1** добија вредност 1. Вредност 1 сигнала **SH1** је индикација да је садржај регистра  $A_{7..0}$  померен онолико пута колико је то задато почетним садржајем регистра  $SH_{2..0}$ .

Регистар  $OC_{1..0}$  је 2-разредни регистар са серијским уписом и паралелним читањем. Вредностима 00 до 11 овог регистра се одређује да са 8-битном бинарном речи у регистру  $A_{7..0}$  ништа не треба урадити или да треба реализовати операцију логичког померања удесно, операцију аритметичког померања удесно или операцију ротирања удесно, респективно. Уколико садржај регистра  $OC_{1..0}$  има вредност 0, сигнал логичког услова **OC0** добија вредност 1. Вредност 1 сигнала **OC0** је индикација да не треба ништа радити са садржајем регистра  $A_{7..0}$ .

Бројач  $SC_{3..0}$  је 4-разредни инкрементирајући бројач. Вредношћу 1 сигнала **clSC** се на почетку серијског примања 13 битова бинарне речи по линији DAP од уређаја UA врши уписивање вредности нула у бројач  $SC_{2..0}$ , док се вредношћу 1 сигнала **incSC** врши његово инкрементирање приликом пријема сваког од 13 битова. Уколико садржај бројача  $SC_{3..0}$  има вредност 12, сигнал логичког услова **SC12** добија вредност 1. Вредност 1 сигнала **SC12** је индикација су битови 13-битне бинарне речи у 13 итерација серијски примљени и уписани у регистре  $A_{7..0}$ ,  $SH_{2..0}$  и  $OC_{1..0}$ .

У флип-флоп SPA се вредношћу 1 управљачког сигнала **stSPA** уписује вредност 1 онда када је уређај P спреман да прими бит са линије DAP, а управљачким сигналом **clSPA** вредност 0, онда када није спреман.

б) Дијаграми тока управљачких сигнала операционе и управљачке јединице приказани су на слици 18.б



Слика 18.6 Дијаграми тока управљачких сигнала операционе и управљачке јединице

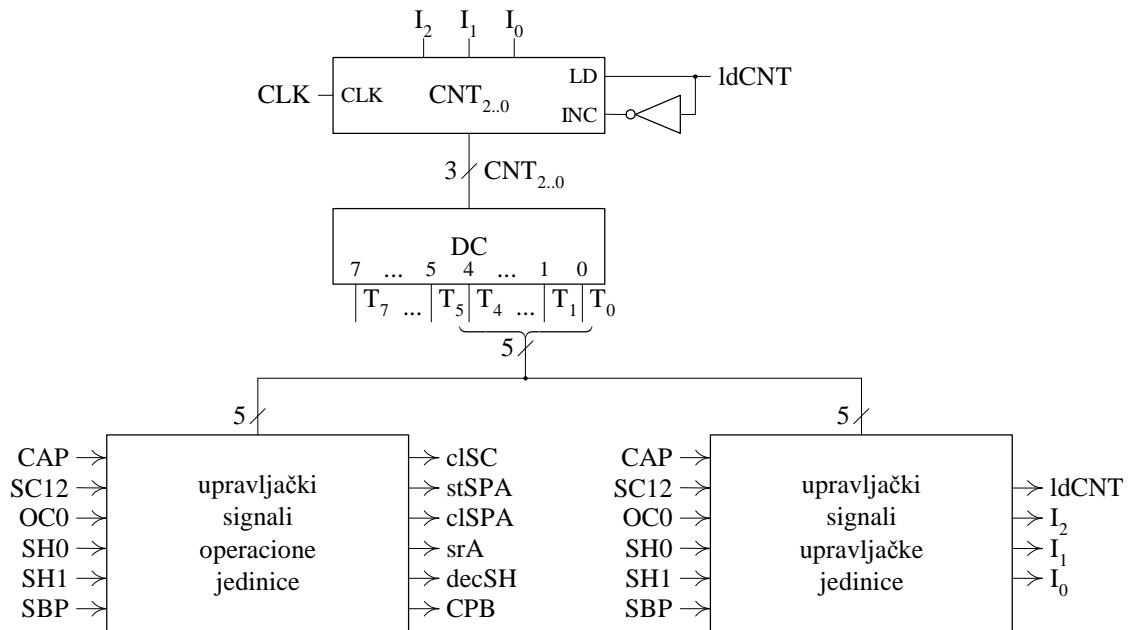
У корацима  $T_0$  и  $T_1$  се серијски примају битови 13-битне бинарне речи на исти начин како се то чини у задатку 1.16.

У кораку  $T_2$  се проверавају вредности сигнала **OC0** и **SH0** и уколико оба сигнала имају вредност 0 прелази на корак  $T_3$ , док се у супротном случају прелази на корак  $T_4$ .

У кораку  $T_3$  се вредностима 1 сигнала **srA** и **decSH** помера садржаја регистра  $A_{7..0}$  удесно онолико пута колики је садржај регистра  $SH_{2..0}$  и декрементира се садржај бројачког регистра  $SH_{2..0}$ , респективно. Уколико садржај регистра  $SH_{2..0}$  има вредност 1, сигнал логичког услова **SH1** добија вредност 1. Вредност 1 сигнала **SH1** је индикација да је садржај регистра  $A_{7..0}$  померен онолико пута колики је то задато почетним садржајем регистра  $SH_{2..0}$ . Ово се може илустровати примером у коме садржај регистра  $SH_{2..0}$  има вредност 3. У првој итерацији се први пут помера садржај регистра  $A_{7..0}$  и декрементира садржај регистарског бројача  $SH_{2..0}$  са три на два, у другој итерацији се други пут помера садржај регистра  $A_{7..0}$  и декрементира садржај регистарског бројача  $SH_{2..0}$  са два на један и у трећој итерацији се трећи пут помера садржај регистра  $A_{7..0}$  и декрементира садржај регистарског бројача  $SH_{2..0}$  са један на нула. За време прве две итерације садржај бројачког регистра  $SH_{2..0}$  је три и два, а за време треће итерације је један. Због тога сигнал **SH1** има вредност 0 за време прве две итерације и 1 за време треће итерације.

У кораку  $T_4$  се паралелно шаље 8-битна бинарна речи из регистра  $A_{7..0}$  на исти начин како се то чини у задатку 1.8.

в) Структурна шема управљачке јединице реализована помоћу бројача корака и декодера приказана је на слици 18.в.



Слика 18.в Структурна шема управљачке јединице

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$\mathbf{clSC} = T_0 + \mathbf{SBP} \cdot T_4$$

$$\mathbf{stSPA} = T_0 + \mathbf{SBP} \cdot T_4$$

$$\mathbf{srOCSHA} = \mathbf{CAP} \cdot T_1$$

$$\mathbf{incSC} = \mathbf{CAP} \cdot T_1$$

$$\mathbf{clSPA} = \mathbf{CAP} \cdot \mathbf{SC12} \cdot T_1$$

$$\mathbf{srA} = T_3$$

$$\mathbf{decSH} = T_3$$

$$\mathbf{CPB} = \mathbf{SBP} \cdot T_4$$

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$\mathbf{IdCNT} = \overline{\mathbf{CAP}} \cdot T_1 + \mathbf{CAP} \cdot \overline{\mathbf{SC12}} \cdot T_1 + \overline{\mathbf{OC0}} \cdot T_2 + \overline{\mathbf{OC0}} \cdot \mathbf{SH0} \cdot T_2 + \overline{\mathbf{SH1}} \cdot T_3 + T_4$$

$$\mathbf{I_0} = \overline{\mathbf{CAP}} \cdot T_1 + \mathbf{CAP} \cdot \overline{\mathbf{SC12}} \cdot T_1 + \overline{\mathbf{SH1}} \cdot T_3 + \mathbf{SBP} \cdot T_4$$

$$\mathbf{I_1} = \overline{\mathbf{SH1}} \cdot T_3$$

$$\mathbf{I_2} = \overline{\mathbf{OC0}} \cdot T_2 + \overline{\mathbf{OC0}} \cdot \mathbf{SH0} \cdot T_2 + \overline{\mathbf{SBP}} \cdot T_4$$



## 1.19 ГЕНЕРИСАЊЕ БИТА ПАРНОСТИ

Реализовати уређај Р за спрегу између два уређаја UA и UB. Уређај Р треба да обавља операцију генерисања бита парне парности 8-битне бинарне речи. Уређај Р треба паралелно да прими од уређаја UA и смести у регистар  $A_{7..0}$  8-битну бинарну реч за коју треба да генерише бит парности. Бит парне парности треба да се генерише на основу садржаја регистра  $A_{7..0}$  и смести у једноразредни регистар генерисаног бита парности GBP тако да укупан број јединица у регистрима  $A_{7..0}$  и GBP буде паран. На пример ако је  $A_{7..0} = 10110001b$  тада је  $GBP = 0$  и ако је  $A_{7..0} = 10110101b$  тада је  $GBP = 1$ . Уређај Р треба да 9-битну бинарну реч, у којој је првих осам битова из регистра  $A_{7..0}$  и задњи девети бит из регистра GBP, пошаље серијски бит по бит, од најмлађег до најстаријег, уређају UB. У регистру  $A_{7..0}$  најмлађи бит је у разреду означеном са 0 а најстарији бит у разреду означеном са 7. По завршетку серијског преноса 9 битова бинарне речи уређај Р треба да прими од уређаја UB потврду да ли је пренос успешно или неуспешно обављен. У зависности од тога да ли је пренос успешно или неуспешно реализован, уређај UB шаље уређају Р једнобитну бинарну реч са вредностима 0 или 1, респективно. Уколико је пренос успешно обављен, уређај Р треба да пређе на пријем нове 8-битне бинарне речи од уређаја UA, док у случају неуспешног пријема уређај Р треба уређају UB да понови серијски пренос 9 битова неуспешно послате бинарне речи. Операција треба да се понавља циклично. Уређаји UA, Р и UB треба раде синхроно на исти сигнал такта.

Уређај UA шаље уређају Р 8-битну бинарну реч по линијама података  $DAP_{7..0}$ , при чему је бит 7 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја UA и Р користе се статусни сигнал SPA и управљачки сигнал CAP. Вредностима 0 и 1 сигнала SPA уређај Р шаље уређају UA индикацију када не може и када може да прими 8-битну бинарну реч, респективно. Вредношћу 1 сигнала CAP, трајања једна периода сигнала такта, уређај UA шаље уређају Р команду да треба да прими 8-битну бинарну реч, при чему уређај UA то чини када утврди да уређај Р на статусној линији SPA држи вредност 1.

Уређај Р шаље уређају UB по једнобитној линији податка DPB појединачно сваки од 9 битова бинарне речи. За синхронизацију између уређаја Р и UB приликом слања једног бита користе се статусни сигнал SBP и управљачки сигнал CPB. Вредностима 0 и 1 сигнала SBP уређај UB шаље уређају Р индикацију када не може и када може да прими један бит, респективно. Вредношћу 1 сигнала CPB, трајања једна периода сигнала такта, уређај Р шаље уређају UB команду да треба да прими један бит, при чему уређај Р то чини када утврди да уређај UB на статусној линији SBP држи вредност 1.

Уређај UB шаље уређају Р 1-битну бинарну реч по линији податка DBP. За синхронизацију између уређаја UB и Р користе се статусни сигнал SPB и управљачки сигнал CBP. Вредностима 0 и 1 сигнала SPB уређај Р шаље уређају UB индикацију када не може и када може да прими 1-битну бинарну реч, респективно. Вредношћу 1 сигнала CBP, трајања једна периода сигнала такта, уређај UB шаље уређају Р команду да треба да прими 1-битну бинарну реч, при чему уређај UB то чини када утврди да уређају Р на статусној линији SPB држи вредност 1.

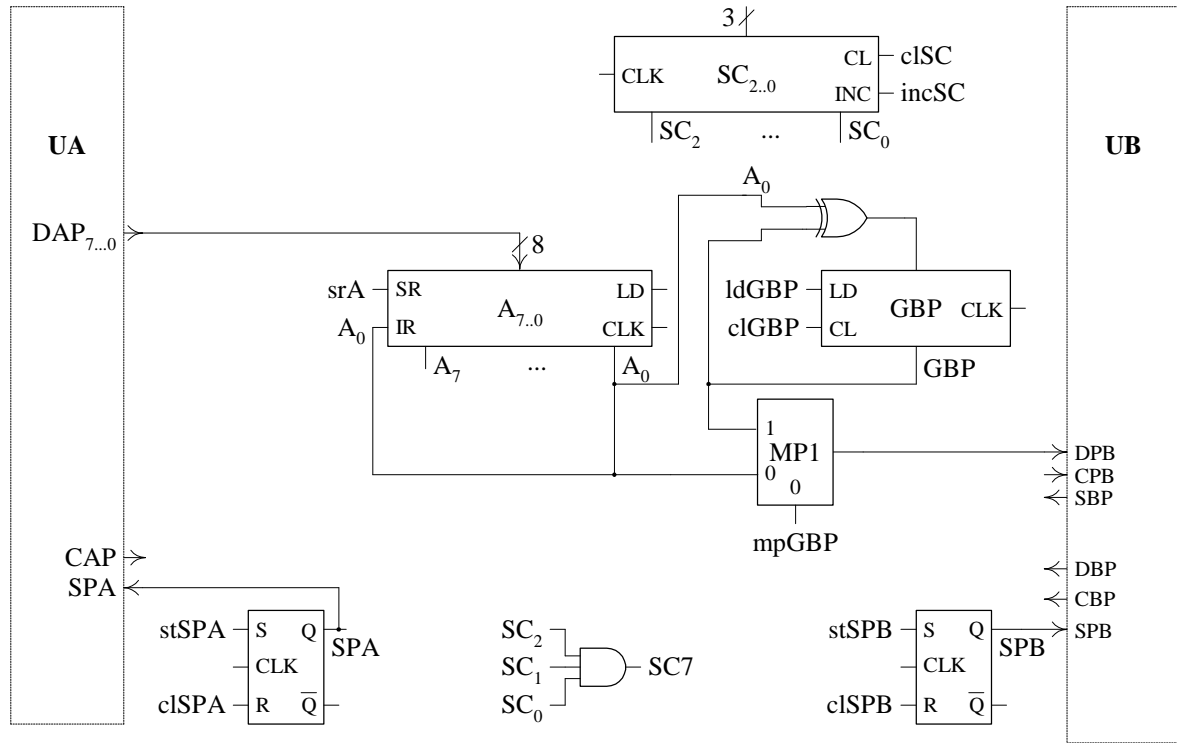
Претпоставити да су на почетку на статусним линијама SPA, SBP и SPB налазе вредности 0.

- а) Нацртати структурну шему операционе јединице уређаја Р.
- б) Нацртати дијаграме тока управљачких сигнала операционе јединице и управљачке јединице уређаја Р.

в) Нацртати структурну шему управљачке јединице уређаја Р реализоване помоћу бројача корака и декодера и дати изразе за генерисање управљачких сигнала операционе јединице и управљачке јединице уређаја Р.

**Решење:**

а) Структурна шема операционе јединице приказана је на слици 19.а.



Слика 19.а Структурна шема операционе јединице

Операциона јединица садржи регистар A<sub>7..0</sub>, регистар GBP са ексклузивно ИЛИ колом, мултиплексер MP1, бројач SC<sub>2..0</sub> и флип-флопове SPA и SPB.

Регистар A<sub>7..0</sub> је 8-разредни регистри са паралелним уписом и серијским уписом и читањем. У регистар A<sub>7..0</sub> се вредношћу 1 сигнала **ldA** паралелно уписује 8-битна бинарна реч која по линијама DAP<sub>7..0</sub> долази из уређаја UA. Битови 8-битне бинарне речи из регистра A<sub>7..0</sub> се пропуштају кроз мултиплексер MP1 и серијски по линији DPB шаљу уређају UB. Приликом серијског слања 8 битова бинарне речи из регистра A<sub>7..0</sub> у осам итерација се вредношћу 1 сигнала **srA** врши померање удесно садржаја регистра A<sub>7..0</sub> тако да се у разреду A<sub>0</sub> појављују редом битови 0 до 7 бинарне речи. Поред тога, вредношћу 0 сигнала **mpGBP** кроз мултиплексер MP1 се на линију DPB пропушта разред A<sub>0</sub>, па се померањем удесно садржаја регистра A<sub>7..0</sub> битови 0 до 7 бинарне речи из регистра A<sub>7..0</sub> појављују на линији DPB. Да би се сачувао садржај регистра A<sub>7..0</sub> за евентуално поновно слање уређају UB, разред A<sub>0</sub> је везан на улаз IR, па се померањем садржаја регистра A<sub>7..0</sub> удесно врши његово ротирање.

Једноразредни регистар генерисаног бита парности GBP са ексклузивно ИЛИ колом служи да се у осам итерација приликом серијског слања битова бинарне речи ротирањем удесно садржаја регистра A<sub>7..0</sub> на основу битова 0 до 7 који се бит по бит појављују у разреду A<sub>0</sub> генерише и упамти бит парности. На почетку се вредношћу 1 сигнала **clGBP** регистар GBP брише. Током прве итерације ексклузивно ИЛИ коло на основу вредности регистра GBP, која је на почетку 0, и разреда A<sub>0</sub>, у коме је бит 0 бинарне речи, генерише бит парности који се вредношћу 1 сигнала **ldGBP** уписује у

регистар **GBP**. Током прве итерације се вредношћу 1 сигнала **srA** врши и ротирање садржаја регистра  $A_{7..0}$ , па се у разреду  $A_0$  појављује бит 1 бинарне речи. Током друге итерације ексклузивно ИЛИ коло на основу вредности регистра **GBP**, у коме је вредност бита парности генерисана у првој итерацији, и разреда  $A_0$ , у коме је бит 1 бинарне речи, генерише вредност бита парности која се вредношћу 1 сигнала **ldGBP** уписује у регистар **GBP**. Током друге итерације се вредношћу 1 сигнала **srA** врши и ротирање садржаја регистра  $A_{7..0}$ , па се у разреду  $A_0$  појављује бит 2 бинарне речи. На сличан начин се током преосталих 6 итерација на основу вредности регистра **GBP**, у коме је вредност бита парности генерисана у претходним итерацијама, и разреда  $A_0$ , у коме су редом битови 2 до 7 бинарне речи, генеришу вредности бита парности које се вредношћу 1 сигнала **ldGBP** уписују у регистар **GBP**. Вредност регистра **GBP** после осме итерације представља тражени генерисани бит парности. Вредност регистра **GBP** ће бит 1 уколико је у разредима 0 до 7 регистра  $A_{7..0}$  непаран број јединица и 0 уколико је њихов број паран. После осам итерација у оквиру којих се по линији **DPB** уређају **UB** шаљу битови 0 до 7 бинарне речи из регистра  $A_{7..0}$ , по линији **DPB** се уређају **UB** шаље и генерисани бит парности из једноразредног регистра **GBP**, тако што се вредношћу 1 сигнала **mpGBP** кроз мултиплексер **MP1** на линију **DPB** пропушта садржај једноразредног регистра **GBP**.

Мултиплексер **MP1**, чији је излаз везан на линију **DPB**, служи за селекцију садржаја који се серијски шаље уређају **UB**. Вредностима 0 и 1 сигнала **mpGBP** кроз мултиплексер **MP1** се пропуштају или битови 0 до 7 бинарне речи регистра  $A_{7..0}$  који се ротирањем садржаја регистра појављују у разреду  $A_0$  или генерисани бит парности из регистра **GBP**.

Бројач  $SC_{2..0}$  је 3-разредни инкрементирајући бројач који се користи за одбројавање осам итерација приликом приликом серијског слања 8 битова бинарне речи из регистра  $A_{7..0}$  уређају **UB** и итеративног генерисања бита парности у регистру **GBP**. Вредношћу 1 сигнала **clSC** се на почетку бројач  $SC_{2..0}$  брише, док се вредношћу 1 сигнала **incSC** врши његово инкрементирање у свакој од осам итерација. Уколико садржај бројача  $SC_{2..0}$  има вредност 7, сигнал логичког услова **SC7** добија вредност 1. Вредност 1 сигнала **SC7** је индикација да су битова 0 до 7 бинарне речи из регистра  $A_{7..0}$  послати уређају **UB** и да је на основу ових битова генерисан бит парности у једноразредном регистру **GBP**.

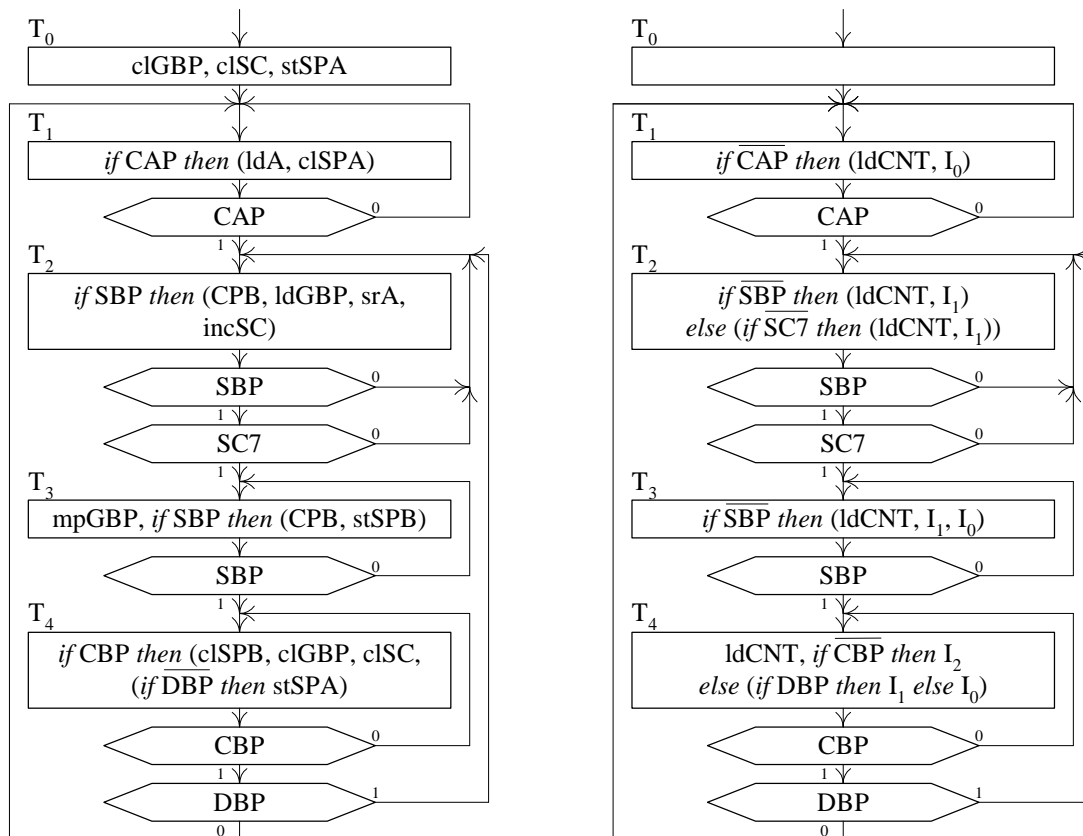
У флип-флоп **SPA** се вредношћу 1 управљачког сигнала **stSPA** уписује вредност 1 онда када је уређај **P** спреман да прими садржај са линија  $DAP_{7..0}$ , а управљачким сигналом **clSPA** вредност 0, онда када није спреман.

У флип-флоп **SPB** се вредношћу 1 управљачког сигнала **stSPB** уписује вредност 1 онда када је уређај **P** спреман да прими садржај са линије **DBP**, а управљачким сигналом **clSPB** вредност 0, онда када није спреман.

б) Дијаграми тока управљачких сигнала операционе и управљачке јединице приказани су на слици 19.б.

У кораку  $T_0$  се вредностима 1 сигнала **clGBP** и **clSC** једноразредни регистар **GBP** се поставља на вредност 0 и бројач  $SC_{2..0}$  брише. Поред тога вредношћу 1 сигнала **stSPA** у флип-флоп **SPA** се уписује вредност 1, чиме уређај **P** сигнализира уређају **UA** да је спреман да прими 8-битну бинарну реч са линија  $DAP_{7..0}$ .

У кораку  $T_1$  се паралелно прима 8-битна бинарна реч на исти начин како се то чини у задатку 1.8. Поред тога вредношћу 1 сигнала **clSPA** у флип-флоп **SPA** се уписује вредност 0, чиме уређај **P** сигнализира уређају **UA** да до даљег није спреман да прими 8-битну бинарну реч са линија  $DAP_{7..0}$ .



Слика 19.6 Дијаграми тока управљачких сигнал операционе и управљачке јединице

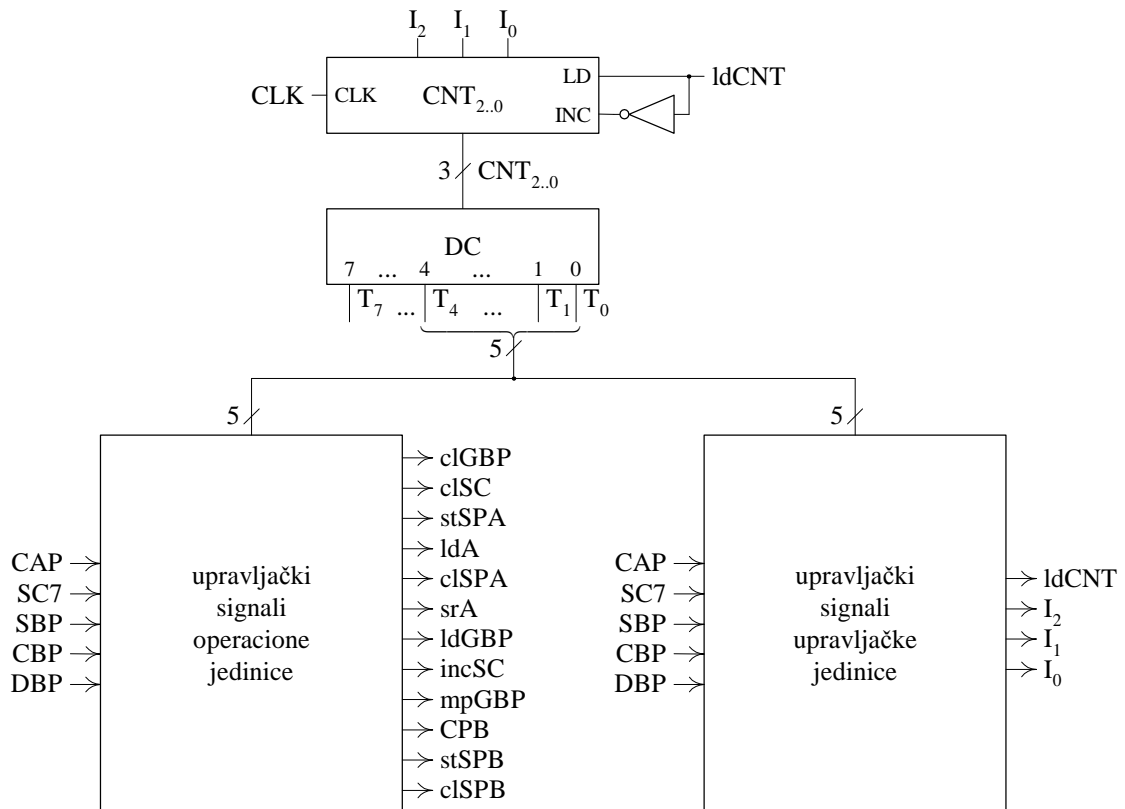
У кораку  $T_2$  се вредностима 1 сигнала **CPB** и **srA** серијски у осам итерација шаље 8 битова бинарне речи из разреда  $A_0$  регистра  $A_{7..0}$  на исти начин како се то чини у задатку 1.15. При томе се вредношћу 0 сигнала **mpGBP** кроз мултиплексер MP1 на линију DPB пропушта садржај разреда  $A_0$  регистра  $A_{7..0}$  у коме се померањем удесно садржаја регистра  $A_{7..0}$  у итерацијама 1 до 8 појављују битови 0 до 7 бинарне речи, респективно. Поред тога у кораку  $T_2$  се итеративно у осам итерација генерише бит парности који се вредношћу 1 сигнала **ldGBP** уписује у једноразредни регистар GBP. Вредношћу 1 сигнала **incSC** врши се инкрементирање бројача  $SC_{2..0}$ .

У кораку  $T_3$  се шаље генерисани бит парности из регистра GBP на исти начин како се то чини у кораку  $T_2$  приликом слања једног бита 8-битне бинарне речи из разреда  $A_0$ . При томе се вредношћу 1 сигнала **mpGBP** кроз мултиплексер MP1 на линију DPB пропушта садржај једноразредног регистра GBP. Када сигнал **SBP** постане 1, генеришу се вредности 1 сигнала **CPB** и **stSPB**. Вредношћу 1 сигнала **CPB** се омогућава да на први следећи сигнал такта уређај UB упише генерисани бит парности са линије податка DPB у неки свој прихватни регистар, док се вредношћу 1 сигнала **stSPB** у флип-флоп SPB уписује вредност 1. Уписивањем вредности 1 у флип-флоп SPB уређај P сигнализира уређају UB да је сада спреман да од уређаја UB прими бит податка са линије податка DBP.

У кораку  $T_4$  се остаје све време док сигнал **CBP** има вредност 0. Поред тога, све време док сигнал **CBP** има вредност 0 и сигнали **clSPB**, **clGBP**, **clSC** и **stSPA** имају вредност 0. Вредношћу 1 сигнала **CBP** трајања једна периода сигнала такта, уређај UB сигнализира уређају P да се на линији податка DBP налази важећи бит податка. Вредностима 1 и 0 сигнала на линији податка DBP уређај UB шаље уређају P потврду да је серијски пренос 8 битова бинарне речи у кораку  $T_2$  и генерисаног бита парности у кораку  $T_3$  неуспешно или успешно обављен, респективно. Уколико је пренос неуспешно

обављен, уређај P треба да пређе на корак  $T_2$  и да уређају UB понови серијски пренос 8 битова бинарне речи у кораку  $T_2$  и генерисаног бита парности у кораку  $T_3$ , док у случају да је пренос успешно обављен пређе на корак  $T_1$  и пријем нове 8-битне бинарне речи од уређаја UA. При вредности 1 сигнала **CBP** генеришу се вредности 1 сигнала **clSPB**, **clGBP** и **clSC** којима се уписује вредност 0 у флип-флоп **SPB** и једноразредни регистар **GBP**, а бројач  $SC_{2..0}$  брише. Уписивањем вредности 0 у флип-флоп **SPB** уређај P сигнализира уређају UB да до даљег није спреман да од уређаја UB прими бит податка по линији податка **DBP**. Уписивањем вредности 0 у једноразредни регистар **GBP** и брисањем бројача  $SC_{2..0}$  уређај P постаје спреман на генерисање бита парности и одбројавање битова 0 до 7 бинарне речи који се из регистра  $A_{7..0}$  шаљу уређају UB у кораку  $T_2$  и то и у случају да сигнал **DBP** има вредност 1, па треба поново уређају UB слати 8-битну бинарну реч и генерисани бит парности, и у случају да сигнал **DBP** има вредност 0, па треба од уређаја UA прво примити а затим уређају UB слати следећу 8-битну бинарну реч и генерисани бит парности. Уколико сигнал на линији податка **DBP** има вредност 0 генерише се вредност 1 сигнала **stSPA**. Вредношћу 1 сигнала **stSPA** флип-флоп **SPA** се поставља на вредност 1. Уписивањем вредности 1 у флип-флоп **SPA** уређај P сигнализира уређају UA да је спреман да прими следећу 8-битну бинарну реч по линијама података  $DAP_{7..0}$ .

в) Структурна шема управљачке јединице реализована помоћу бројача корака и декодера приказана је на слици 19.в.



Слика 19.в Структурна шема управљачке јединице

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$clGBP = T_0 + CBP \cdot T_4$$

$$clSC = T_0 + CBP \cdot T_4$$

$$stSPA = T_0 + CBP \cdot \overline{DBP} \cdot T_4$$

$$ldA = CAP \cdot T_1$$

$$clSPA = CAP \cdot T_1$$

$$\text{CPB} = \text{SBP} \cdot \text{T}_2 + \text{SBP} \cdot \text{T}_3$$

$$\text{ldGBP} = \text{SBP} \cdot \text{T}_2$$

$$\text{srA} = \text{SBP} \cdot \text{T}_2$$

$$\text{incSC} = \text{SBP} \cdot \text{T}_2$$

$$\text{mpGBP} = \text{T}_3$$

$$\text{stSPB} = \text{SBP} \cdot \text{T}_3$$

$$\text{clSPB} = \text{CBP} \cdot \text{T}_4$$

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$\text{ldCNT} = \overline{\text{CAP}} \cdot \text{T}_1 + \overline{\text{SBP}} \cdot \text{T}_2 + \overline{\text{SBP}} \cdot \overline{\text{SC7}} \cdot \text{T}_2 + \overline{\text{SBP}} \cdot \text{T}_3 + \text{T}_4$$

$$\text{I}_0 = \overline{\text{CAP}} \cdot \text{T}_1 + \overline{\text{SBP}} \cdot \text{T}_3 + \text{CBP} \cdot \overline{\text{DBP}} \cdot \text{T}_4$$

$$\text{I}_1 = \overline{\text{SBP}} \cdot \text{T}_2 + \overline{\text{SBP}} \cdot \overline{\text{SC7}} \cdot \text{T}_2 + \overline{\text{SBP}} \cdot \text{T}_3 + \text{CBP} \cdot \text{DBP} \cdot \text{T}_4$$

$$\text{I}_2 = \overline{\text{CBP}} \cdot \text{T}_4$$

## 1.20 ПРОВЕРА БИТА ПАРНОСТИ

Реализовати уређај Р за спрегу између уређаја UA и UB. Уређај Р треба да прими 9-битну бинарну реч од уређаја UA и то серијски бит по бит почев од најмлађег па редом до најстаријег бита. Најмлађи бит 9-битне бинарне речи означен је индексом 0 а најстарији индексом 8. Битови са индексима 7..0 представљају 8-битну бинарну реч коју уређај Р треба да преда паралелно уређају UB уколико је пренос 9-битне бинарне речи успешно реализован. Бит са индексом 8 представља бит парности. Пренос 9-битне бинарне речи је успешно реализован уколико је бит парности генерисан на основу примљене 8-битне бинарне речи исти као примљени бит парности, док је у супротном случају пренос неуспешно реализован. У зависности од тога да ли је пренос успешно или неуспешно реализован, уређај Р шаље уређају UA једнобитну бинарну реч са вредностима 0 или 1, респективно. Уколико је пренос успешно обављен, уређај Р треба најпре 8-битну бинарну реч да преда паралелно уређају UB и да пређе на серијски пријем нове 9-битне бинарне речи од уређаја UA, док у случају неуспешног преноса уређај Р треба да пређе на поновни серијски пријем 9-битне неуспешно примљене бинарне речи. Операција треба да се понавља циклично. Уређаји UA, Р и UB треба раде синхроно на исти сигнал такта.

Уређај UA шаље уређају Р по једнобитној линији податка DAP појединачно сваки од 9 битова. За синхронизацију између уређаја UA и Р приликом слања једног бита користе се статусни сигнал SPA и управљачки сигнал CAP. Вредностима 0 и 1 сигнала SPA уређај Р шаље уређају UA индикацију када не може и када може да прими један бит, респективно. Вредношћу 1 сигнала CAP, трајања једна периода сигнала такта, уређај UA шаље уређају Р команду да треба да прими један бит, при чему уређај UA то чини када утврди да уређај Р на статусној линији SPA држи вредност 1.

Уређај Р шаље уређају UB једну 8-битну бинарну реч по линијама података DPB<sub>7..0</sub>, при чему је бит 7 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја Р и UB користе се статусни сигнал SBP и управљачки сигнал SPB. Вредностима 0 и 1 сигнала SBP уређај UB шаље уређају Р индикацију када не може и када може да прими 8-битну бинарну реч, респективно. Вредношћу 1 сигнала SPB, трајања једна периода сигнала такта, уређај Р шаље уређају UB команду да треба да прими 8-битну бинарну реч, при чему уређај Р то чини када утврди да уређај UB на статусној линији SBP држи вредност 1.

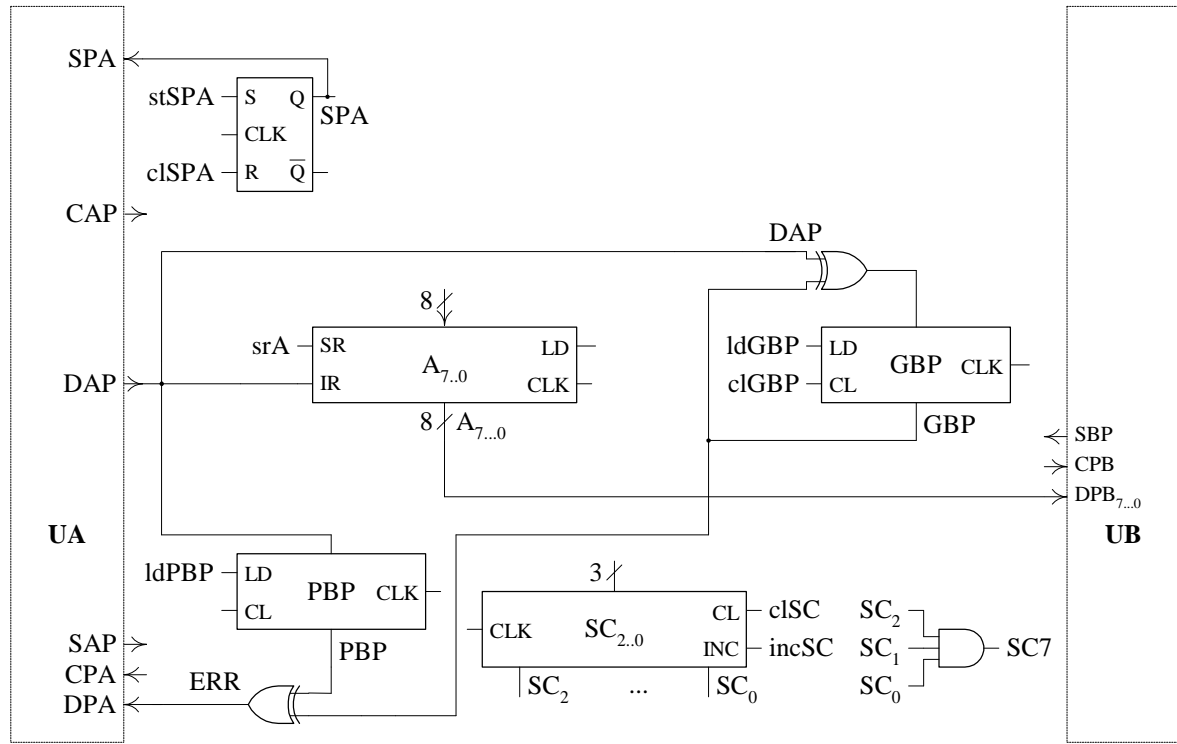
Уређај Р шаље уређају UA 1-битну бинарну реч по линији податка DPA. За синхронизацију између уређаја Р и UA користе се статусни сигнал SAP и управљачки сигнал SPA. Вредностима 0 и 1 сигнала SAP уређај UA шаље уређају Р индикацију када не може и када може да прими 1-битну бинарну реч, респективно. Вредношћу 1 сигнала SPA, трајања једна периода сигнала такта, уређај Р шаље уређају UA команду да треба да прими 1-битну бинарну реч, при чему уређај Р то чини када утврди да уређај UA на статусној линији SAP држи вредност 1.

Претпоставити да су на почетку на статусним линијама SPA, SBP и SPB налазе вредности 0.

- а) Нацртати структурну шему операционе јединице уређаја Р.
- б) Нацртати дијаграме тока управљачких сигнала операционе јединице и управљачке јединице уређаја Р.
- в) Нацртати структурну шему управљачке јединице уређаја Р реализоване помоћу бројача корака и декодера и дати изразе за генерисање управљачких сигнала операционе јединице и управљачке јединице уређаја Р.

## Решење:

а) Структурна шема операционе јединице приказана је на слици 20.а



Слика 20.а Структурна шема операционе јединице

Операциона јединица садржи регистар  $A_{7..0}$ , једноразредни регистар GBP са ексклузивно ИЛИ колом, једноразредни регистар PBP, бројач  $SC_{2..0}$  и флип-флоп SPA.

Регистар  $A_{7..0}$  је 8-разредни регистри са серијским уписом и паралелним читањем. У регистар  $A_{7..0}$  се серијски уписује 8-битна бинарна реч чији битови 0 до 7 по линији DAP долазе серијски из уређаја UA. Сигнал са линије DAP се води на улаз IR регистра  $A_{7..0}$ , па се у осам итерација вредношћу 1 сигнала **srA** помера удесно садржај регистра  $A_{7..0}$  и битови 0 до 7 уписују редом у разред  $A_7$  регистра  $A_{7..0}$ . После осам итерација у регистру  $A_{7..0}$  се налази 8-битна бинарна реч. Уколико је 8-битна бинарна реч примљена исправно, садржај регистра  $A_{7..0}$  се паралелно по линијама  $DPB_{7..0}$  шаље уређају UB, док се у супротном случају поново из уређаја UA серијски примају битови 8-битне бинарне речи.

Једноразредни регистар генерисаног бита парности GBP са ексклузивно ИЛИ колом служи да се генерише бит парности на основу броја јединица у 8-битној бинарној речи чији битови долазе серијски по линији DAP. На почетку се вредношћу 1 сигнала **clGBP** регистар GBP брише. Током прве итерације ексклузивно ИЛИ коло на основу вредности регистра GBP, која је на почетку 0, и бита на линији DAP, на којој је бит 0 бинарне речи, генерише бит парности који се вредношћу 1 сигнала **ldGBP** уписује у регистар GBP. Током друге итерације ексклузивно ИЛИ коло на основу вредности регистра GBP, у коме је бит парности генерисан у првој итерацији, и бита на линији DAP, на којој је бит 1 бинарне речи, генерише бит парности који се вредношћу 1 сигнала **ldGBP** уписује у регистар GBP. На сличан начин се током преосталих 6 итерација на основу вредности регистра GBP, у коме је бит парности генерисан у претходним итерацијама, и бита на



линији DAP, на којој се појављују битови 2 до 7 бинарне речи, генерише бит парности који се вредношћу 1 сигнала **ldGBP** уписује у регистар GBP.

Бројач  $SC_{2..0}$  је 3-разредни инкрементирајући бројач који се користи приликом серијског примања осам битова 8-битне бинарне речи у осам итерација по линији DAP. Вредношћу 1 сигнала **clSC** на почетку пријема се бројач  $SC_{2..0}$  брише, док се вредношћу 1 сигнала **incSC** врши његово инкрементирање у свакој од осам итерација. Уколико садржај бројача  $SC_{2..0}$  има вредност 7, сигнал логичког услова **SC7** добија вредност 1. Вредност 1 сигнала **SC7** је индикација да су битови 0 до 7 бинарне речи серијски примљени по линији DAP од уређаја UA и да су уписани у регистар  $A_{7..0}$ .

Једноразредни регистар примљеног бита парности PBP служи да се у њега вредношћу 1 сигнала **ldPBP** упише бит парности који долази по линији DAP после серијски примљених битова 8-битне бинарне речи.

Сигнал ERR вредностима 0 и 1 указује да ли су битови 8-битне бинарне речи и бит парности примљени исправно или неисправно, респективно. Сигнал ERR се формира ексклузивно ИЛИ колом на основу сигнала GBP и PBP. Уколико сигнали генерисаног бита парности GBP и примљеног бита парности PBP имају исте вредности, битови 8-битне бинарне речи и бит парности примљени су исправно и ексклузивно ИЛИ коло ће дати вредност 0 сигнала ERR. Уколико сигнали генерисаног бита парности GBP и примљеног бита парности PBP имају различите вредности, битови 8-битне бинарне речи и бит парности примљени су неисправно и ексклузивно ИЛИ коло ће дати вредност 1 сигнала ERR. Сигнал ERR се по линији DPA шаље уређају UA и његове вредност 0 и 1 служе као индикација уређају UA да су битови 8-битне бинарне речи и бит парности примљени исправно или неисправно у уређају P и да нема или има потребе да их уређај UA поново шаљу уређају P, респективно.

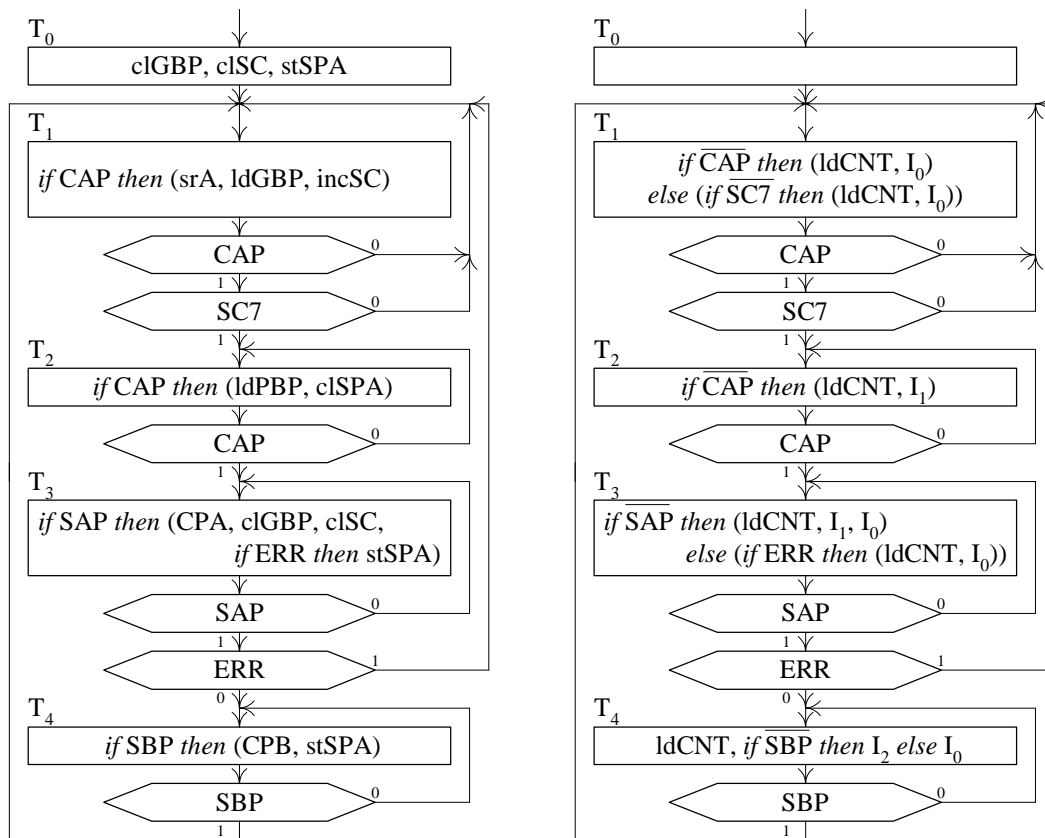
У флип-флоп SPA се вредношћу 1 управљачког сигнала **stSPA** уписује вредност 1 онда када је уређај P спреман да прими бит са линије DAP, а управљачким сигналом **clSPA** вредност 0, онда када није спреман.

б) Дијаграм тока управљачких сигнала операционе и управљачке јединице приказан је на слици 20.б.

У кораку  $T_0$  се вредностима 1 сигнала **clGBP** и **clSC** једноразредни регистар GBP поставља на вредност 0 и бројач  $SC_{2..0}$  брише. Поред тога вредношћу 1 сигнала **stSPA** у флип-флоп SPA се уписује вредност 1, чиме уређај P сигнализира уређају UA да је спреман да прими бит са линије DAP.

У кораку  $T_1$  се серијски у осам итерација од уређаја UA прима 8-битна бинарна речи на исти начин како се то чини у задатку 1.16. Вредношћу 1 сигнала **srA** се садржај регистра  $A_{7..0}$  помера удесно и у разред  $A_7$  уписује бит са линије DAP. Поред тога у свакој итерацији са на основу садржаја регистра GBP и вредности бита бинарне речи на линији DAP генерише бит парности која се вредношћу 1 сигнала **ldGBP** уписује у регистар GBP. Вредношћу 1 сигнала **incSC** се садржај бројача  $SC_{2..0}$  инкрементира.

У кораку  $T_2$  се вредношћу 1 сигнала **ldPBP** бит парности са линије DAP уписује у регистар PBP. Поред тога вредношћу 1 сигнала **clSPA** у флип-флоп SPA се уписује вредност 0, чиме уређај P сигнализира уређају UA да даљег није спреман да прими бит са линије DAP.



Слика 20.6 Дијаграми тока управљачких сигнал операционе и управљачке јединице

У кораку  $T_3$  се, онда када уређај UA вредношћу 1 сигнала **SAP** сигнализира уређају P да је спреман да од њега прими бит са линије DPA, вредношћу 1 сигнала **CPA** трајања једна периода сигнала шаље команда уређају UA да прихвати сигнал **ERR** са линије DPA. При вредности 1 сигнала **SAP** формирају се вредности 1 и сигнала **clGBP** и **clSC** којима се једноразредни регистар **GBP** поставља на вредност 0 и бројач  $SC_{2..0}$  брише. Уписивањем вредности 0 у једноразредни регистар **GBP** и брисањем бројача  $SC_{2..0}$  уређај P постаје спреман на генерисање бита парности и одбројавање битова 0 до 7 бинарне речи који се серијски по линији DAP примају из уређаја UA у кораку  $T_2$  и то и у случају да сигнал **ERR** има вредност 1, па треба поново од уређаја UB примати 8-битну бинарну реч и бит парности, и у случају да сигнал **ERR** има вредност 0, па треба од уређаја UA примити следећу 8-битну бинарну реч и бит парности. Уколико сигнал **ERR** има вредност 1 формира се вредност 1 и сигнала **stSPA** и прелази на корак  $T_1$  ради поновног пријема битова неисправно примљене 8-битне бинарне речи и бита парности. Због тога се вредношћу 1 сигнала **stSPA** у флип-флоп **SPA** уписује вредност 1, чиме уређај P сигнализира уређају UA да је спреман да прими бит са линије DAP. Уколико сигнал **ERR** има вредност 0 прелази се на корак  $T_4$ .

У кораку  $T_4$  се садржај регистра  $A_{7..0}$  паралелно предаје уређају UB на исти начин на који се то чини у задатку 1.8. Поред тога при вредности 1 сигнала **SBP** формира се и вредност 1 сигнала **stSPA**. Вредношћу 1 сигнала **stSPA** у флип-флоп **SPA** се уписује вредност 1, чиме уређај P сигнализира уређају UA да је спреман да прими бит са линије DAP.

в) Структурна шема управљачке јединице реализована помоћу бројача корака и декодера приказана је на слици 20.в.

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$\begin{aligned}
clGBP &= T_0 + SAP \cdot T_3 \\
clSC &= T_0 + SAP \cdot T_3 \\
stSPA &= T_0 + SAP \cdot ERR \cdot T_3 + SBP \cdot T_4 \\
srA &= CAP \cdot T_1 \\
ldGBP &= CAP \cdot T_1 + CAP \cdot T_2 \\
incSC &= CAP \cdot T_1 \\
ldPBP &= CAP \cdot T_2 \\
clSPA &= CAP \cdot T_2 \\
CPA &= SAP \cdot T_3 \\
CPB &= SBP \cdot T_4
\end{aligned}$$

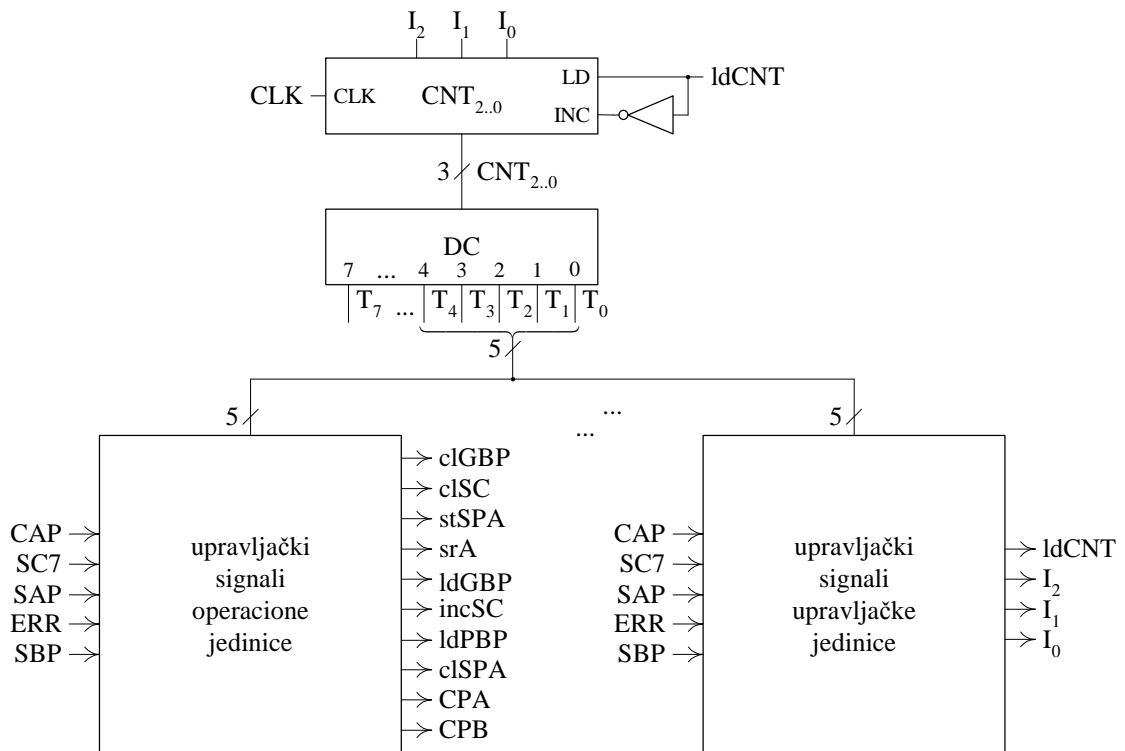
Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$ldCNT = \overline{CAP} \cdot T_1 + CAP \cdot \overline{SC7} \cdot T_1 + \overline{CAP} \cdot T_2 + \overline{SAP} \cdot T_3 + SAP \cdot ERR \cdot T_3 + T_4$$

$$I_0 = \overline{CAP} \cdot T_1 + CAP \cdot \overline{SC7} \cdot T_1 + \overline{SAP} \cdot T_3 + SAP \cdot ERR \cdot T_3 + SBP \cdot T_4$$

$$I_1 = \overline{CAP} \cdot T_2 + \overline{SAP} \cdot T_3$$

$$I_2 = \overline{SBP} \cdot T_4$$



Слика 20.в Структурна шема управљачке јединице

## 1.21 ГЕНЕРИСАЊЕ БИТА ПРОВЕРЕ

Реализовати уређај Р за спрегу између два уређаја UA и UB. Уређај Р треба од уређаја UA да прими серијски бит по бит и то од најмлађег бита према најстаријем биту 8-битну бинарну реч и да генерише бит провере. Најмлађи бит 8-битне бинарне речи означен је индексом 0 а најстарији индексом 7. Бит провере се генерише на основу 8-битне бинарне речи која се налази стално у регистру маске  $M_{7..0}$  и 8-битне бинарне речи серијски примљене од уређаја UA. Уређај Р генерише бит провере тако што сабира по модулу 2 свих 8 битова примљене 8-битне бинарне речи, узимајући у обзир садржај регистра маске: ако је  $i$ -ти бит бинарне речи у регистру маске 1,  $i$ -ти бит примљене бинарне речи учествује у сабирању, док у супротном не учествује. Уређај Р треба да 9-битну бинарну реч, у којој је млађих осам битова садржај примљене 8-битне бинарне речи, а девети вредност генерисаног бира провере, пошаље серијски бит по бит, од најмлађег према најстаријем, уређају UB. По завршетку серијског преноса 9 битова бинарне речи, уређај Р треба да прими од уређаја UB потврду да ли је пренос успешно или неуспешно обављен. У зависности од тога да ли је пренос успешно или неуспешно обављен, уређај UB шаље уређају Р једнобитну бинарну реч са вредностима 0 или 1, респективно. Уколико је пренос успешно обављен, уређај Р треба да пређе на пријем нове 8-битне бинарне речи од уређаја UA, док у случају неуспешног пријема уређај Р треба уређају UB да понови серијски пренос 9 битова неуспешно послате бинарне речи. Операција треба да се понавља циклично. Уређаји UA, Р и UB треба раде синхроно на исти сигнал такта.

Уређај UA шаље уређају Р по једнобитној линији податка DAP појединачно сваки од 8 битова бинарне речи. За синхронизацију између уређаја UA и уређаја Р приликом слања једног бита користе се статусни сигнал SPA и управљачки сигнал CAP. Вредностима 0 и 1 сигнала SPA уређај Р шаље уређају UA индикацију када не може и када може да прими један бит, респективно. Вредношћу 1 сигнала CAP, трајања једна периода сигнала такта, уређај UA шаље уређају Р команду да треба да прими један бит, при чему уређај UA то чини када утврди да уређај Р на статусној линији SPA држи вредност 1.

Уређај Р шаље уређају UB по једнобитној линији податка DPB појединачно сваки од 9 битова бинарне речи. За синхронизацију између уређаја Р и UB приликом слања једног бита користе се статусни сигнал SBP и управљачки сигнал CPB. Вредностима 0 и 1 сигнала SBP уређај UB шаље уређају Р индикацију када не може и када може да прими један бит, респективно. Вредношћу 1 сигнала CPB, трајања једна периода сигнала такта, уређај Р шаље уређају UB команду да треба да прими један бит, при чему уређај Р то чини када утврди да уређај UB на статусној линији SBP држи вредност 1.

Уређај UB шаље уређају Р 1-битну бинарну реч по линији податка DBP. За синхронизацију између уређаја UB и Р користе се статусни сигнал SPB и управљачки сигнал CBP. Вредностима 0 и 1 сигнала SPB уређај Р шаље уређају UB индикацију када не може и када може да прими 1-битну бинарну реч, респективно. Вредношћу 1 сигнала CBP, трајања једна периода сигнала такта, уређај UB шаље уређају Р команду да треба да прими 1-битну бинарну реч, при чему уређај UB то чини када утврди да уређај Р на статусној линији SPB држи вредност 1.

Претпоставити да су на почетку на статусним линијама SPA, SBP и SPB налазе вредности 0.

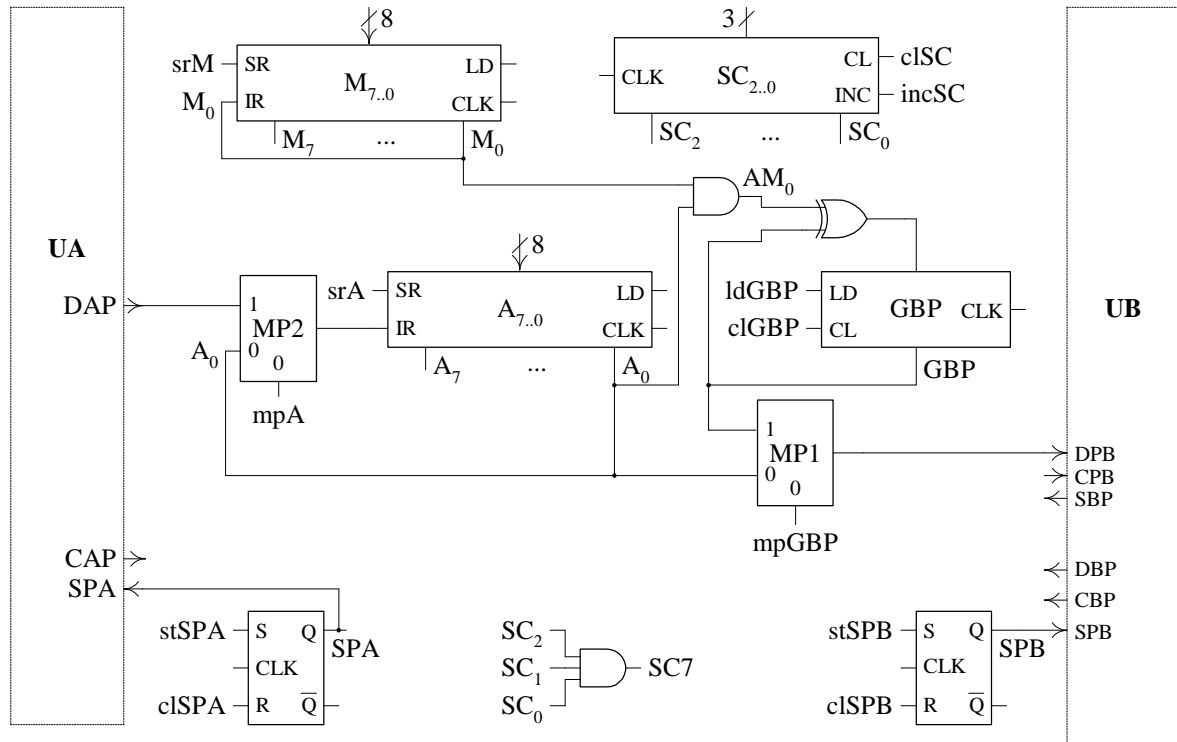
а) Нацртати структурну шему операционе јединице уређаја Р.

б) Нацртати дијаграме тока управљачких сигнала операционе јединице и управљачке јединице уређаја P.

в) Нацртати структурну шему управљачке јединице уређаја P реализоване помоћу бројача корака и декодера и дати изразе за генерисање управљачких сигнала операционе јединице и управљачке јединице уређаја P.

**Решење:**

а) Структурна шема операционе јединице приказана је на слици 21.а.



Слика 21.а Структурна шема операционе јединице

Операциона јединица садржи регистар  $A_{7..0}$  са мултиплексером MP2, регистар  $M_{7..0}$ , једноразредни регистар GBP са ексклузивно ИЛИ колом, мултиплексер MP1, бројач  $SC_{2..0}$  и флип-флопове SPA и SPB. Њена структурна шема је веома слична са структурном шемом операционе јединице у задатку 1.19. Регистар  $A_{7..0}$  има исту функцију. Једина разлика је у томе да се овде 8-битна бинарна реч прима серијски по линији DAP а не паралелно. Да би се сачувао садржај регистра  $A_{7..0}$  за евентуално поновно слање уређају UB, разред  $A_0$  је преко мултиплексера MP2 везан на улаз IR, па се померањем садржаја регистра  $A_{7..0}$  удесно врши његово ротирање. Због тога се кроз мултиплексер MP2 који се на линију IR регистра  $A_{7..0}$  пропушта сигнал са линије DAP приликом серијског пријема 8-битне бинарне речи од уређаја UA и сигнал из разреда  $A_0$  приликом серијског слања уређају UB битова 0 до 7 бинарне речи из регистра  $A_{7..0}$ .

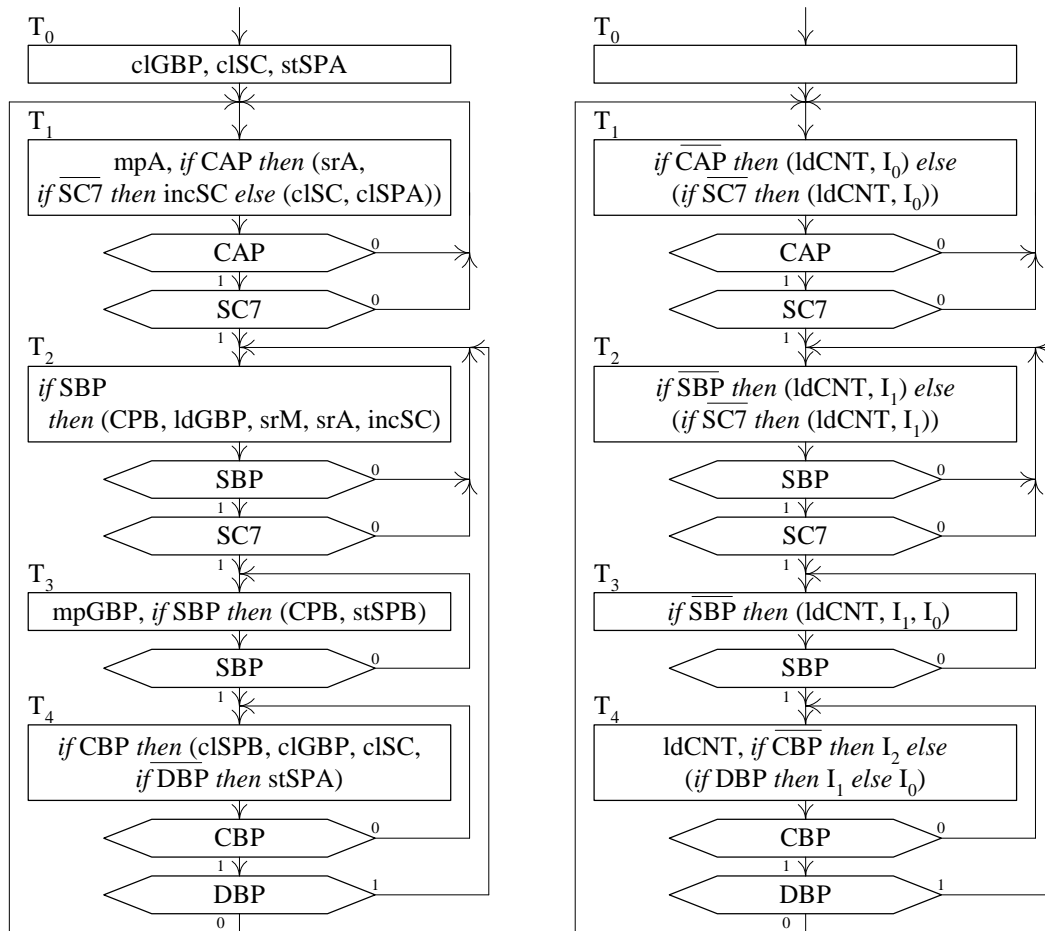
Регистар  $M_{7..0}$  служи за чување 8-битне бинарне речи маске. Приликом ротирања удесно садржаја регистра  $A_{7..0}$  врши се ротирање удесно садржаја регистра  $M_{7..0}$ . Тиме се на улазима И кола појављују редом битови 0 до 7 регистра  $A_{7..0}$  и  $M_{7..0}$ . Сигнал  $AM_0$  на излазу И кола има вредност сигнала  $A_0$  уколико сигнал  $M_0$  има вредност 1 и вредност 0 уколико сигнал  $M_0$  има вредност 0, чиме сигнал  $A_0$  учествује или не учествује у генерисању бита провере у зависности од тога да ли сигнал  $M_0$  има вредност 1 или 0, респективно. С обзиром на то да се у осам итерација истовремено врши ротирање удесно садржаја регистра  $A_{7..0}$  и  $M_{7..0}$  битови 0 до 7 бинарне речи из регистра  $A_{7..0}$  који се појављују у разреду  $A_0$  учествује или не учествује у генерисању бита провере у

зависности од тога да ли одговарајући битови 0 до 7 бинарне речи регистра маске  $M_{7..0}$  који се појављују у разреду  $M_0$  имају вредност 1 или 0, респективно.

Једноразредни регистар генерисаног бита провере GBP са ексклузивно ИЛИ колом има идентичну функцију као једноразредни регистар генерисаног бита парности GBP са ексклузивно ИЛИ колом у задатку 1.19. Једина разлика је у томе да на горњи улаз ексклузивно ИЛИ кола уместо  $A_0$  долази  $AM_0$ .

Мултиплексер MP1, бројач  $SC_{2..0}$  и флип-флопови SPA и SPB имају идентичну функцију као у задатку 1.19.

б) Дијаграми тока управљачких сигнала операционе и управљачке јединице приказани су на слици 21.б.



Слика 21.б Дијаграм тока управљачких сигнала операционе и управљачке јединице

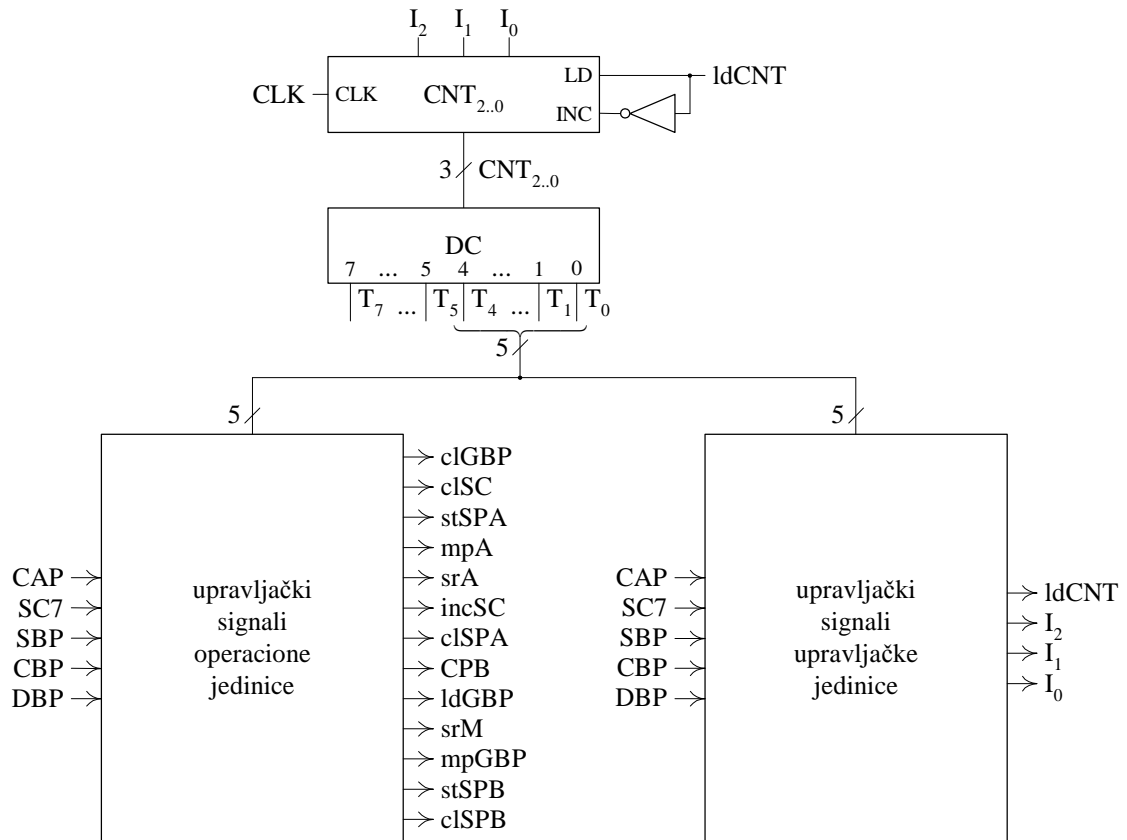
Дијаграми тока су веома слични дијаграмима тока у задатку 1.19 а разлике су последица тога да се бинарна реч прима серијски а не паралелно и да приликом генерисање бита провере треба ротирати удесно садржај регистра маске  $M_{7..0}$ .

в) Структурна шема управљачке јединице реализована помоћу бројача корака и декодера приказана је на слици 21.в.

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$\begin{aligned}
 clGBP &= T_0 + CBP \cdot T_4 \\
 clSC &= T_0 + CAP \cdot SC7 \cdot T_1 + CBP \cdot T_4 \\
 stSPA &= T_0 + CBP \cdot \overline{DBP} \cdot T_4 \\
 mpA &= T_1
 \end{aligned}$$

$$\begin{aligned}
srA &= CAP \cdot T_1 + SBP \cdot T_2 \\
incSC &= CAP \cdot \overline{SC7} \cdot T_1 + SBP \cdot T_2 \\
clSPA &= CAP \cdot SC7 \cdot T_1 \\
CPB &= SBP \cdot T_2 + SBP \cdot T_3 \\
ldGBP &= SBP \cdot T_2 \\
srM &= SBP \cdot T_2 \\
mpGBP &= T_3 \\
stSPB &= SBP \cdot T_3 \\
clSPB &= CBP \cdot T_4
\end{aligned}$$



Слика 21.в Структурна шема управљачке јединице

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$ldCNT = \overline{CAP} \cdot T_1 + CAP \cdot \overline{SC7} \cdot T_1 + \overline{SBP} \cdot T_2 + SBP \cdot \overline{SC7} \cdot T_2 + SBP \cdot T_3 + T_4$$

$$I_0 = \overline{CAP} \cdot T_1 + CAP \cdot \overline{SC7} \cdot T_1 + \overline{SBP} \cdot T_3 + CBP \cdot \overline{DBP} \cdot T_4$$

$$I_1 = \overline{SBP} \cdot T_2 + SBP \cdot \overline{SC7} \cdot T_2 + \overline{SBP} \cdot T_3 + CBP \cdot DBP \cdot T_4$$

$$I_2 = \overline{CBP} \cdot T_4$$

## 1.22 ПРОВЕРА БИТА ПРОВЕРЕ

Реализовати уређај Р за спрегу између уређаја UA и UB. Уређај Р треба да прими 9-битну бинарну реч од уређаја UA и то серијски бит по бит почев од најмлађег па редом до најстаријег бита. Најмлађи бит 9-битне бинарне речи означен је индексом 0 а најстарији индексом 8. Битови са индексима 7..0 представљају 8-битну бинарну реч коју уређај Р треба да преда серијски уређају UB уколико је пренос 9-битне бинарне речи успешно реализован. Бит са индексом 8 представља бит провере. Пренос 9-битне бинарне речи је успешно реализован уколико је вредност бита провере, која се у уређају Р ради провере генерише на исти начин као и у уређају UA, иста као и вредност примљеног бита провере. Бит провере се генерише на основу 8-битне бинарне речи која се налази стално у регистру маске  $M_{7..0}$  и 8-битне бинарне речи серијски примљене од уређаја UA. Уређај Р генерише бит провере тако што сабира по модулу 2 свих 8 битова примљене 8-битне бинарне речи, узимајући у обзир садржај регистра маске: ако је  $i$ -ти бит бинарне речи у регистру маске 1,  $i$ -ти бит примљене бинарне речи учествује у сабирању, док у супротном не учествује. По извршеној провери уређај Р шаље уређају UA једнобитну бинарну реч која вредностима 0 или 1 одређује да ли је пренос успешно или неуспешно реализован, респективно. У зависности од тога да ли је пренос успешно или неуспешно реализован, уређај UA прелази или на слање нове 9-битне бинарне речи или на поновно слање неуспешно примљене бинарне речи, респективно. Уколико је пренос успешно обављен, уређај Р треба најпре 8-битну бинарну реч да преда серијски уређају UB и да пређе на серијски пријем нове 9-битне бинарне речи од уређаја UA, док у случају неуспешног преноса уређај Р треба да пређе на поновни серијски пријем 9-битне неуспешно примљене бинарне речи. Операција треба да се понавља циклично. Уређаји UA, Р и UB треба раде синхроно на исти сигнал такта.

Уређај UA шаље уређају Р по једнобитној линији податка DAP појединачно сваки од 9 битова. За синхронизацију између уређаја UA и Р приликом слања једног бита користе се статусни сигнал SPA и управљачки сигнал CAP. Вредностима 0 и 1 сигнала SPA уређај Р шаље уређају UA индикацију када не може и када може да прими један бит, респективно. Вредношћу 1 сигнала CAP, трајања једна периода сигнала такта, уређај UA шаље уређају Р команду да треба да прими један бит, при чему уређај UA то чини када утврди да уређај Р на статусној линији SPA држи вредност 1.

Уређај Р шаље уређају UB по једнобитној линији податка DPB појединачно сваки од 8 битова бинарне речи. За синхронизацију између уређаја Р и UB приликом слања једног бита користе се статусни сигнал SBP и управљачки сигнал SPB. Вредностима 0 и 1 сигнала SBP уређај UB шаље уређају Р индикацију када не може и када може да прими један бит, респективно. Вредношћу 1 сигнала SPB, трајања једна периода сигнала такта, уређај Р шаље уређају UB команду да треба да прими један бит, при чему уређај Р то чини када утврди да уређај UB на статусној линији SBP држи вредност 1.

Уређај Р шаље уређају UA 1-битну бинарну реч по линији податка DPA. За синхронизацију између уређаја Р и UA користе се статусни сигнал SAP и управљачки сигнал CPA. Вредностима 0 и 1 сигнала SAP уређај UA шаље уређају Р индикацију када не може и када може да прими 1-битну бинарну реч, респективно. Вредношћу 1 сигнала CPA, трајања једна периода сигнала такта, уређај Р шаље уређају UA команду да треба да прими 1-битну бинарну реч, при чему уређај Р то чини када утврди да уређај UA на статусној линији SAP држи вредност 1.

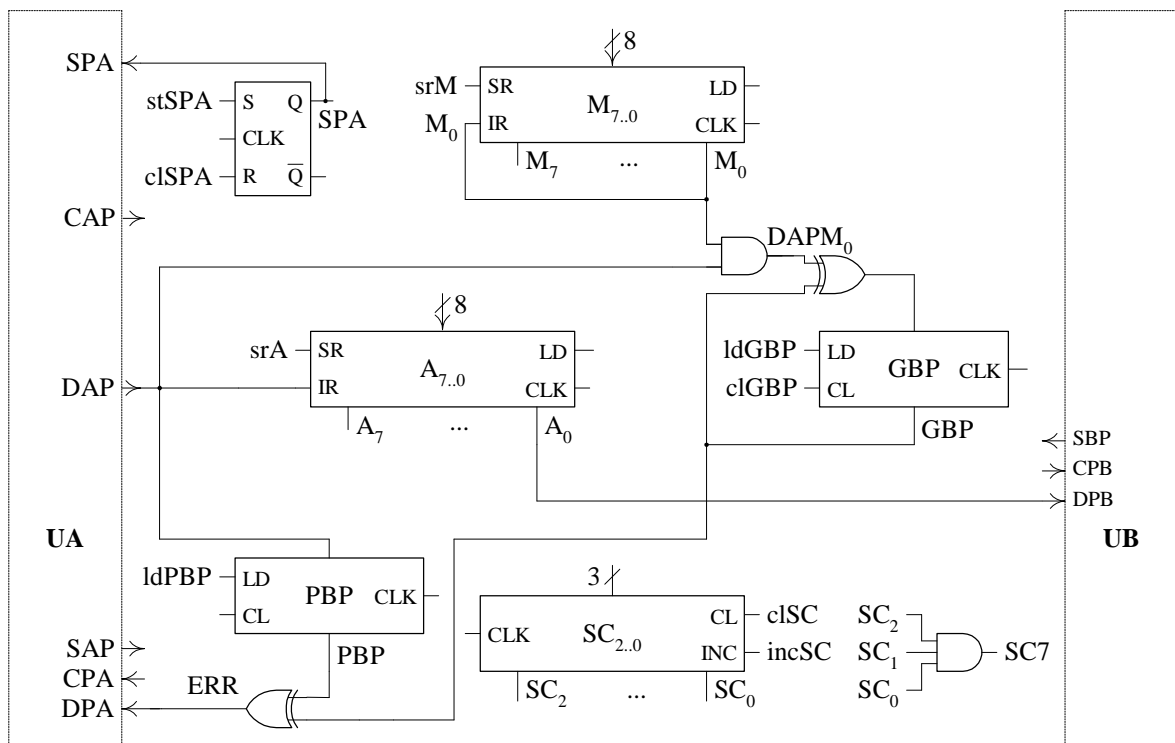
Претпоставити да су на почетку на статусним линијама SPA, SBP и SPB налазе вредности 0.



- а) Нацртати структурну шему операционе јединице уређаја Р.  
 б) Нацртати дијаграме тока управљачких сигнала операционе јединице и управљачке јединице уређаја Р.  
 в) Нацртати структурну шему управљачке јединице уређаја Р реализоване помоћу бројача корака и декодера и дати изразе за генерисање управљачких сигнала операционе јединице и управљачке јединице уређаја Р.

**Решење:**

- а) Структурна шема операционе јединице приказана је на слици 22.а.



Слика 22.а Структурна шема операционе јединице

Операциона јединица садржи регистар  $A_{7..0}$ , регистар  $M_{7..0}$ , једноразредни регистар GBP са ексклузивно ИЛИ колом, једноразредни регистар PBP, бројач  $SC_{2..0}$  и флип-флопове SPA и SPB. Њена структурна шема је веома слична са структурном шемом операционе јединице у задатку 1.20. Регистар  $A_{7..0}$  има исту функцију. Једина разлика је у томе да се овде 8-битна бинарна реч из регистра  $A_{7..0}$  шаље уређају UB серијски по линији DPB а не паралелно.

Регистар  $M_{7..0}$  служи за чување 8-битне бинарне речи маске. Приликом померања удесно садржаја регистра  $A_{7..0}$  врши се ротирање удесно садржаја регистра  $M_{7..0}$ . Тиме се на улазима И кола појављују редом битови 0 до 7 бинарне речи који се серијски примају по линији DAP и регистра  $M_{7..0}$ . Сигнал  $DAPM_0$  на излазу И кола има вредност сигнала са линије DAP уколико сигнал  $M_0$  има вредност 1 и вредност 0 уколико сигнал  $M_0$  има вредност 0, чиме сигнал са линије DAP учествује или не учествује у генерисању бита провере у зависности од тога да ли сигнал  $M_0$  има вредност 1 или 0, респективно. С обзиром на то да се у осам итерација истовремено врши ротирање удесно садржаја регистра  $M_{7..0}$  и серијско примање битова 0 до 7 бинарне речи по линији DAP, битови 0 до 7 бинарне речи који долазе по линији DAP учествује или не учествује у генерисању бита провере у зависности од тога да ли одговарајући битови 0 до 7 бинарне речи регистра маске  $M_{7..0}$  који се појављују у разреду  $M_0$  имају вредност 1 или 0, респективно.

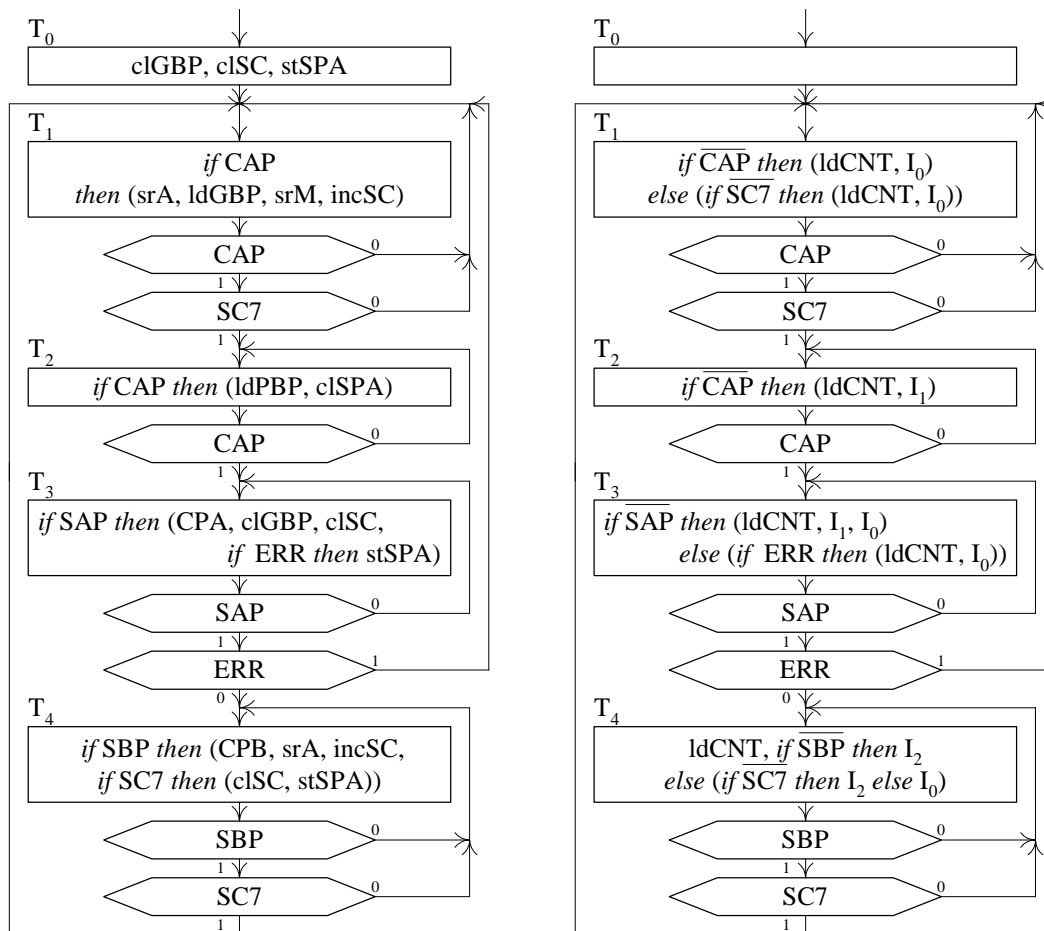
Једноразредни регистар генерисаног бита провере GBP са ексклузивно ИЛИ колом има идентичну функцију као једноразредни регистар генерисаног бита парности GBP са ексклузивно ИЛИ колом у задатку 1.20. Једина разлика је у томе да на горњи улаз ексклузивно ИЛИ кола уместо DAP долази DAPM<sub>0</sub>.

Једноразредни регистар примљеног бита провере PBP има идентичну функцију као једноразредни регистар примљеног бита парности GBP у задатку 1.20.

Сигнал ERR се формира на идентичан начин и има идентичну функцију као у задатку 1.20.

Бројач SC<sub>2..0</sub> и флип-флоп SPA имају идентичну функцију као у задатку 1.20.

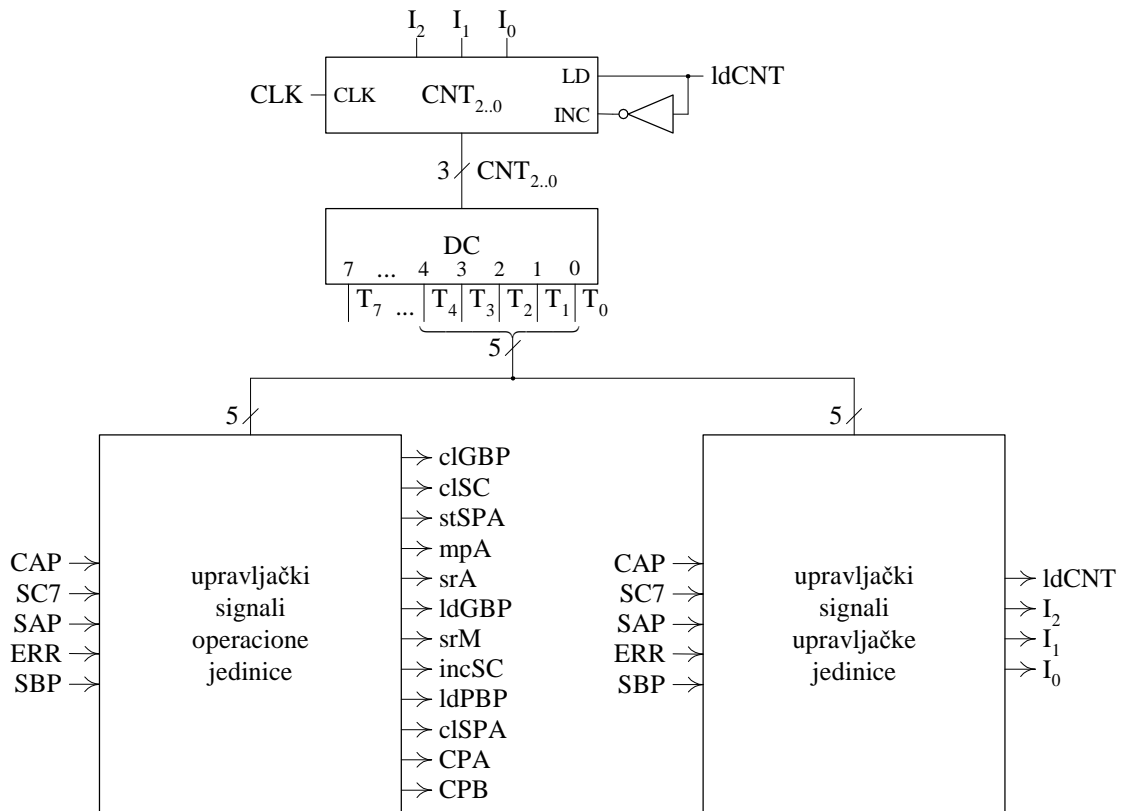
б) Дијаграми тока управљачких сигнала операционе и управљачке јединице приказани су на слици 22.б.



Слика 22.б Дијаграм тока управљачких сигнала операционе и управљачке јединице

Дијаграми тока су веома слични дијаграмима тока у задатку 1.20 а разлике су последица тога да се бинарна реч шаље серијски а не паралелно и да приликом генерисање бита провере треба ротирати удесно садржај регистра маске M<sub>7..0</sub>.

в) Структурна шема управљачке јединице реализована помоћу бројача корака и декодера приказана је на слици 22.в.



Слика 22.в Структурна шема управљачке јединице

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$\begin{aligned}
 \text{clGBP} &= T_0 + \text{SAP} \cdot T_3 \\
 \text{clSC} &= T_0 + \text{SAP} \cdot T_3 + \text{SBP} \cdot \text{SC7} \cdot T_4 \\
 \text{stSPA} &= T_0 + \text{SAP} \cdot \text{ERR} \cdot T_3 + \text{SBP} \cdot \text{SC7} \cdot T_4 \\
 \text{srA} &= \text{CAP} \cdot T_1 + \text{SBP} \cdot T_4 \\
 \text{ldGBP} &= \text{CAP} \cdot T_1 \\
 \text{srM} &= \text{CAP} \cdot T_1 \\
 \text{incSC} &= \text{CAP} \cdot T_1 + \text{SBP} \cdot T_4 \\
 \text{ldPBP} &= \text{CAP} \cdot T_2 \\
 \text{clSPA} &= \text{CAP} \cdot T_2 \\
 \text{CPA} &= \text{SAP} \cdot T_3 \\
 \text{CPB} &= \text{SBP} \cdot T_4
 \end{aligned}$$

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$\begin{aligned}
 \text{lDCNT} &= \overline{\text{CAP}} \cdot T_1 + \text{CAP} \cdot \overline{\text{SC7}} \cdot T_1 + \overline{\text{CAP}} \cdot T_2 + \overline{\text{SAP}} \cdot T_3 + \text{SAP} \cdot \text{ERR} \cdot T_3 + T_4 \\
 I_0 &= \overline{\text{CAP}} \cdot T_1 + \text{CAP} \cdot \overline{\text{SC7}} \cdot T_1 + \overline{\text{SAP}} \cdot T_3 + \text{SAP} \cdot \text{ERR} \cdot T_3 + \text{SBP} \cdot \text{SC7} \cdot T_4 \\
 I_1 &= \overline{\text{CAP}} \cdot T_2 + \overline{\text{SAP}} \cdot T_3 \\
 I_2 &= \overline{\text{SBP}} \cdot T_4 + \text{SBP} \cdot \overline{\text{SC7}} \cdot T_4
 \end{aligned}$$

### 1.23 НАЈДУЖИ НИЗ УЗАСТОПНИХ ЈЕДИНИЦА ИЛИ НУЛА

Реализовати уређај Р за спрегу између уређаја UA и UB. Уређај Р треба да обавља две операције и то одређивање најдужег низ узастопних нула и одређивање најдужег низа узастопних јединица 8-битне бинарне речи. На пример, у бинарној речи 11100110 најдужи низ узастопних нула је 2, а најдужи низ узастопних јединица је 3. Уређај Р треба од уређаја UA да прими паралелно две бинарне речи и то 8-битну бинарну реч за коју треба извршити одређивање најдужег низа и 1-битну бинарну реч кода операције која вредностима 0 и 1 одређује да ли треба одређивати најдужи низ узастопних нула или најдужи низ узастопних јединица, респективно, и добијену 4-битну бинарну реч броја узастопних нула или јединица, пошаље у 4 обраћања уређају UB серијски бит по бит и то од најмлађег до најстаријег бита. Операција треба да се понавља циклично. Уређаји UA, Р и UB треба раде синхроно на исти сигнал такта.

Уређај UA шаље уређају Р истовремено 8-битну и 1-битну бинарну реч по линијама података DAP<sub>7.0</sub> и DAP<sub>8</sub>, респективно. За синхронизацију између уређаја UA и Р користе се статусни сигнал SPA и управљачки сигнал CAP. Вредностима 0 и 1 сигнала SPA уређај Р шаље уређају UA индикацију када не може и када може да прими бинарне речи са линија DAP<sub>7.0</sub> и DAP<sub>8</sub>. Вредношћу 1 сигнала CAP, трајања једна периода сигнала такта, уређај UA шаље уређају Р команду да треба да прими бинарне речи са линија DAP<sub>7.0</sub> и DAP<sub>8</sub>, при чему уређај UA то чини када утврди да уређај Р на статусној линији SPA држи вредност 1.

Уређај Р шаље уређају UB по једнобитној линији податка DPB појединачно сваки од 4 бита резултата. За синхронизацију између уређаја Р и UB приликом слања једног бита користе се статусни сигнал SBP и управљачки сигнал CPB. Вредностима 0 и 1 сигнала SBP уређај UB шаље уређају Р индикацију када не може и када може да прими један бит, респективно. Вредношћу 1 сигнала CPB, трајања једна периода сигнала такта, уређај Р шаље уређају UB команду да треба да прими један бит, при чему уређај Р то чини када утврди да уређај UB на статусној линији SBP држи вредност 1.

Претпоставити да су на почетку на статусним линијама SPA и SBP налазе вредности 0.

- а) Нацртати структурну шему операционе јединице уређаја Р.
- б) Нацртати дијаграме тока управљачких сигнала операционе јединице и управљачке јединице уређаја Р.
- в) Нацртати структурну шему управљачке јединице уређаја Р реализоване помоћу бројача корака и декодера и дати изразе за генерисање управљачких сигнала операционе јединице и управљачке јединице уређаја Р.

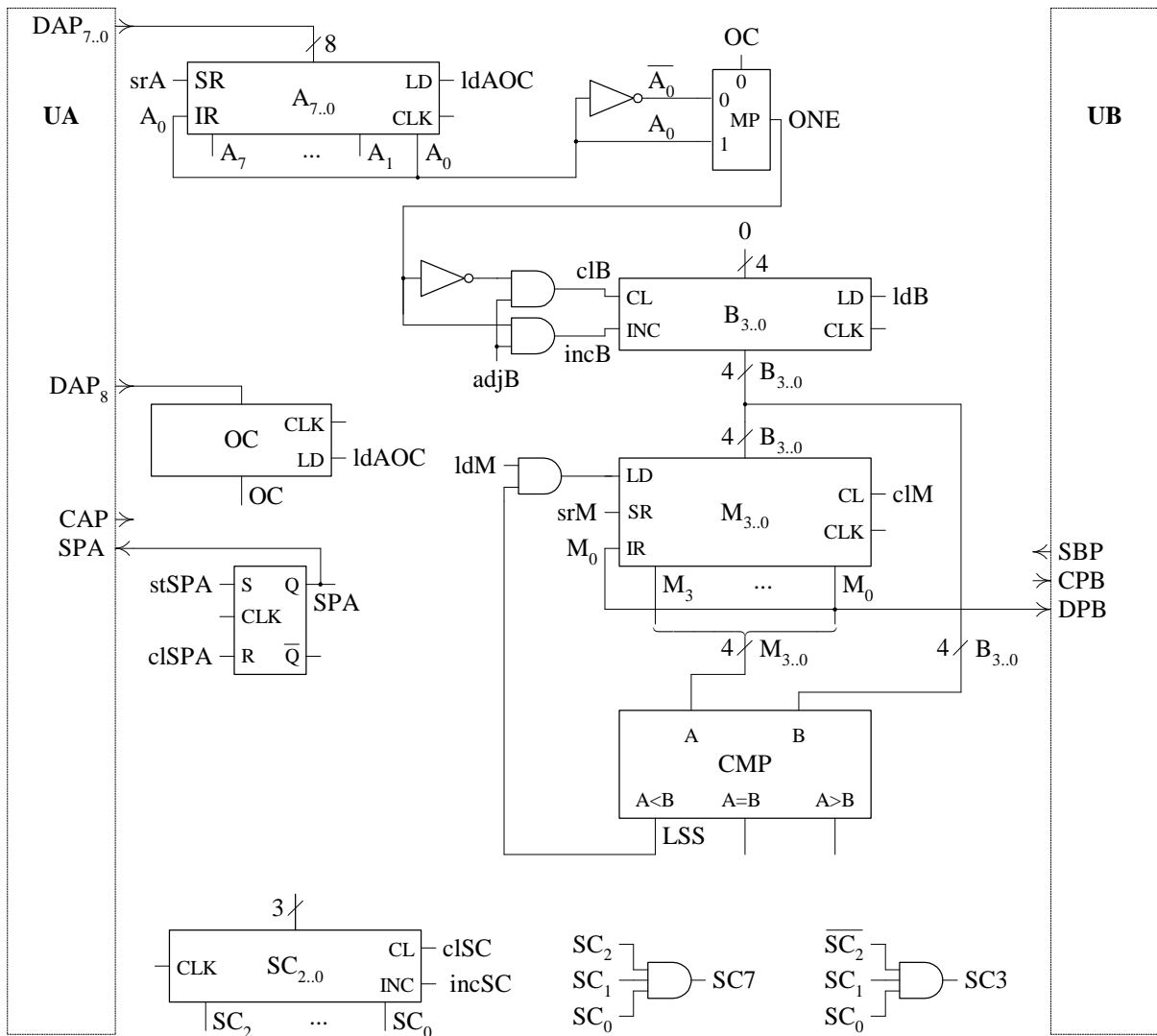
#### Решење:

- а) Структурна шема операционе јединице приказана је на слици 23.а

Операциона јединица садржи регистре A<sub>7.0</sub> и OC, мултиплексер MP, бројач B<sub>3.0</sub>, регистар M<sub>3.0</sub>, компаратор CMP, бројач B<sub>3.0</sub> и SC<sub>2.0</sub>, и флип-флоп SPA.

Регистар A<sub>7.0</sub> је 8-разредни регистри са паралелним уписом и серијским уписом и читањем. На почетку се у регистар A<sub>7.0</sub> вредношћу 1 сигнала **ldAOC** уписује 8-битна бинарна реч која по линијама DAP<sub>7.0</sub> долази из уређаја UA и у којој треба одредити најдужи низ узастопних нула или јединица. Вредношћу 1 сигнала **srA** садржај регистра A<sub>7.0</sub> се ротира удесно. Тражени низ се одређује у осам итерација, тако што се у свакој

итерацији посматра разред  $A_0$ . Ротирањем удесно садржај регистра  $A_{7..0}$  у свакој од осам итерација у разреду  $A_0$  се појављују редом битови од 0 до 7 бинарне речи регистра  $A_{7..0}$ .



Слика 23.а Структурна шема операционе јединице

Регистар  $OC$  је 1-разредни регистар са паралелним уписом и читањем. У регистар  $OC$  се вредношћу 1 сигнала  $ldAOC$  уписује 1-битна бинарна реч која по линији  $DAP_8$  долази из уређаја  $UA$ . Вредностима 0 и 1 овог регистра се одређује да ли треба одређивати најдужи низ узастопних нула или најдужи низ узастопних јединица, респективно. Излаз регистра  $OC$  се води на мултиплексер  $MP$ .

Мултиплексер  $MP$  на свом излазу формира сигнал  $ONE$  мултиплексирањем сигнала  $A_0$  и комплемента сигнала  $A_0$  вредностима 0 и 1 сигнала  $OC$ , респективно. Одређивања најдужега низа узастопних нула или најдужега низа узастопних јединица се реализује на идентичан начин одређивањем најдужега низа појављивања вредности 1 сигнала  $ONE$ . Сигнал  $ONE$  ће имати вредност 1 када се при вредности 0 сигнала  $OC$  у разреду  $A_0$  појави вредност 0, што одговара операцији одређивања најдужега низа узастопних нула. Међутим, сигнал  $ONE$  ће имати вредност 1 и када се при вредности 1 сигнала  $OC$  у разреду  $A_0$  појави вредност 1, што одговара операцији одређивања најдужега низа узастопних јединица.

Бројач  $B_{3..0}$  је 4-разредни инкрементирајући бројач који служи за бројање низа појављивања вредности 1 сигнала  $ONE$ . На почетку операције вредношћу 1 сигнала  $ldB$

у бројач  $V_{3..0}$  се паралелно уписује вредност 0. Током извршавања операције се вредношћу 1 сигнала **incB** бројач  $V_{3..0}$  инкрементира када се појави вредност 1 сигнала **ONE**, чиме се броје појављивања вредности 1 сигнала **ONE** у текућем низу, док се вредношћу 1 сигнала **clB** бројач  $V_{3..0}$  поставља на вредност 0 када се појави вредност 0 сигнала **ONE**, чиме се креће са бројањем појављивања вредности 1 сигнала **ONE** у новом низу. Сигнали **incB** и **clB** имају вредност 0 уколико сигнал **adjB** има вредност 0. Један од сигнал **incB** и **clB** имају вредност 1 уколико сигнал **adjB** има вредност 1 и то сигнал **incB** уколико сигнал **ONE** има вредност 1 и сигнал **clB** уколико сигнал **ONE** има вредност 0.

Регистар  $M_{3..0}$  је 4-разредни регистар у који се паралелно из бројача  $V_{3..0}$  уписује тренутно најдужи низ избројаних појављивања вредности 1 сигнала **ONE**. На почетку операције вредношћу 1 сигнала **clM** регистар  $M_{3..0}$  се брише. Током извршавања операције се вредношћу 1 сигнала **ldM** паралелно из бројача  $V_{3..0}$  уписује тренутно избројани низ појављивања вредности 1 сигнала **ONE** сваки пут када је садржај регистра  $M_{3..0}$  мањи од садржаја бројача  $V_{3..0}$  на шта указује вредност 1 сигнала **LSS** на излазу компаратора **СМР**. Разред  $M_0$  регистра  $M_{3..0}$  је везан на линију **DPB** на којој се ротирањем удесно садржаја регистра  $M_{3..0}$  појављују битови 0 до 3 приликом серијског слања 4-битне бинарне речи из регистра  $M_{3..0}$  уређају **UB**.

Компаратор **СМР** служи за упоређивање садржаја регистра  $M_{3..0}$  и бројача  $V_{3..0}$  и генерисања сигнала **LSS**.

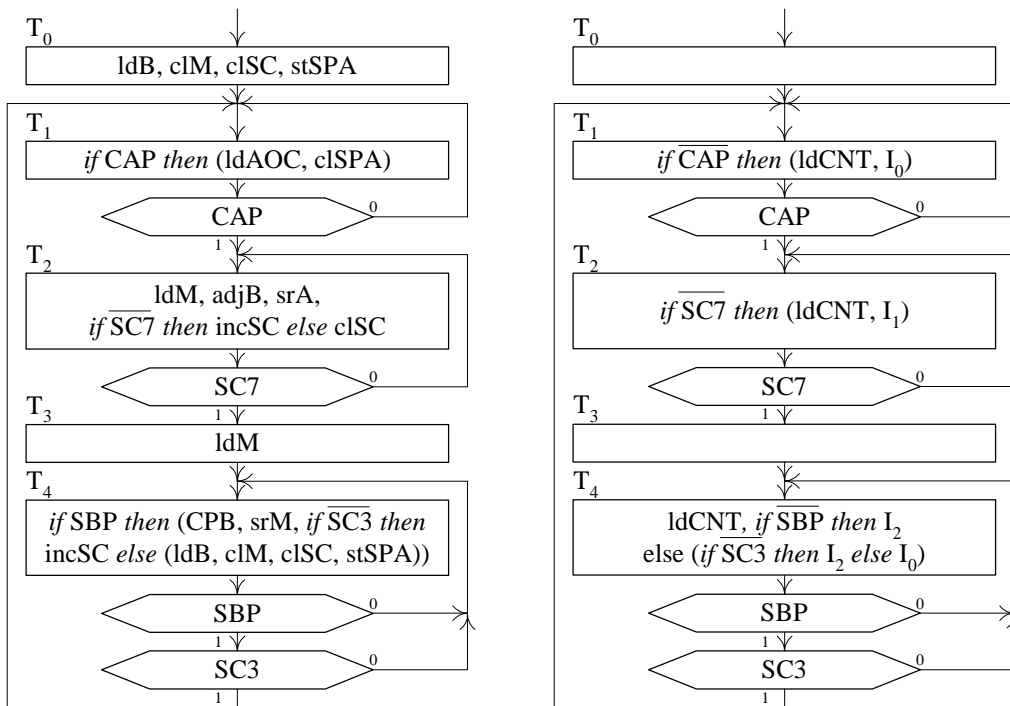
Бројач  $SC_{2..0}$  је 3-разредни инкрементирајући бројач који се користи приликом бројања низа појављивања вредности 1 сигнала **ONE** и приликом серијског слања садржаја регистра  $M_{3..0}$  уређају **UB**. Вредношћу један сигнала **clSC** садржај бројача  $SC_{2..0}$  се брише, док се вредношћу један сигнала **incSC** врши његово инкрементирање. Када приликом бројања низа појављивања вредности 1 сигнала **ONE** садржај регистра  $SC_{2..0}$  постане 7, сигнал логичког услова **SC7**, који се формира на излазу логичког кола **И**, постаје 1. Вредност 1 сигнала логичког услова **SC7** је индикација да су проверени битови свих осам разреда регистра  $A_{7..0}$ . Када приликом серијског слања садржаја регистра  $M_{3..0}$  садржај регистра  $SC_{2..0}$  постане 3, сигнал логичког услова **SC3**, који се формира на излазу логичког кола **И**, постаје 1. Вредност 1 сигнала логичког услова **SC3** је индикација да су послата сва четири бита из регистра  $M_{3..0}$ .

У флип-флоп **SPA** се вредношћу 1 управљачког сигнала **stSPA** уписује вредност 1 онда када је уређај **P** спреман да прими садржај са линија  $DAP_{7..0}$ , а управљачким сигналом **clSPA** вредност 0, онда када није спреман.

б) Дијаграм тока управљачких сигнала операционе и управљачке јединице приказан је на слици 23.б.

У кораку  $T_0$  се вредностима 1 сигнала **ldB**, **clM** и **clSC** бројач  $V_{3..0}$ , регистар  $M_{3..0}$  и бројач  $SC_{2..0}$  постављају на вредност 0. Поред тога вредношћу 1 сигнала **stSPA** у флип-флоп **SPA** се уписује вредност 1, чиме уређај **P** сигнализира уређају **UA** да је спреман да прими бит са линије **DAP**.

У кораку  $T_1$  се паралелно примају 8-битна и 1-битна бинарна реч на исти начин како се то чини у задатку 1.8. Поред тога вредношћу 1 сигнала **clSPA** у флип-флоп **SPA** се уписује вредност 0, чиме уређај **P** сигнализира уређају **UA** да до даљег није спреман да прими 8-битну и 1-битну бинарну реч са линија  $DAP_{7..0}$  и  $DAP_8$ .



Слика 23.6 Дијаграми тока управљачких сигнал операционе и управљачке јединице

У корацима  $T_2$  и  $T_3$  се одређује најдужи низ појављивања вредности 1 сигнала **ONE**. У кораку  $T_2$  се у осам итерација остаје осам периода сигнала такта и генеришу вредности 1 сигнала **ldM**, **adjB** и **srA**. За време првих седам итерација сигнал **incSC** има вредност 1, док за време осме итерације сигнал **clSC** има вредност 1. Приликом првих седам пролазака кроз корак  $T_2$  сигнал **SC7** има вредност нула, а приликом осмог проласка вредност један, па се на осми сигнал такта прелази на корак  $T_3$ . У кораку  $T_3$  се остаје само једна периода сигнала такта такта и генерише вредност 1 сигнала **ldM**.

У кораку  $T_2$  се за време итерација 1 до 8 вредност сигнала **ONE** формира на основу битова 0 до 7 бинарне речи регистра  $A_{7..0}$  који се ротирањем појављују у разреду  $A_0$ , респективно. На сигнале такта у итерацијама 1 до 8 се вредношћу 1 сигнала **adjB** у зависности од тога да ли сигнал **ONE** има вредност 1 или 0, формира вредност 1 сигнала **incSC** или **clSC**, па се садржај бројача  $V_{3..0}$  инкрементира 1 или брише, респективно. Поред тога вредностима 1 сигнала **srA** и **incSC** се ротира за једно место удесно садржај регистра  $A_{7..0}$  и инкрементира садржај бројача  $SC_{2..0}$ . У итерацијама у којима се узастопно појављује вредност 1 сигнала **ONE** се због вредности 1 сигнала **adjB** врши инкрементирање бројача  $V_{3..0}$ , па тренутна вредност бројача  $V_{3..0}$  после сваке итерације представља број тих узастопних појављивања. У оној итерацији у којој се, после одређеног броја итерација у којима се узастопно појављује вредност 1 сигнала **ONE**, појави вредност 0 сигнала **ONE** се, због вредности 1 сигнала **adjB**, врши брисање бројача  $V_{3..0}$ , чиме бројач  $V_{3..0}$  постаје спреман на одбројавање следећег низа узастопних појављивања вредности 1 сигнала **ONE**.

За време сваке итерације пореде се садржаји бројача  $V_{3..0}$  и регистра  $M_{3..0}$ , па уколико је садржај регистра  $M_{3..0}$  мањи од садржаја бројача  $V_{3..0}$  сигнал **LSS** на излазу компаратора **СМР** има вредност 1, док у супротном случају има вредност 0. Садржај бројача  $V_{3..0}$  се вредношћу 1 сигнала **ldM** на сигнал такта уписује у регистар  $M_{3..0}$  у оним итерацијама у којима сигнал **LSS** има вредност 1.

С обзиром да су садржаји бројача  $V_{3..0}$  и регистра  $M_{3..0}$  на почетку 0, сигнал **LSS** на излазу компаратора **СМР** има вредност 0, па се за време прве итерације вредношћу 1

сигнала **ldM** садржај регистра  $M_{3..0}$  не мења и остаје 0. За време друге итерације се вредношћу 1 сигнала **ldM** садржај бројача  $V_{3..0}$  уписује у регистар  $M_{3..0}$  уколико је у првој итерацији била вредности 1 сигнала **ONE** па је садржај бројача  $V_{3..0}$  инкрементирањем. За време треће итерације се вредношћу 1 сигнала **ldM** садржај бројача  $V_{3..0}$  уписује у регистар  $M_{3..0}$  уколико је у другој итерацији била вредности 1 сигнала **ONE** па је садржај бројача  $V_{3..0}$  инкрементирањем и уколико је као резултат тога садржај регистра  $M_{3..0}$  мањи од садржаја бројача  $V_{3..0}$ . На сличан начин се за време четврте, пете, шесте, седме и осме итерације вредношћу 1 сигнала **ldM** садржај бројача  $V_{3..0}$  уписује у регистар  $M_{3..0}$  уколико је у трећој, четвртој, петој, шестој и седмој итерацији, респективно, била вредности 1 сигнала **ONE** у датој итерацији па је садржај бројача  $V_{3..0}$  инкрементирањем и уколико је као резултат инкрементирања садржај регистра  $M_{3..0}$  мањи од садржаја бројача  $V_{3..0}$ .

У кораку  $T_3$  се вредношћу 1 сигнала **ldM** садржај бројача  $V_{3..0}$  уписује у регистар  $M_{3..0}$  уколико је у осмој итерацији у кораку  $T_2$  била вредности 1 сигнала **ONE** па је садржај бројача  $V_{3..0}$  инкрементирањем и уколико је као резултат инкрементирања садржај регистра  $M_{3..0}$  мањи од садржаја бројача  $V_{3..0}$ .

Као илустрација се може узети бинарна реч 11110110 за коју треба одредити најдужи низ јединица. Због тога што у овој бинарној речи бит 0 има вредност 0, у итерацији 1 бројач  $V_{3..0}$  се неће инкрементирати већ ће његова вредност остати 0, а у итерацији 2 вредност бројача  $V_{3..0}$  се неће уписати у регистар  $M_{3..0}$  већ ће његова вредност остати 0.

Међутим, због тога што у овој бинарној речи бит 1 има вредност 1, у итерацији 2 бројач  $V_{3..0}$  ће се инкрементирати на вредност 1, а у итерацији 3 вредност 1 бројача  $V_{3..0}$  ће се уписати у регистар  $M_{3..0}$ . На сличан начин због тога што у овој бинарној речи бит 2 има вредност 1, у итерацији 3 бројач  $V_{3..0}$  ће се инкрементирати на вредност 2, а у итерацији 4 вредност 2 бројача  $V_{3..0}$  ће се уписати у регистар  $M_{3..0}$ .

Међутим, због тога што у овој бинарној речи бит 3 има вредност 0, у итерацији 4 бројач  $V_{3..0}$  ће се брисати на вредност 0, па у итерацији 5 вредност 0 бројача  $V_{3..0}$  се неће уписати у регистар  $M_{3..0}$  чија вредност остаје 2.

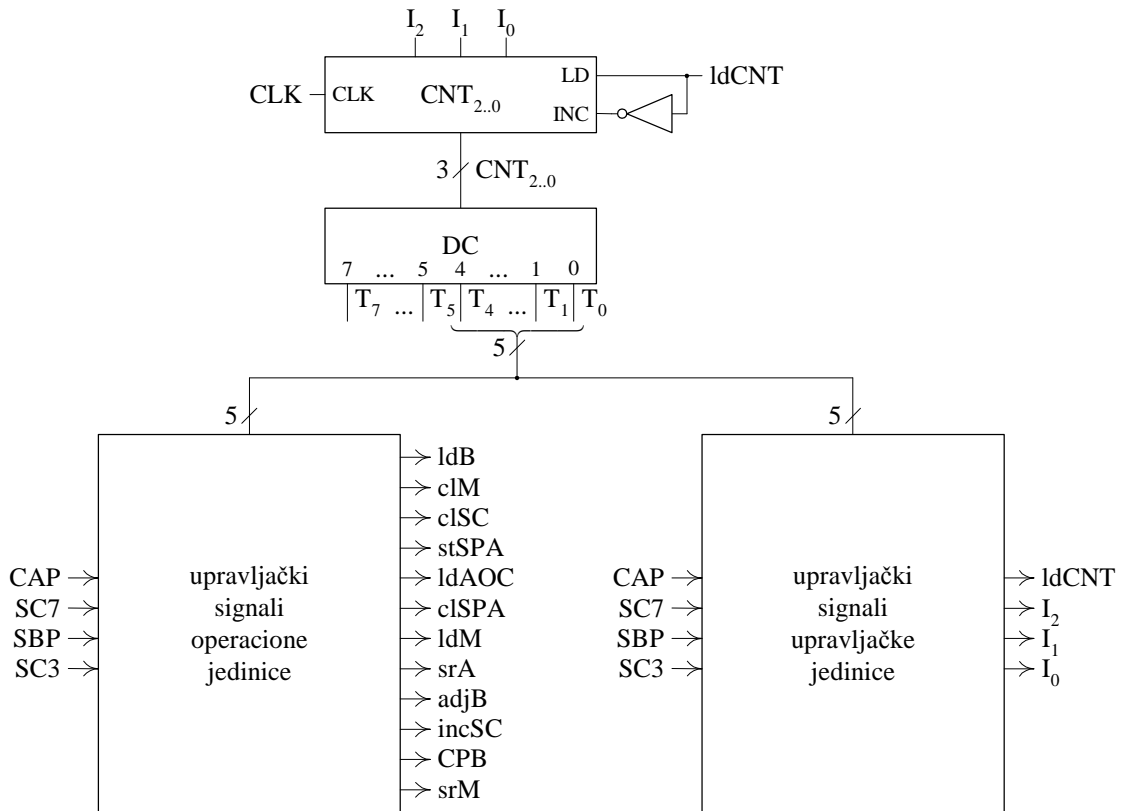
Због тога што у овој бинарној речи бит 4 има вредност 1, у итерацији 5 бројач  $V_{3..0}$  ће се инкрементирати на вредност 1, али у итерацији 6 вредност 0 бројача  $V_{3..0}$  се неће уписати у регистар  $M_{3..0}$  чија вредност остаје 2. На сличан начин, због тога што у овој бинарној речи бит 5 има вредност 1, у итерацији 6 бројач  $V_{3..0}$  ће се инкрементирати на вредност 2, али се у итерацији 7 вредност 2 бројача  $V_{3..0}$  се неће уписати у регистар  $M_{3..0}$  чија вредност остаје 2.

Међутим, због тога што у овој бинарној речи бит 6 има вредност 1, у итерацији 7 бројач  $V_{3..0}$  ће се инкрементирати на вредност 3, а у итерацији 8 вредност 3 бројача  $V_{3..0}$  ће се уписати у регистар  $M_{3..0}$ . На сличан начин, због тога што у овој бинарној речи бит 7 има вредност 1, у итерацији 8 бројач  $V_{3..0}$  ће се инкрементирати на вредност 4, па ће се у кораку  $T_3$  вредност 4 бројача  $V_{3..0}$  уписати у регистар  $M_{3..0}$ , што ће бити и коначна вредност регистра  $M_{3..0}$ .

У кораку  $T_4$  се вредностима 1 сигнала **CPB** и **srM** серијски у четири итерације шаљу 4 бита бинарне речи из разреда  $M_0$  регистра  $M_{3..0}$  на исти начин како се то чини у задатку 1.15. У прве три итерације сигнал **SC3** има вредност 0, па се вредношћу 1 сигнала **incSC** врши инкрементирање бројача  $SC_{2..0}$ . У четвртој итерацији сигнал **SC3** има вредност 1, па се као у кораку  $T_0$  генеришу вредности 1 сигнала **ldB**, **clM**, **clSC** и **stSPA**.



в) Структурна шема управљачке јединице реализована помоћу бројача корака и декодера приказана је на слици 20.в.



Слика 23.в Структурна шема управљачке јединице

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$\begin{aligned}
 IdB &= T_0 + SBP \cdot SC3 \cdot T_4 \\
 cIM &= T_0 + SBP \cdot SC3 \cdot T_4 \\
 cISC &= T_0 + SC7 \cdot T_2 + SBP \cdot SC3 \cdot T_4 \\
 stSPA &= T_0 + SBP \cdot SC3 \cdot T_4 \\
 IdAOC &= CAP \cdot T_1 \\
 cISPA &= CAP \cdot T_1 \\
 IdM &= T_2 + T_3 \\
 srA &= T_2 \\
 adjB &= T_2 \\
 incSC &= \overline{SC7} \cdot T_2 + SBP \cdot \overline{SC3} \cdot T_4 \\
 CPB &= SBP \cdot T_4 \\
 srM &= SBP \cdot T_4
 \end{aligned}$$

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$\begin{aligned}
 IdCNT &= \overline{CAP} \cdot T_1 + \overline{SC7} \cdot T_2 + T_4 \\
 I_0 &= \overline{CAP} \cdot T_1 + SBP \cdot SC3 \cdot T_4 \\
 I_1 &= \overline{SC7} \cdot T_2 \\
 I_2 &= \overline{SBP} \cdot T_4 + SBP \cdot \overline{SC3} \cdot T_4
 \end{aligned}$$

## 1.24 БИНАРНА РЕЧ СА ДУЖИМ НИЗОМ УЗАСТОПНИХ ЈЕДИНИЦА

Реализовати уређај Р за спрегу између уређаја UA и UB. Уређај Р треба да у 16 обраћања од уређаја UA прима серијски бит по бит и то од најмлађег до најстаријег бита парове битова две 16 битне бинарне речи и да након тога паралелно у једном обраћању прослеђује уређају UB једну од те две бинарне речи и то ону бинарну реч која у себи садржи дужи низ узастопних јединица. Уколико су најмлађи битови у бинарним речима означени индексом 0 а најстарији индексом 15, тада се у првом обраћању прима пар битова обе бинарне речи са индексом 0, у другом обраћању пар битова са индексом 1 и тако редом до 16-ог обраћања када се прима пар битова са индексом 15. На пример, нека је уређај Р примио од уређаја UA две бинарне речи 0011110011100110 и 0011110011111110 у којима је најдужи низ узастопних јединица 4 и 7, респективно. Стога уређај Р треба уређају UB паралелно у једном обраћању да проследи бинарну реч 0011110011111110. Операција треба да се понавља циклично. Уређаји UA, Р и UB треба раде синхроно на исти сигнал такта.

Уређај UA шаље уређају Р 2-битну бинарну реч пара битова по линијама података  $DAP_1$  и  $DAP_0$ , респективно. За синхронизацију између уређаја UA и Р користе се статусни сигнал SPA и управљачки сигнал CAP. Вредностима 0 и 1 сигнала SPA уређај Р шаље уређају UA индикацију када не може и када може да прими бинарну реч са линија  $DAP_{1..0}$ , респективно. Вредношћу 1 сигнала CAP, трајања једна периода сигнала такта, уређај UA шаље уређају Р команду да треба да прими бинарну реч са линија  $DAP_{1..0}$ , при чему уређај UA то чини када утврди да уређај Р на статусној линији SPA држи вредност 1.

Уређај Р шаље уређају UB једну 16-битну бинарну реч која у себи садржи дужи низ узастопних јединица по линијама података  $DPB_{15..0}$ , при чему је бит 15 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја Р и UB користе се статусни сигнал SBP и управљачки сигнал CPB. Вредностима 0 и 1 сигнала SBP уређај UB шаље уређају Р индикацију када не може и када може да прими 16-битну бинарну реч, респективно. Вредношћу 1 сигнала CPB, трајања једна периода сигнала такта, уређај Р шаље уређају UB команду да треба да прими 16-битну бинарну реч, при чему уређај Р то чини када утврди да уређај UB на статусној линији SBP држи вредност 1.

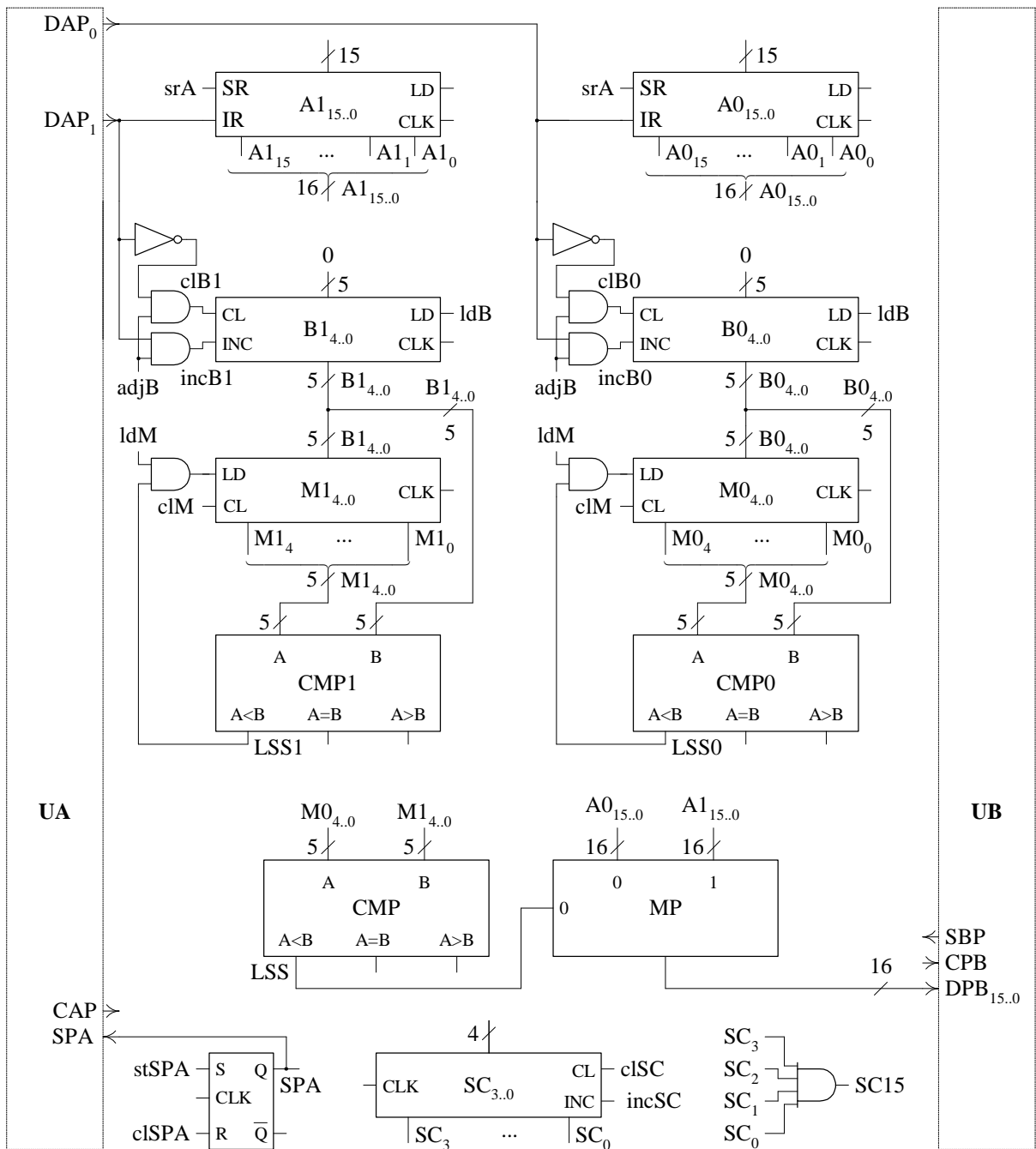
Претпоставити да су на почетку на статусним линијама SPA и SBP налазе вредности 0.

- а) Нацртати структурну шему операционе јединице уређаја Р.
- б) Нацртати дијаграме тока управљачких сигнала операционе јединице и управљачке јединице уређаја Р.
- в) Нацртати структурну шему управљачке јединице уређаја Р реализоване помоћу бројача корака и декодера и дати изразе за генерисање управљачких сигнала операционе јединице и управљачке јединице уређаја Р.

### Решење:

- а) Структурна шема операционе јединице приказана је на слици 24.а.

Операциона јединица садржи регистре  $A1_{15..0}$  и  $A0_{15..0}$ , бројаче  $B1_{4..0}$  и  $B0_{4..0}$ , регистре  $M1_{4..0}$  и  $M0_{4..0}$ , компараторе  $CMR1$  и  $CMR0$ , компаратор  $CMR$ , мултиплексер  $MP$ , бројач  $SC_{3..0}$  и флип-флоп SPA.



Слика 24.а Структурна шема операционе јединице

У овом задатку треба од уређаја UA независно примити две 16-битне бинарне речи и независно за сваку од њих утврдити најдужи низ појављивања вредности 1 и затим уређају UB послати ону бинарну реч која садржи дужи низ појављивања вредности 1.

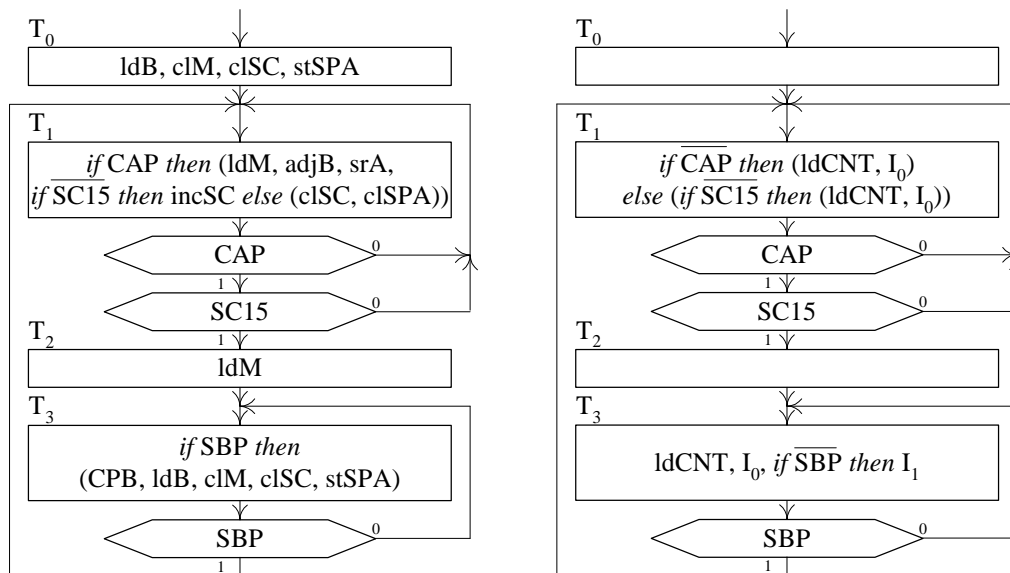
Утврђивање најдужег низа појављивања вредности 1 у обе 16-битне бинарне речи се ради на веома сличан начин као у задатку 1.23. Разлика је да се серијски примају две 16-битне бинарне речи а не паралелно једна 8-битна бинарна реч. Поред тога, истовремено са серијским пријемом две 16-битне бинарне речи у регистре  $A1_{15..0}$  и  $A0_{15..0}$  врши се и одређивање најдужег низа појављивања вредности 1 у обе бинарне речи, за разлику од задатка 1.23 где се 8-битна бинарна реч најпре паралелно прими, па се после у њој одређује најдужи низ појављивања вредности 1. Само одређивање најдужег низа појављивања вредности 1 у обе 16-битне бинарне речи се реализује на идентичан начин

као у задатку 1.23. При томе се за једну 16-битну бинарну реч користе регистар  $A_{15..0}$ , бројаче  $B_{14..0}$ , регистар  $M_{14..0}$  и компараторе  $CM_{P1}$ , а за другу 16-битну бинарну реч регистар  $A_{0..15}$ , бројач  $B_{0..15}$ , регистар  $M_{0..15}$  и компаратор  $CM_{P0}$ . Тражене дужине низова за две 16-битне бинарне речи се налазе регистрима  $M_{14..0}$  и  $M_{0..15}$ .

Уколико је садржај регистра  $M_{0..15}$  мањи од садржаја регистра  $M_{14..0}$ , сигнал **LSS** на излазу компаратора  $CM_{P}$  има вредност 1, па се кроз мултиплексер  $MP$  на линије  $DPB_{15..0}$  пропушта садржај регистра  $A_{15..0}$ . У супротном случају сигнал **LSS** има вредност 0, па се кроз мултиплексер  $MP$  на линије  $DPB_{15..0}$  пропушта садржај регистра  $A_{0..15}$ .

Бројач  $SC_{3..0}$  служе за одбројавање 16 итерација приликом серијског пријема 16-бирних бинарних речи, док сигнал **SC15** вредностима 0 и 1 указује да пријем није завршен и да је завршен, респективно. Флип-флоп  $SPA$  има идентичну функцију као у задатку 1.23.

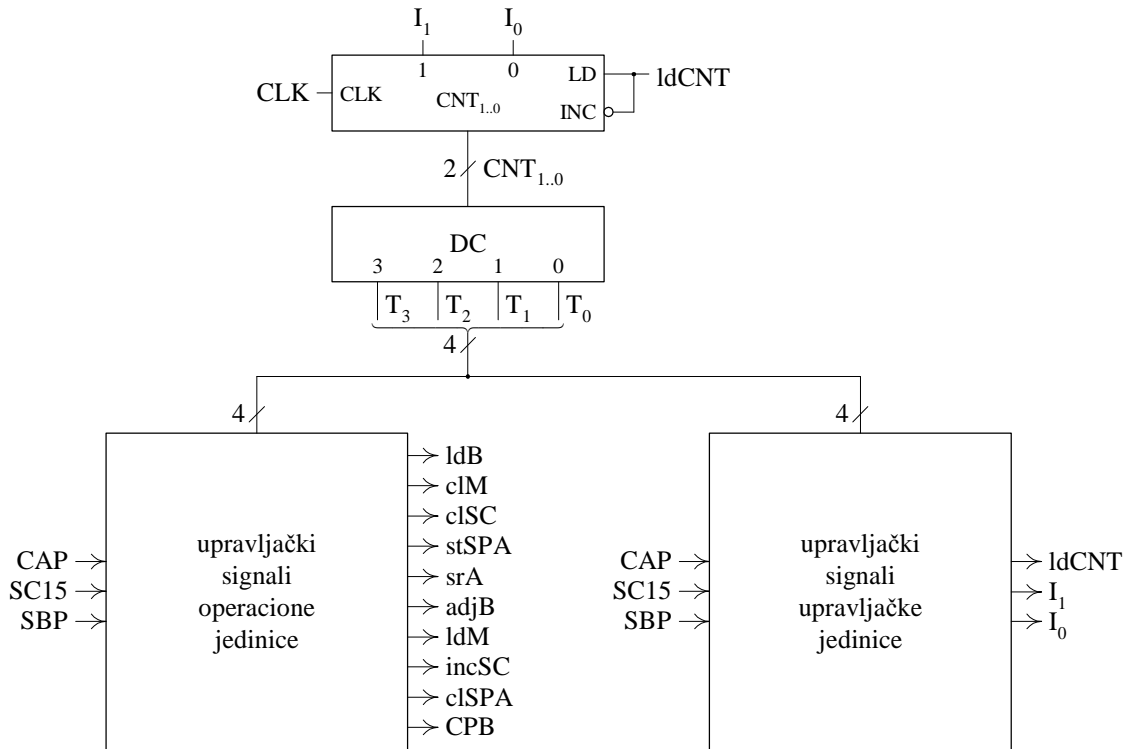
б) Дијаграм тока управљачких сигнала операционе и управљачке јединице приказан је на слици 24.б.



Слика 24.б Дијаграми тока управљачких сигнала операционе и управљачке јединице

Дијаграм тока управљачких сигнала су веома слични са дијаграмима тока у задатку 1.23. Разлике су последица чињенице да се у овом задатку бинарне речи примају серијски и да се бинарна реч резултата шаље паралелно, док се у задатку 1.23 бинарна реч прима паралелно а бинарна реч резултата се шаље серијски. У задатку 1.23 се бинарна реч прима у кораку  $T_1$  а најдужи низ јединица или нула одређује у кораку  $T_2$ . У овом задатку се у кораку  $T_1$  истовремено серијски примају битови бинарних речи и одређују најдужи низови јединица. Корак  $T_3$  из задатка 1.23 је исти као корак  $T_2$  из овог задатка. Корак  $T_4$  из задатка 1.23 је сличан кораку  $T_3$  из овог задатка, јер се у оба случаја бинарна реч резултата шаље. Разлике су последица чињенице да се у задатку 1.23 бинарна реч резултата се шаље серијски, а у овом задатку се бинарна реч резултата шаље паралелно. Треба уочити да се у овом задатку сигнал **clSC** непотребно генерише у кораку  $T_1$ , јер, за разлику од задатка 1.23 у коме се битови бинарне речи резултата шаљу серијски па ради њиховог одбројавања бројач  $SC_{3..0}$  треба довести на почетно стање 0, у овом задатку се бинарна реч шаље паралелно и бројач  $SC_{3..0}$  се не користи. У овом задатку је намерно, да би се одржала сличност са задатком 1.23, остављено да се сигнал **clSC** генерише не само у кораку  $T_3$  већ и у кораку  $T_1$ .

в) Структурна шема управљачке јединице реализована помоћу бројача корака и декодера приказана је на слици 24.в.



Слика 24.в Структурна шема управљачке јединице

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$ldB = T_0 + SBP \cdot T_3$$

$$clM = T_0 + SBP \cdot T_3$$

$$clSC = T_0 + CAP \cdot SC15 \cdot T_1 + SBP \cdot T_3$$

$$stSPA = T_0 + SBP \cdot T_3$$

$$ldM = CAP \cdot T_1 + T_2$$

$$adjB = CAP \cdot T_1$$

$$srA = CAP \cdot T_1$$

$$incSC = CAP \cdot \overline{SC15} \cdot T_1$$

$$clSPA = CAP \cdot SC15 \cdot T_1$$

$$CPB = SBP \cdot T_3$$

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$ldCNT = \overline{CAP} \cdot T_1 + CAP \cdot \overline{SC15} \cdot T_1 + T_3$$

$$I_0 = \overline{CAP} \cdot T_1 + CAP \cdot \overline{SC15} \cdot T_1 + T_3$$

$$I_1 = \overline{SBP} \cdot T_3$$

## 1.25 ШИФРОВАЊЕ

Реализовати уређај Р за спрегу између уређаја УС и УА и уређаја УВ. Уређај Р може у посебним обраћањима уређају УС да прими 1-битну бинарну реч по линији DCP<sub>8</sub> и 8-битну бинарну реч по линијама DCP<sub>7...0</sub> и у обраћању уређају УА да прими 8-битну бинарну реч по линијама DAP<sub>7...0</sub>. Поред тога уређај Р може у обраћању уређају УВ да преда 8-битну бинарну реч по линијама DPB<sub>7...0</sub>.

Операција коју уређај Р треба да реализује задаје се је 1-битном бинарном речи коју уређај Р прима од уређаја УС по линији DCP<sub>8</sub>. Уколико 1-битна бинарна реч има вредност 0 уређај Р треба да реализује операцију задавања шифре, док у случају да 1-битна бинарна реч има вредност 1 уређај Р треба да реализује операцију шифровања. У случају да је задата операција задавања шифре, уређај Р у два посебна обраћања уређају УС од овог уређај прима два 8-битне бинарне речи. Прва 8-битна бинарна реч представља бинарну реч за шифровање, док друга 8-битна бинарна реч представља шифровану бинарну реч. Резултат операције задавања шифре је складиштење обе 8-битне бинарне речи у уређају Р ради њиховог коришћења приликом реализације операције шифровања. У случају да је задата операција шифровања, уређај Р прима од уређају УА 8-битну бинарну за шифровање, на основу ње претражује 8-битне бинарне речи за шифровање и шифроване бинарне речи ускладиштене као резултат претходног извршавања операција задавања шифре и 8-битну шифровану бинарну реч шаље уређају УВ. Претпоставити да ће за неку 8-битну бинарну реч за шифровање уређај УС најпре да зада операцију задавања шифре, па тек после тога операцију шифровања. Тиме ће се у уређају Р приликом извршавања операције шифровања за задату 8-битну бинарну реч за шифровање увек пронаћи 8-битн шифрована бинарна реч. Функционисање уређаја Р треба да се понавља циклично тако што у сваком циклусу уређај Р најпре прими од уређаја УС 1-битну бинарну реч операције, на основу ње изврши на претходно описани начин или операцију задавања шифре или операцију шифровања и потом поново пређе на пријем следеће 1-битне бинарне речи операције од уређаја УС. Уређаји УС, УА, Р и УВ треба раде синхроно на исти сигнал такта.

Уређај УС шаље уређају Р 1-битну бинарну реч операције по линији податка DCPM. За синхронизацију између уређаја УС и Р користе се статусни сигнал SPC и управљачки сигнал CCP. Вредностима 0 и 1 сигнала SPC уређај Р шаље уређају УА индикацију када не може и када може да прими 1-битну бинарну реч операције по линији податка DCPM. Вредношћу 1 сигнала CCP, трајања једна периода сигнала такта, уређај УС шаље уређају Р команду да треба да прими 1-битну бинарну реч операције са линије податка DCPM, при чему уређај УС то чини када утврди да уређај Р на статусној линији SPC држи вредност 1. На идентичан начин се за синхронизацију између уређаја УС и Р користе статусни сигнал SPC и управљачки сигнал CCP и када уређај УС шаље уређају Р у два посебна обраћања 8-битну бинарну реч за шифровање и 8-битну шифровану бинарну реч по линијама податка DCP<sub>7...0</sub>.

Уређај УА шаље уређају Р 8-битну бинарну реч за шифровање по линијама података DAP<sub>7...0</sub>. За синхронизацију између уређаја УА и Р користе се статусни сигнал SPA и управљачки сигнал CAP. Вредностима 0 и 1 сигнала SPA уређај Р шаље уређају УА индикацију када не може и када може да прими 8-битну бинарну реч за шифровање са линија DAP<sub>7...0</sub>, респективно. Вредношћу 1 сигнала CAP, трајања једна периода сигнала такта, уређај УА шаље уређају Р команду да треба да прими 8-битну бинарну реч за шифровање са линија DAP<sub>7...0</sub>, при чему уређај УА то чини када утврди да уређај Р на статусној линији SPA држи вредност 1.

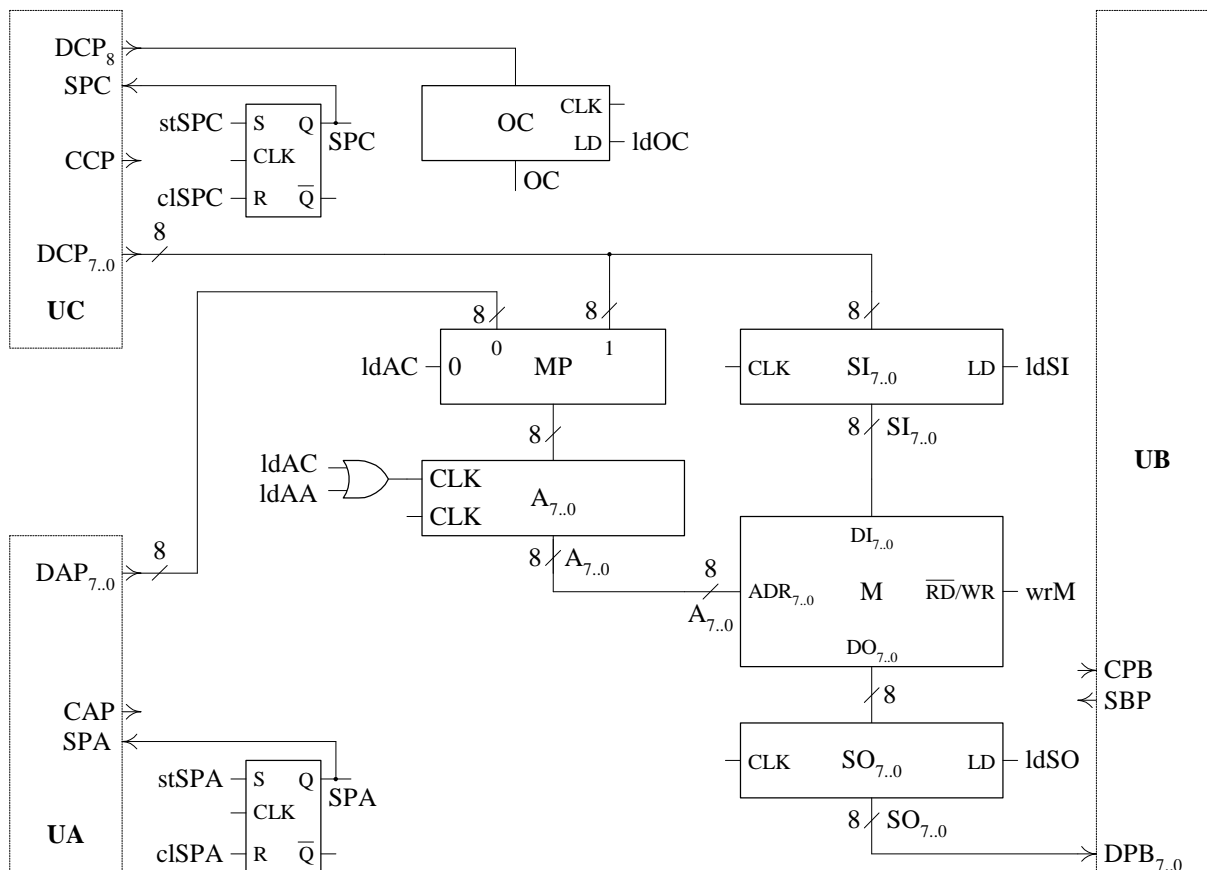
Уређај Р шаље уређају UB једну 8-битну шифровану бинарну реч по линијама података  $DPB_{7..0}$ . За синхронизацију између уређаја Р и UB користе се статусни сигнал SBP и управљачки сигнал CPB. Вредностима 0 и 1 сигнала SBP уређај UB шаље уређају Р индикацију када не може и када може да прими 8-битну шифровану бинарну реч, респективно. Вредношћу 1 сигнала CPB, трајања једна периода сигнала такта, уређај Р шаље уређају UB команду да треба да прими 8-битну шифровану бинарну реч, при чему уређај Р то чини када утврди да уређај UB на статусној линији SBP држи вредност 1.

Претпоставити да су на почетку на статусним линијама SPC, SPA и SBP налазе вредности 0.

- Нацртати структурну шему операционе јединице уређаја Р.
- Нацртати дијаграме тока управљачких сигнала операционе јединице и управљачке јединице уређаја Р.
- Нацртати структурну шему управљачке јединице уређаја Р реализоване помоћу бројача корака и декодера и дати изразе за генерисање управљачких сигнала операционе јединице и управљачке јединице уређаја Р.

**Решење:**

- Структурна шема операционе јединице приказана је на слици 25.а.



Слика 25.а Структурна шема операционе јединице

Операциона јединица садржи једноразредни регистар OC, 8-разредни регистар  $A_{7..0}$  са мултиплексером MP, 8-разредне регистре  $SI_{7..0}$  и  $SO_{7..0}$ , меморију M и флип-флопове SPC и SPA.

Регистар OC је 1-разредни регистар операције са паралелним уписом и читањем. У регистар OC се вредношћу 1 сигнала  $IdOC$  уписује 1-битна бинарна реч операције која

по линији  $DCP_8$  долази из уређаја UC. Вредностима 0 и 1 овог регистра се одређује да ли уређај P треба са уређајем UC да реализује операцију задавања шифре или треба са уређајима UA и UB да реализује операцију шифровања.

Регистар  $A_{7..0}$  је 8-разредни регистар са паралелним уписом и читањем у који се смешта 8-битна бинарна реч за шифровање приликом реализације обе операције. Приликом реализације операције задавања шифре 8-битна бинарна реч за шифровање, која по линијама података  $DCP_{7..0}$  долази из уређаја UC, се вредношћу 1 сигнала **IdAC** пропушта кроз мултиплексер MP и уписује у регистар  $A_{7..0}$ . Приликом реализације операције шифрирања 8-битна бинарна реч за шифровање која по линијама података  $DAP_{7..0}$  долази из уређаја UA се вредношћу 0 сигнала **IdAC** пропушта кроз мултиплексер MP и вредношћу 1 сигнала **IdAA** уписује у регистар  $A_{7..0}$ . Садржај регистра  $A_{7..0}$  се води на адресне линије меморије M и за обе операције користи као адреса меморијске локације. У случају операције задавања шифре то је адреса меморијске локације у коју се уписује 8-битна шифрована бинарна реч из регистра  $SI_{7..0}$ . У случају операције шифровања то је адреса меморијске локације са које се чита 8-битна шифрована бинарна реч и уписује у регистар  $SO_{7..0}$ .

Регистар  $SI_{7..0}$  је 8-разредни регистар са паралелним уписом и читањем у који се смешта 8-битна шифрована бинарна реч приликом реализације операције задавања шифре. Приликом реализације операције задавања шифре 8-битна шифрована бинарна која по линијама података  $DCP_{7..0}$  долази из уређаја UC се вредношћу 1 сигнала **IdSI** уписује у регистар  $SI_{7..0}$ . Излазне линије регистра  $SI_{7..0}$  се воде на улазне линије података  $DI_{7..0}$  меморије M.

Регистар  $SO_{7..0}$  је 8-разредни регистар са паралелним уписом и читањем у који се смешта 8-битна шифрована бинарна реч приликом реализације операције шифровања. Приликом реализације операције шифровања 8-битна шифрована бинарна која по излазним линијама података  $DO_{7..0}$  долази из меморије M на паралелне улазе регистра  $SO_{7..0}$  се вредношћу 1 сигнала **IdSO** уписује у регистар  $SO_{7..0}$ . Садржај регистра  $SO_{7..0}$  се по линијама  $DPB_{7..0}$  шаље уређају UB.

Меморија M капацитета 256 8-битних речи служи за складиштење шифрованих бинарних речи. При томе 8-битна бинарна реч за шифровање се користи као адреса меморијске локације у коју се складишти 8-битна шифрована бинарна реч.

У флип-флоп SPC се вредношћу 1 управљачког сигнала **stSPC** уписује вредност 1 онда када је уређај P спреман да прими од уређаја UC садржај било са линије  $DCP_8$  било са линија  $DCP_{7..0}$ , а вредношћу 1 управљачког сигнала **clSPC** вредност 0, онда када није спреман.

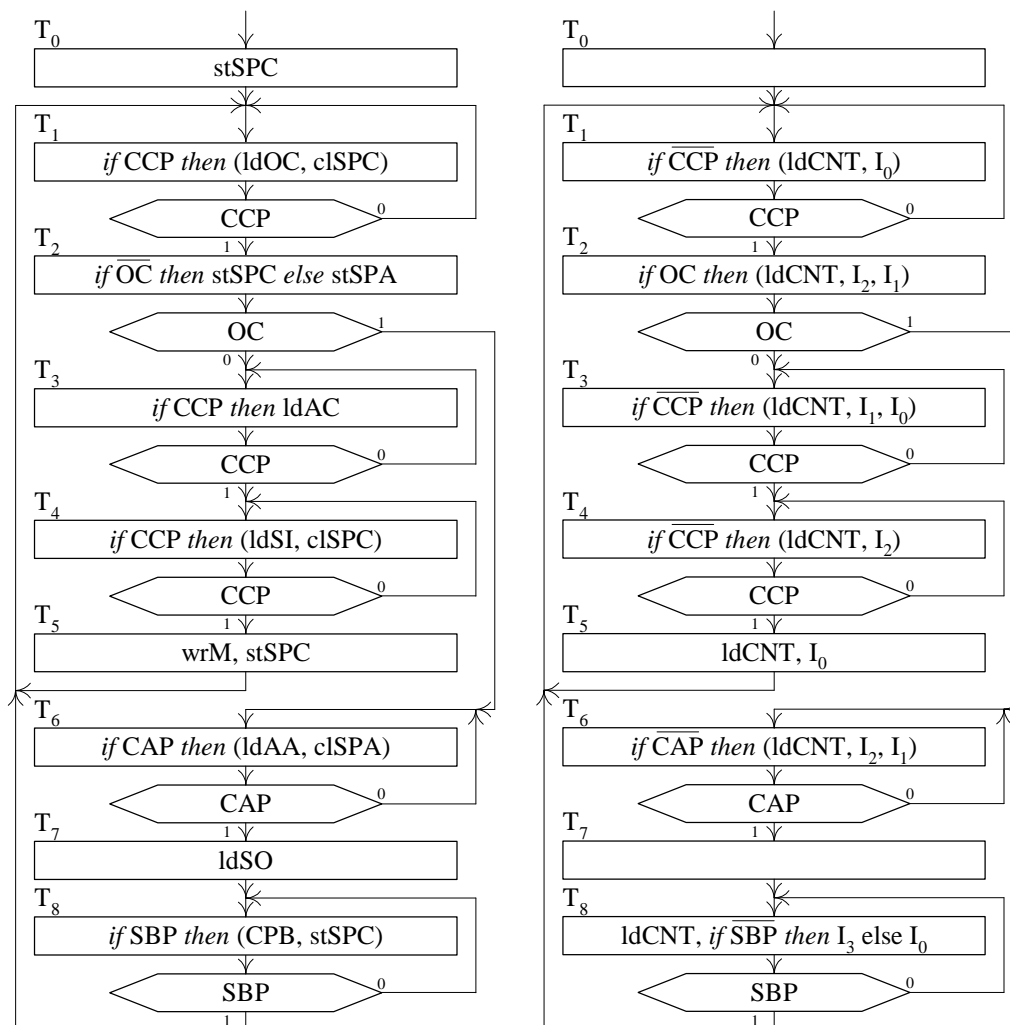
У флип-флоп SPA се вредношћу 1 управљачког сигнала **stSPA** уписује вредност 1 онда када је уређај P спреман да од уређаја UA прими садржај са линија  $DAP_{7..0}$ , а вредношћу 1 управљачког сигнала **clSPA** вредност 0, онда када није спреман.

б) Дијаграм тока управљачких сигнала операционе и управљачке јединице приказан је на слици 25.б.

У корацима  $T_0$ ,  $T_1$  и  $T_2$  се од уређаја UC прима 1-битна бинарна реч операције која долази по линији  $DCP_8$  и вредношћу 1 сигнала **IdOC** уписује у једноразредни регистар OC. Уколико регистар OC има вредност 0 треба да се реализује операција задавања шифре па се прелази на корак  $T_3$ , док у супротном случају треба да се реализује операција шифровања па се прелази на корак  $T_6$ . Операција задавања шифре се реализује у корацима  $T_3$ ,  $T_4$  и  $T_5$ , док се операција шифровања реализује у корацима  $T_6$ ,



**T<sub>7</sub>** и **T<sub>8</sub>**. На крају и једне и друге операције се прелази на корак **T<sub>1</sub>** да би се од уређаја УС примила следећа 1-битна бинарна реч операције.



Слика 25.6 Дијаграми тока управљачких сигнал операционе и управљачке јединице

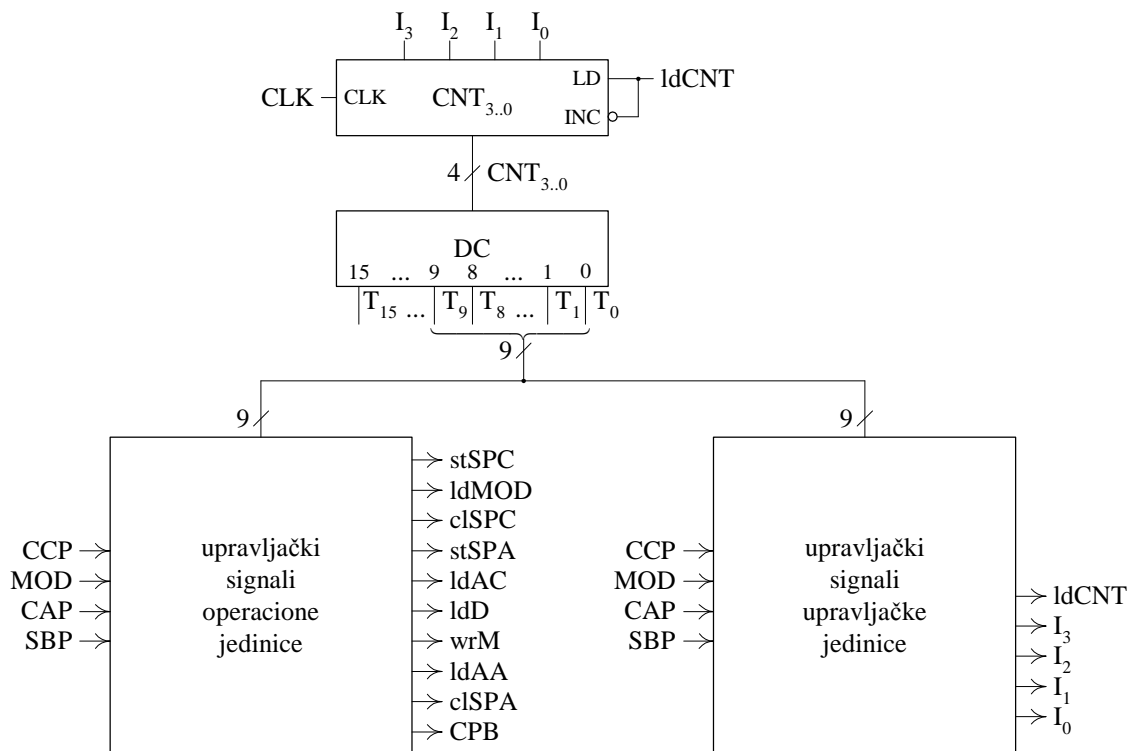
Приликом пријема 1-битне бинарне речи операције од уређаја УС, најпре се у кораку **T<sub>0</sub>** вредношћу 1 сигнала **stSPC** у флип-флоп **SPC** уписује вредност 1, чиме уређај **P** сигнализира уређају УС да је спреман да прима бинарне речи од уређаја УС. У кораку **T<sub>1</sub>** се, када се јави вредност 1 сигнала **CCP**, вредношћу 1 сигнала **ldOC** 1-битна бинарна реч операције са линије **DCP<sub>8</sub>** уписује у једноразредни регистар **OC**, док се вредношћу 1 сигнала **clSPC** у флип-флоп **SPC** уписује вредност 0, чиме уређај **P** сигнализира уређају УС да до даљег није спреман да прима бинарне речи од уређаја УС. У кораку **T<sub>2</sub>** се у зависности од тога да ли је у 1-разредном регистру **OC** вредност 0 или 1, генерише вредност 1 сигнала **stSPC** или **stSPA**, респективно. Вредношћу 1 сигнала **stSPC** у флип-флоп **SPC** уписује вредност 1, чиме уређај **P** сигнализира уређају УС да је спреман да прима бинарне речи од уређаја УС, док се вредношћу 1 сигнала **stSPA** у флип-флоп **SPA** уписује вредност 1, чиме уређај **P** сигнализира уређају **UA** да је спреман да прима бинарне речи од уређаја **UA**.

Приликом извршавања операција задавања шифре у кораку **T<sub>3</sub>** се, када се јави вредност 1 сигнала **CCP**, вредношћу 1 сигнала **ldAC** 8-битна бинарна за шифровање са линија **DCP<sub>7...0</sub>** пропушта кроз мултиплексер **MP** и уписује у регистар **A<sub>7..0</sub>**. У кораку **T<sub>4</sub>** се, када се јави вредност 1 сигнала **CCP**, вредношћу 1 сигнала **ldSI** 8-битна шифрована

бинарна са линија  $DCP_{7..0}$  уписује у регистар  $SI_{7..0}$ , док се вредношћу 1 сигнала **clSPC** у флип-флоп **SPC** уписује вредност 0, чиме уређај **P** сигнализира уређају **UC** да до даљег није спреман да прима бинарне речи од уређаја **UC**. У кораку  $T_5$  се вредношћу 1 сигнала **wrM** садржај регистра  $SI_{7..0}$  уписује у меморијску локацију чија је адреса одређена садржајем регистра  $A_{7..0}$ . Тиме се 8-битна шифрована бинарна реч уписује у меморијску локацију чија је адреса одређена 8-битном бинарном речи за шифровање. Поред тога, вредношћу 1 сигнала **stSPC** у флип-флоп **SPC** уписује вредност 1, чиме уређај **P** сигнализира уређају **UC** да је спреман да прима бинарне речи од уређаја **UC**.

Приликом извршавања операција шифровања у кораку  $T_6$  се, када се јави вредност 1 сигнала **CAP**, вредношћу 1 сигнала **ldAA** 8-битна бинарна реч за шифровање са линија  $DAP_{7..0}$  уписује у регистар  $A_{7..0}$ , док се вредношћу 1 сигнала **clSPA** у флип-флоп **SPA** уписује вредност 0, чиме уређај **P** сигнализира уређају **UA** да до даљег није спреман да прима бинарне речи од уређаја **UA**. У кораку  $T_7$  се вредношћу 0 сигнала **wrM** чита садржај меморијске локације са адресе одређене садржајем регистра  $A_{7..0}$  и вредношћу 1 сигнала **ldSO** уписује у регистар  $SO_{7..0}$ . Тиме се 8-битна шифрована бинарна реч чита из меморијске локације са адресе одређене 8-битном бинарном речи за шифровање. У кораку  $T_8$  се при вредности 1 сигнала **SBP** генеришу вредности 1 управљачких сигнала **CPB** и **stSPC**. Вредношћу 1 сигнала **CPB** се омогућава да на први следећи сигнал такта уређај **UB** упише 8-битну шифвану бинарну реч са линија података  $DPB_{7..0}$  у неки свој прихватни регистар, док се вредношћу 1 сигнала **stSPC** у флип-флоп **SPC** уписује вредност 1 чиме уређај **P** сигнализира уређају **UC** да је сада спреман да од уређаја **UC** прима бинарне речи.

в) Структурна шема управљачке јединице реализована помоћу бројача корака и декодера приказана је на слици 25.в.



Слика 25.в Структурна шема управљачке јединице

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$\text{stSPC} = T_0 + \overline{OC} \cdot T_2 + T_5 + \text{SBP} \cdot T_8$$

$$\text{ldOC} = \text{CCP} \cdot T_1$$

$$\text{clSPC} = \text{CCP} \cdot T_1 + \text{CCP} \cdot T_4$$

$$\text{stSPA} = \text{OC} \cdot T_2$$

$$\text{ldAC} = \text{CCP} \cdot T_3$$

$$\text{ldSI} = \text{CCP} \cdot T_4$$

$$\text{wrM} = T_5$$

$$\text{ldAA} = \text{CAP} \cdot T_6$$

$$\text{clSPA} = \text{CAP} \cdot T_6$$

$$\text{ldSO} = T_7$$

$$\text{CPB} = \text{SBP} \cdot T_8$$

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$\text{ldCNT} = \overline{\text{CCP}} \cdot T_1 + \text{OC} \cdot T_2 + \overline{\text{CCP}} \cdot T_3 + \overline{\text{CCP}} \cdot T_4 + T_5 + \overline{\text{CAP}} \cdot T_6 + T_8$$

$$\text{I}_0 = \overline{\text{CCP}} \cdot T_1 + \overline{\text{CCP}} \cdot T_3 + T_5 + \text{SBP} \cdot T_8$$

$$\text{I}_1 = \text{OC} \cdot T_2 + \overline{\text{CCP}} \cdot T_3 + \overline{\text{CAP}} \cdot T_6$$

$$\text{I}_2 = \text{OC} \cdot T_2 + \overline{\text{CCP}} \cdot T_4 + \overline{\text{CAP}} \cdot T_6$$

$$\text{I}_3 = \overline{\text{SBP}} \cdot T_8$$

## 1.26 ЧЕТИРИ ОПЕРАЦИЈЕ - CLC, ZERO, TRN И ADJ

Реализовати уређај Р за спрегу између уређаја UA и уређаја UB. Уређај Р може у посебним обраћањима уређају UA да прими 2-битну бинарну реч по линијама DAP<sub>9...8</sub> и 8-битну бинарну реч по линијама DAP<sub>7...0</sub>. Поред тога уређај Р може у обраћању уређају UB да преда 8-битну бинарну реч по линијама DPB<sub>7...0</sub>.

Операција коју уређај Р треба да реализује задаје се 2-битном бинарном речи коју уређај Р прима од уређаја UA по линијама DAP<sub>9...8</sub>. У зависности од тога да ли 2-битна бинарна реч има вредност 00, 01, 10 или 11, уређај Р треба да реализује операцију CLC (CaLCulate), ZRO (ZeRO), TRN (TRaNsfer) или ADJ (ADJust), респективно.

У случају да је задата операција CLC, уређај Р у 16 посебних обраћања уређају UA од овог уређај прима 16 8-битних бинарних речи које интерпретира као целобројне величине без знака, срачунава њихову аритметичку средину и добијену вредност смешта у неки интерни регистар ради коришћења приликом реализације операције ADJ.

У случају да је задата операција ZRO, уређај Р предаје уређају UB 8-битну бинарну реч чија је вредност 0.

У случају да је задата операција TRN, уређај Р у посебном обраћању уређају UA прима 8-битну бинарну реч коју неизмењену предају уређају UB.

У случају да је задата операција ADJ, уређај Р у посебном обраћању уређају UA прима 8-битну бинарну реч коју интерпретира као целобројну величину без знака, од ње одузима вредност аритметичке средине 16 8-битних бинарних речи срачунату приликом извршавања операције CLC и добијену 8-битну бинарну реч разлике предају уређају UB.

Функционисање уређаја Р треба да се понавља циклично тако што у сваком циклусу уређај Р треба најпре да прими од уређаја UA 2-битну бинарну реч операције, на основу ње изврши на претходно описани начин операцију CLC (CaLCulate), ZRO (ZeRO), TRN (TRaNsfer) или ADJ (ADJust) и потом поново пређе на пријем следеће 2-битне бинарне речи операције од уређаја UA.

Уређај UA шаље уређају Р 2-битну бинарну реч операције по линијама података DAP<sub>9...8</sub>. За синхронизацију између уређаја UA и Р користе се статусни сигнал SPA и управљачки сигнал CAP. Вредностима 0 и 1 сигнала SPA уређај Р шаље уређају UA индикацију када не може и када може да прими 2-битну бинарну реч операције по линијама података DAP<sub>9...8</sub>. Вредношћу 1 сигнала CAP, трајања једна периода сигнала такта, уређај UA шаље уређају Р команду да треба да прими 2-битну бинарну реч операције са линијама података DAP<sub>9...8</sub>, при чему уређај UA то чини када утврди да уређај Р на статусној линији SPA држи вредност 1. На идентичан начин се за синхронизацију између уређаја UA и Р користе статусни сигнал SPA и управљачки сигнал CAP и када уређај UA шаље уређају Р по линијама податка DAP<sub>7...0</sub> у 16 обраћања 16 8-битних бинарних речи приликом извршавања операције CLC и у једном обраћању једну 8-битну бинарну реч приликом извршавања операција TRN или ADJ.

Уређај Р шаље уређају UB једну 8-битну бинарну реч по линијама података DPB<sub>7..0</sub> приликом извршавања операција ZRO, TRN или ADJ, при чему је 8-битна бинарна реч која се шаље посебно дефинисана за сваку од операција ZRO, TRN и ADJ. За синхронизацију између уређаја Р и UB користе се статусни сигнал SBP и управљачки сигнал CPB. Вредностима 0 и 1 сигнала SBP уређај UB шаље уређају Р индикацију када

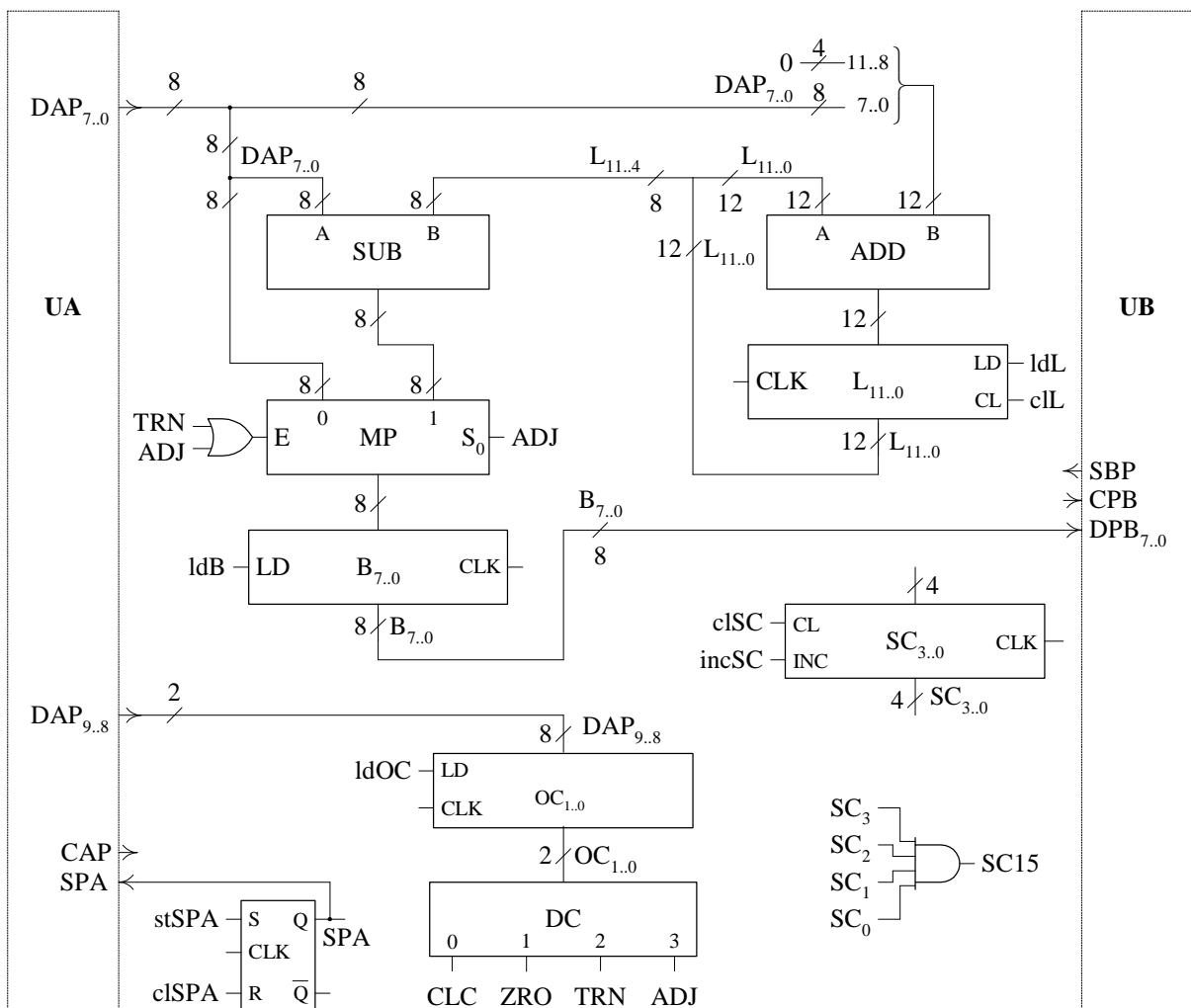
не може и када може да прими 8-битну бинарну реч, респективно. Вредношћу 1 сигнала CPB, трајања једна периода сигнала такта, уређај P шаље уређају UB команду да треба да прими 8-битну бинарну реч, при чему уређај P то чини када утврди да уређај UB на статусној линији SBP држи вредност 1.

Претпоставити да су на почетку на статусним линијама SPA и SBP налазе вредности 0.

- а) Нацртати структурну шему операционе јединице уређаја P.
- б) Нацртати дијаграме тока управљачких сигнала операционе јединице и управљачке јединице уређаја P.
- в) Нацртати структурну шему управљачке јединице уређаја P реализоване помоћу бројача корака и декодера и дати изразе за генерисање управљачких сигнала операционе јединице и управљачке јединице уређаја P.

**Решење:**

а) Структурна шема операционе јединице приказана је на слици 26.а.



Слика 26.а Структурна шема операционе јединице

Операциона јединица садржи 2-разредни регистар OC1.0 са декодером DC, 12-разредни регистар L11.0 са сабирачем ADD, 8-разредни регистар B7.0 са мултиплексером MP и одузимачем SUB, бројач SC3.0 и флип-флоп SPA.

Регистар  $OC_{1..0}$  је 2-разредни регистар операције са паралелним уписом и читањем. У регистар  $OC_{1..0}$  се вредношћу 1 сигнала **ldOC** уписује 2-битна бинарна реч операције која по линијама  $DAP_{9..8}$  долази из уређаја UA. Вредностима 00 до 11 садржаја регистра  $OC_{1..0}$  се одређује коју од операција CLC (CaLCulate), ZRO (ZeRO), TRN (TRaNsfer) или ADJ (ADJust), респективно, уређај P треба да реализује. Садржај регистра  $OC_{1..0}$  се води на улазе декодера DC.

Декодер DC са два улаза и четири излаза на основу тога која од вредности 00 до 11 сигнала  $OC_{1..0}$  се појављује на улазима даје вредност 1 једног од сигнала **CLC**, **ZRO**, **TRN** или **ADJ** на излазима, чиме се одређује коју од четири операције треба реализовати.

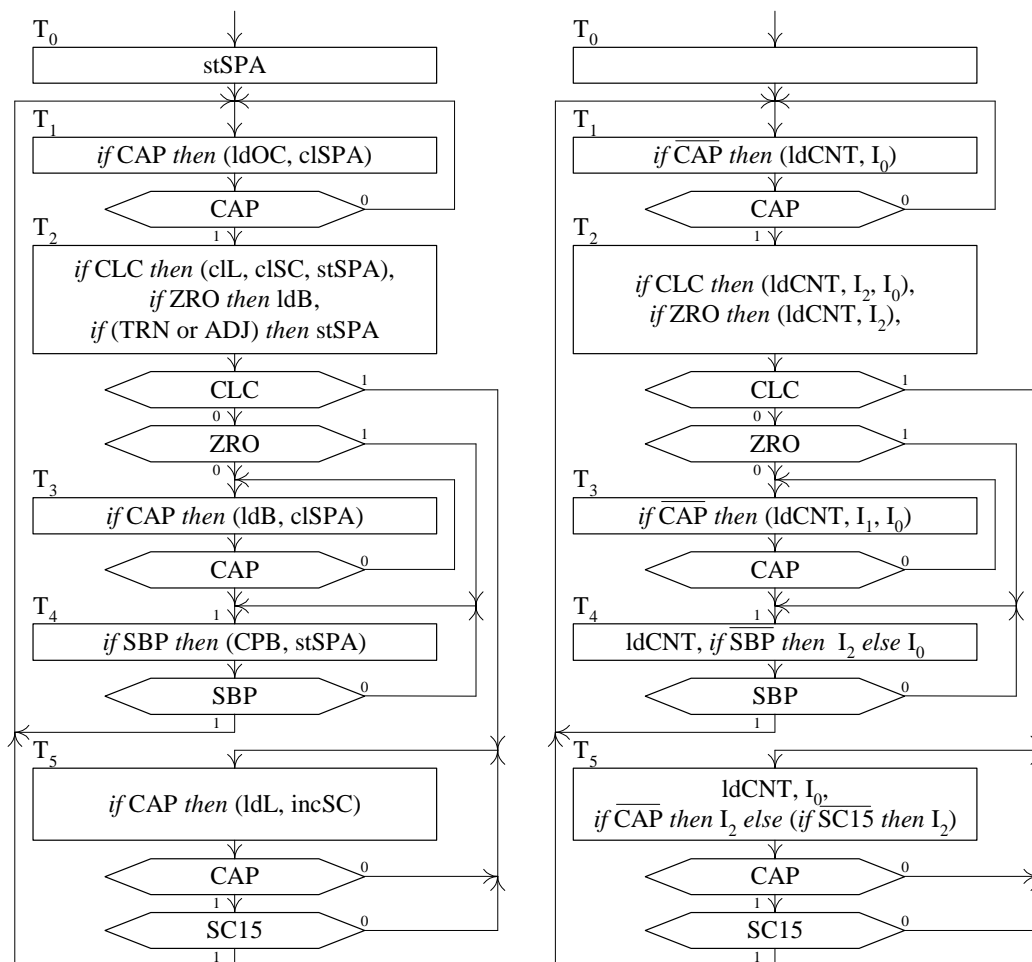
Регистар  $L_{11..0}$  је 12-разредни регистар са паралелним уписом и читањем. Регистар служи  $L_{11..0}$  за смештање суме 16 8-битних бинарних речи приликом извршавања операције CLC. Вредношћу 1 сигнала **clL** садржај регистра  $L_{11..0}$  се поставља на вредност 0. У 12-разредном сабирачу ADD се у 16 итерација врши сабирање садржаја регистра  $L_{11..0}$  и 16 8-битних бинарних речи проширених нулама на дужину на 12 бита које по линијама долазе из уређаја UA и резултат са излаза сабирача ADD вредношћу 1 сигнала **ldL** уписује у регистар  $L_{11..0}$ . После 16 итерација у регистру  $L_{11..0}$  се налази сума 16 8-битних бинарних речи. Да би се добила њихова аритметичка средина неопходно је садржај регистра  $L_{11..0}$  поделити са 16, што се може постићи померањем садржаја регистра  $L_{11..0}$  четири места удесно. Тиме би се после померања у разредима 7 до 0 регистра  $L_{11..0}$  појавили разреди 11 до 4 пре померања, респективно. У решењу задатка је усвојено да се садржај регистра  $L_{11..0}$  не помера, већ да се као аритметичка средина приликом извршавања операције ADJ директно користе разреди 11 до 4 регистра  $L_{11..0}$ .

Регистар  $V_{7..0}$  је 8-разредни регистар са паралелним уписом и читањем. Регистар служи  $V_{7..0}$  за смештање 8-битне бинарне речи приликом извршавања операције ZRO, TRN и ADJ. Захтевана 8-битна бинарна реч се добија са излаза мултиплексера MP и вредношћу 1 сигнала **ldV** уписује у регистар  $V_{7..0}$ . Приликом извршавања операције ZRO то је вредност 0 која се формира на излазима мултиплексера MP због тога што тада сигнали **TRN** и **ADJ** имају вредност 0 па је на улазу E мултиплексера MP вредност 0. Приликом извршавања операције TRN то је 8-битна бинарна вредност са линија  $DAP_{7..0}$  која се пропушта на излазе мултиплексера MP због тога што тада сигнали **TRN** и **ADJ** имају вредности 1 и 0, респективно, па је на улазу E мултиплексера MP вредност 1, а на улазу  $S_0$  вредност 0. Приликом извршавања операције ADJ то је 8-битна бинарна вредност која се формира на излазима одузимача SUB и представља разлику 8-битне бинарне речи са линија  $DAP_{7..0}$  и 8-битне бинарне речи аритметичке средине 16 8-битних бинарних речи формиране у разредима  $L_{11..4}$  приликом извршавања операције CLC. Формирана 8-битна бинарна реч са излаза одузимача SUB се пропушта на излазе мултиплексера MP због тога што тада сигнали **TRN** и **ADJ** имају вредности 0 и 1, респективно, па су на улазима E и  $S_0$  мултиплексера MP вредности 1.

Бројач  $SC_{3..0}$  је 4-разредни инкрементирајући бројач. Током извршавања операције CLC се вредношћу 1 сигнала **clSC** на почетку итеративног сабирања 16 8-битних бинарних речи које по линијама  $DAP_{7..0}$  долазе од уређаја UA и садржаја регистра  $L_{11..0}$  врши уписивање вредности нула у бројач  $SC_{2..0}$ , док се вредношћу 1 сигнала **incSC** врши инкрементирање бројача  $SC_{3..0}$  приликом саког од 16 итеративних сабирања. Уколико садржај бројача  $SC_{3..0}$  има вредност 15, сигнал логичког услова **SC15** добија вредност 1. Вредност 1 сигнала **SC15** је индикација да је завршено сабирање 16 8-битних бинарних речи и да се њихова сума налази у регистру  $L_{11..0}$ .

У флип-флоп SPA се вредношћу 1 управљачког сигнала **stSPA** уписује вредност 1 онда када је уређај P спреман да прима бинарне речи од уређаја UA, а управљачким сигналом **clSPA** вредност 0, онда када није спреман.

б) Дијаграм тока управљачких сигнала операционе и управљачке јединице приказан је на слици 26.б.



Слика 26.б Дијаграми тока управљачких сигнал операционе и управљачке јединице

У корацима **T<sub>0</sub>**, **T<sub>1</sub>** и **T<sub>2</sub>** се од уређаја UA прима 2-битна бинарна реч операције која долази по линији DAP<sub>9...8</sub> и уписује у 2-разредни регистар OC<sub>1...0</sub>. У зависности од тога да ли регистар OC<sub>1...0</sub> има вредност 00, 01, 10 или 11 један од сигнала **CLC**, **ZRO**, **TRN** или **ADJ** има вредност 1. Уколико сигнал **CLC** има вредност 1, треба да се реализује операција CLC, па се прелази на корак **T<sub>5</sub>**. Уколико сигнал **ZRO** има вредност 1, треба да се реализује операција ZRO, па се прелази на корак **T<sub>4</sub>**. Уколико сигнали **CLC** и **ZRO** имају вредност 0, треба да се реализује операција **TRN** или **ADJ**, па се прелази на корак **T<sub>3</sub>**. Операција **CLC** се реализује у кораку **T<sub>5</sub>**, операција **ZRO** у кораку **T<sub>4</sub>**, а операције **TRN** или **ADJ** у корацима **T<sub>3</sub>** и **T<sub>4</sub>**. На крају све четири операције се прелази на корак **T<sub>1</sub>** да би се од уређаја UA примила следећа 2-битна бинарна реч операције.

Приликом пријема 2-битне бинарне речи операције од уређаја UA, најпре се у кораку **T<sub>0</sub>** вредношћу 1 сигнала **stSPA** у флип-флоп SPA уписује вредност 1, чиме уређај P сигнализира уређају UA да је спреман да прима бинарне речи од уређаја UA. У кораку **T<sub>1</sub>** се, када се јави вредност 1 сигнала **CAP**, вредношћу 1 сигнала **ldOC** 2-битна бинарна реч операције са линија DAP<sub>9...8</sub> уписује у 2-разредни регистар OC<sub>1...0</sub>, док се вредношћу

1 сигнала **clSPA** у флип-флоп SPA уписује вредност 0, чиме уређај P сигнализира уређају UA да до даљег није спреман да прима бинарне речи од уређаја UA.

У кораку  $T_2$  се у зависности од тога који од сигнала операција **CLC**, **ZRO**, **TRN** или **ADJ** има вредност 1 генеришу вредности 1 одговарајућих сигнала и прелази на одговарајући корак  $T_5$ .

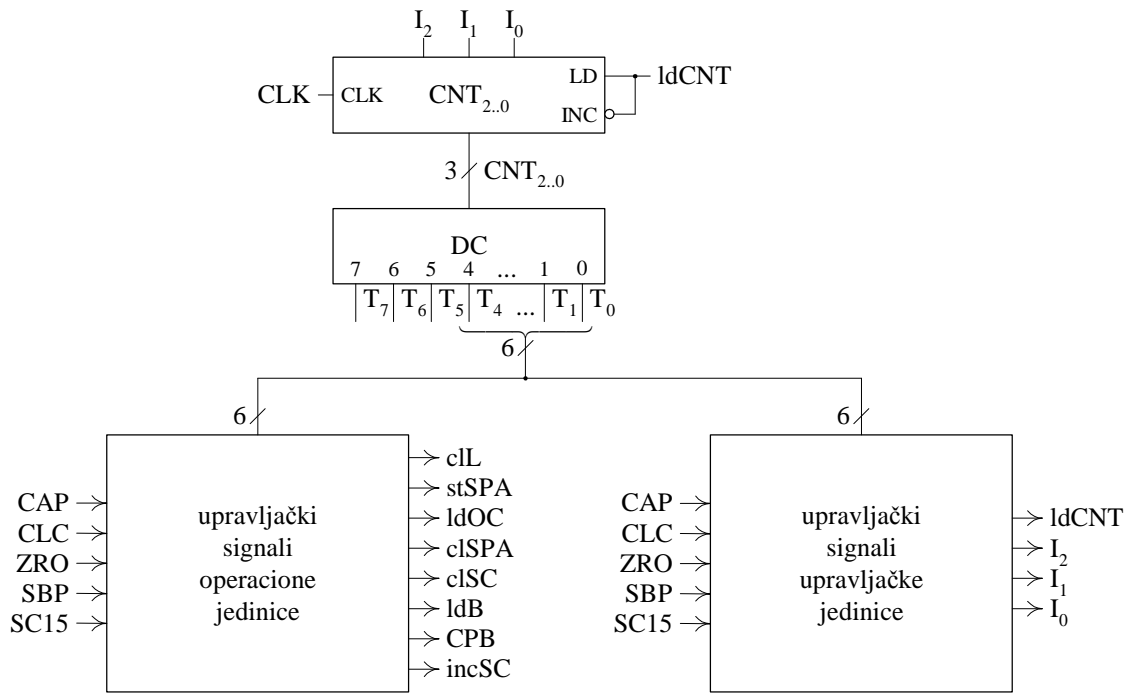
Уколико сигнал **CLC** има вредност 1, генеришу се вредности 1 сигнала **clL**, **clSC** и **stSPA** и прелази на корак  $T_5$ . Вредностима 1 сигнала **clL** и **clSC** у регистар  $L_{11..0}$  се уписује вредност 0 и бројач  $SC_{3..0}$  брише, респективно, док се вредношћу 1 сигнала **stSPA** у флип-флоп SPA уписује вредност 1, чиме уређај P сигнализира уређају UA да је спреман да прима бинарне речи од уређаја UA. У кораку  $T_5$  се у 16 итерација од уређаја UA по линијама  $DAP_{7..0}$  примају 8-битне бинарне речи на исти начин како се то чини у задатку 1.16. Приликом пријема сваке 8-битне бинарне речи у 12-разредном сабирачу ADD се врши сабирање садржаја регистра  $L_{11..0}$  и 8-битне бинарне речи проширене нулама на дужину на 12 бита и резултат са излаза сабирача ADD вредношћу 1 сигнала **ldL** уписује у регистар  $L_{11..0}$ . После 16 итерација у регистру  $L_{11..0}$  се налази сума 16 8-битних бинарних речи. Поред тога вредношћу 1 сигнала **incSC** се у свакој итерацији садржај бројача  $SC_{3..0}$  инкрементира. У првој итерацији бројач  $SC_{3..0}$  се инкрементира са 0 на 1, у другој са 1 на 2 и тако редом до итерације 15 у којој се инкрементира са 14 на 15 и итерације 16 у којој се, с обзиром да се ради о бројачу по модулу 16, инкрементира са 15 на 0, па у итерацијама 1 до 15 сигнал **SC15** има вредност 0, а у итерацији 16 вредност 1. Стога се после 16 итерација прелази из корака  $T_5$  у корак  $T_1$ .

Уколико сигнал **ZRO** има вредност 1, генерише се вредности 1 сигнала **ldB** и прелази на корак  $T_4$ . Вредношћу 1 сигнала **ldB** у регистар  $V_{7..0}$  се уписује вредност 0, јер тада са излаза мултиплексера MP на паралелне улазе регистра  $V_{7..0}$  долази вредност 0. Садржај регистра  $V_{7..0}$  се шаље паралелно по линијама  $DPB_{7..0}$  уређају UB на исти начин на који се то ради у задатку 1.16. Поред тога, при вредности 1 сигнала **SBP** у кораку  $T_4$  вредношћу 1 сигнала **stSPA** у флип-флоп SPA уписује вредност 1, чиме уређај P сигнализира уређају UA да је спреман да прима бинарне речи од уређаја UA, и прелази на корак  $T_1$ .

Уколико сигнал **TRN** или **ADJ** има вредност 1, вредношћу 1 сигнала **stSPA** у флип-флоп SPA се уписује вредност 1, чиме уређај P сигнализира уређају UA да је спреман да прима бинарне речи од уређаја UA, и прелази на корак  $T_3$ . У кораку  $T_3$  се од уређаја UA по линијама  $DAP_{7..0}$  прима 8-битна бинарна реч на исти начин како се то чини у задатку 1.16. Том приликом се при вредности 1 сигнала **SBP** вредношћу 1 сигнала **ldB** у регистар  $V_{7..0}$  уписује садржај са излаза мултиплексера MP који се води на паралелне улазе регистра  $V_{7..0}$ . Овај садржај представља 8-битну бинарну реч са линија  $DAP_{7..0}$  уколико сигнал **TRN** има вредност 1 и разлику 8-битне бинарне речи са линија  $DAP_{7..0}$  и 8-битне бинарне речи из разреда  $L_{11..4}$ , која представља аритметичке средину 16 8-битних речи срачунату приликом извршавања операције CLC, уколико сигнал **ADJ** има вредност 1. Поред тога при вредности 1 сигнала **SBP** вредношћу 1 сигнала **clSPA** у флип-флоп SPA се уписује вредност 0, чиме уређај P сигнализира уређају UA да до даље није спреман да прима бинарне речи од уређаја UA, и прелази на корак  $T_4$ . У кораку  $T_4$ , који је заједнички за операције **ZRO**, **TRN** или **ADJ**, се, како је то већ описано за операцију **ZRO**, садржај регистра  $V_{7..0}$  шаље паралелно по линијама  $DPB_{7..0}$  уређају UB, флип-флоп SPA постаља на вредност 1 и прелази на корак  $T_1$ .

в) Структурна шема управљачке јединице реализована помоћу бројача корака и декодера приказана је на слици 26.в.





Слика 26.в Структурна шема управљачке јединице

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$\text{stSPA} = T_0 + \text{CLC} \cdot T_2 + \text{TRN} \cdot T_2 + \text{ADJ} \cdot T_2 + \text{SBP} \cdot T_4$$

$$\text{ldOC} = \text{CAP} \cdot T_1$$

$$\text{clSPA} = \text{CAP} \cdot T_1 + \text{CAP} \cdot T_3$$

$$\text{clL} = \text{CLC} \cdot T_2$$

$$\text{clSC} = \text{CLC} \cdot T_2$$

$$\text{ldB} = \text{ZRO} \cdot T_2 + \text{CAP} \cdot T_3$$

$$\text{CPB} = \text{SBP} \cdot T_4$$

$$\text{ldL} = \text{CAP} \cdot T_5$$

$$\text{incSC} = \text{CAP} \cdot T_5$$

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$\text{IdCNT} = \overline{\text{CAP}} \cdot T_1 + \text{CLC} \cdot T_2 + \text{ZRO} \cdot T_2 + \overline{\text{CAP}} \cdot T_3 + T_4 + T_5$$

$$I_0 = \overline{\text{CAP}} \cdot T_1 + \text{CLC} \cdot T_2 + \overline{\text{CAP}} \cdot T_3 + \text{SBP} \cdot T_4 + T_5$$

$$I_1 = \overline{\text{CAP}} \cdot T_3$$

$$I_2 = \text{CLC} \cdot T_2 + \text{ZRO} \cdot T_2 + \overline{\text{SBP}} \cdot T_4 + \overline{\text{CAP}} \cdot T_5 + \text{CAP} \cdot \overline{\text{SC15}} \cdot T_5$$

## 1.27 НАЈЧЕШЋЕ ПРИМЉЕНА РЕЧ

Реализовати уређај Р за спрегу између уређаја UA и UB. Уређај Р треба од уређаја UA паралелно да прими једну за другом низ од 512 8-битних бинарних речи и да уређају UB паралелно пошаље ону 8-битну бинарну реч из примљеног низа која се у низу појављује највећи број пута. Уколико постоји скуп од више различитих 8-битних бинарних речи које се појављује исти број пута у примљеном низу од 512 8-битних бинарних речи, уређај Р шаље уређају UB једну произвољно одабрану 8-битну бинарну реч из тог скупа. Операција треба да се понавља циклично. Уређаји UA, Р и UB треба раде синхроно на исти сигнал такта.

Уређај UA шаље уређају Р једну 8-битну бинарну реч по линијама података DAP<sub>7,0</sub>, при чему је бит 7 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја UA и Р користе се статусни сигнал SPA и управљачки сигнал CAP. Вредностима 0 и 1 сигнала SPA уређај Р шаље уређају UA индикацију када не може и када може да прими 8-битну бинарну реч, респективно. Вредношћу 1 сигнала CAP, трајања једна периода сигнала такта, уређај UA шаље уређају Р команду да треба да прими 8-битну бинарну реч, при чему уређај UA то чини када утврди да уређај Р на статусној линији SPA држи вредност 1.

Уређај Р шаље уређају UB 8-битну бинарну реч по линијама података DPB<sub>7,0</sub>, при чему је бит 7 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја Р и UB користе се статусни сигнал SBP и управљачки сигнал CPB. Вредностима 0 и 1 сигнала SBP уређај UB шаље уређају Р индикацију када не може и када може да прими 8-битну бинарну реч, респективно. Вредношћу 1 сигнала CPB, трајања једна периода сигнала такта, уређај Р шаље уређају UB команду да треба да прими 8-битну бинарну реч, при чему уређај Р то чини када утврди да уређај UB на статусној линији SBP држи вредност 1.

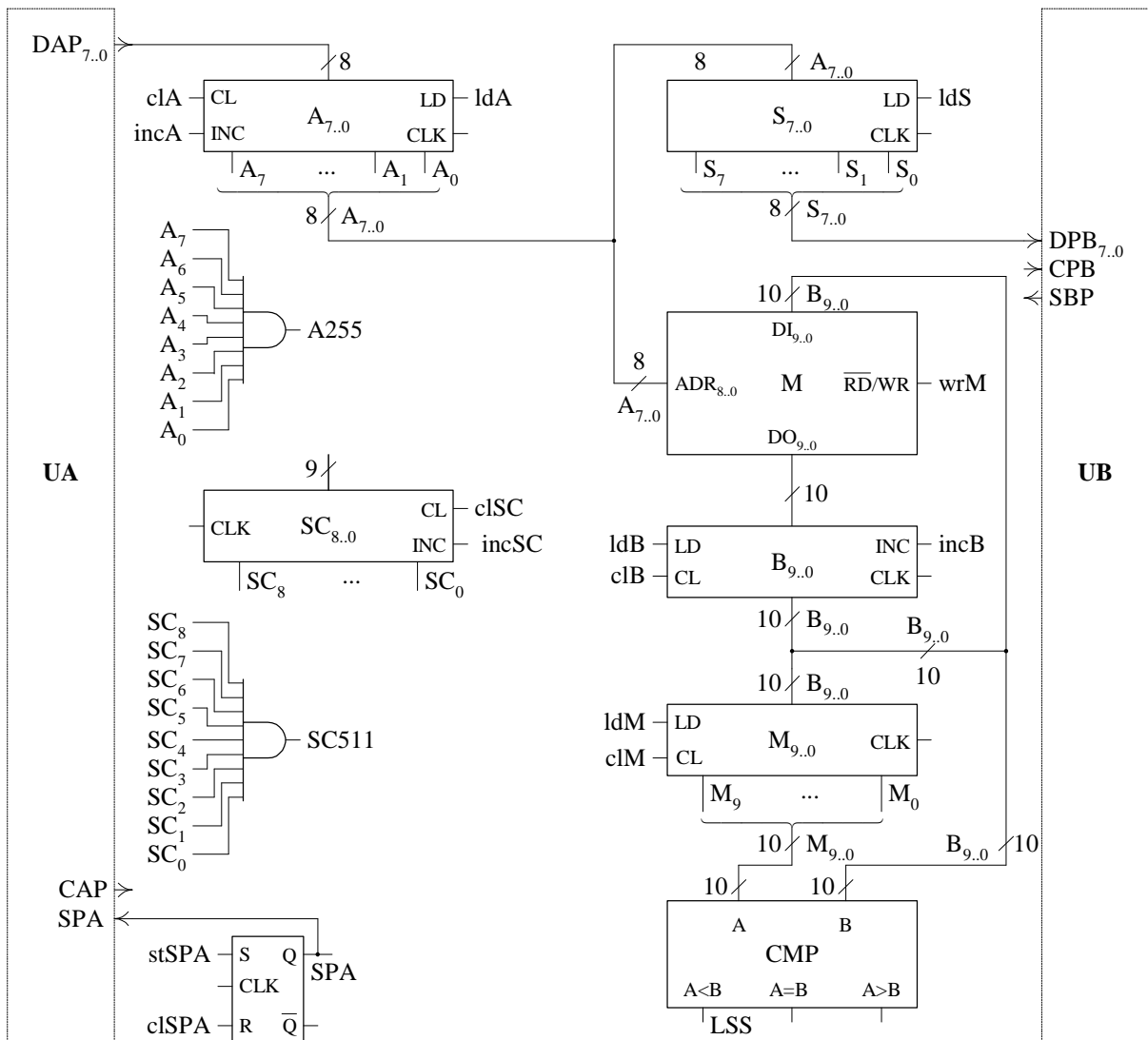
Претпоставити да су на почетку на статусним линијама SPA и SBP налазе вредности 0.

- а) Нацртати структурну шему операционе јединице уређаја Р.
- б) Нацртати дијаграме тока управљачких сигнала операционе јединице и управљачке јединице уређаја Р.
- в) Нацртати структурну шему управљачке јединице уређаја Р реализоване помоћу бројача корака и декодера и дати изразе за генерисање управљачких сигнала операционе јединице и управљачке јединице уређаја Р.

### Решење:

- а) Структурна шема операционе јединице приказана је на слици 27.а.

Од уређаја UA се примају 8-битне бинарне речи, па је број тих различитих 8-битних бинарних речи 256. За вођење евиденције колико пута се појавила свака од 256 8-битних бинарних речи користи се меморија М капацитета 256 10-битних меморијских речи. Усвојено је да се 8-битним бинарним речима кодираним са 00000000 до 11111111 додељују меморијске локације са адресама 00000000 до 11111111, респективно. Пошто се прима 512 8-битних бинарних речи, могуће је да се појави ситуација да се нека 8-битна бинарна реч појави 512 пута, па је потребно да ширина меморијске речи буде 10 битова.



Слика 27.а Структурна шема операционе јединице

Садржај 8-разредног регистра  $A_{7...0}$  се користи као адреса меморијске локације у коју треба уписати или из које треба прочитати тренутни број примљених 8-битних бинарних речи чија бинарна вредност одговара бинарној вредности адресе меморијске локације. Тренутни број примљених 8-битних бинарних речи се приликом читања из неке меморијске локације смешта се у регистар  $B_{9...0}$  и приликом уписа у неку меморијску локацију се узима из регистра  $B_{9...0}$ .

Пре пријема 512 8-битних бинарних речи у свих 256 меморијских локација се уписује вредност 0 да би почетне вредности броја примљених 8-битних бинарних речи за свих 256 могућих 8-битних бинарних речи биле 0. То се реализује тако што се најпре у регистре  $A_{7...0}$  и  $B_{9...0}$  упише вредност 0, а затим у 256 итерација уз инкрементирање садржаја бројачког регистра  $A_{7...0}$  врши уписивање садржаја 0 регистра  $B_{9...0}$  у свих 256 меморијских локација. Приликом упис у меморијску локацију на адреси 255, сигнал **A255** добија вредност 1 која служи као критеријум да треба завршити са уписивањем вредности 0 у меморијске локације.

Приликом пријема 8-битних бинарних речи са линија  $DAP_{7...0}$  свака 8-битна бинарна реч се вредношћу 1 сигнала **ldA** уписује у регистар  $A_{7...0}$ . Садржаја регистра  $A_{7...0}$  се користи као адреса меморијске локације са које се чита садржај и вредношћу 1 сигнала уписује у регистар  $B_{9...0}$ . Потом се вредношћу 1 сигнала **incB** садржај регистра  $B_{9...0}$

инкрементира и на крају вредношћу 1 сигнала **wrB** уписује у исту меморијску локацију. Тиме је садржај меморијске локације која одговара примљеној 8-битној бинарној речи увећан за 1.

Приликом пријема једне 8-битне бинарне речи врши се и утврђивање тренутно највећег броја појављивања неке 8-битне бинарне речи, при чему се тренутно највећи број појављивања неке 8-битне бинарне речи чува у регистру  $M_{9...0}$ , а сама 8-битна бинарна реч која се тренутно појавила највећи број пута у регистру  $S_{7...0}$ . Пре пријема прве 8-битне бинарне речи вредношћу 1 сигнала **clM** у регистар  $M_{9...0}$  се уписује вредност 0, а после се по пријему једне 8-битне бинарне речи, читању садржаја одговарајуће меморијске локације, уписивању у регистар  $V_{9...0}$  и инкрементирању садржаја регистра  $V_{9...0}$ , врши упоређивање садржаја регистра  $M_{9...0}$  и  $V_{9...0}$  коришћењем компаратора CMP. Уколико је садржај регистра  $M_{9...0}$  мањи од садржаја регистра  $V_{9...0}$ , на шта указује вредност 1 сигнала **LSS** на излазу компаратора CMP, генеришу се вредности 1 сигнала **ldM** и **ldS**, па се у регистар  $M_{9...0}$  уписује садржај регистра  $V_{9...0}$  и у регистар  $S_{7...0}$  садржај регистра  $A_{7...0}$ , респективно. Тиме се у регистру  $M_{9...0}$  појављује вредност која представља тренутно највећи број појављивања неке 8-битне бинарне вредности, а у регистру  $S_{7...0}$  8-битна бинарна вредност која се тренутно појавила највећи број пута. У супротном случају садржаји регистра  $M_{9...0}$  и  $S_{7...0}$  се не мењају.

Као пример се може узети да се у итерацијама 1 и 2 прима 8-битна бинаран реч 01011010, а у итерацијама 3, 4 и 5 прима 8-битна бинаран реч 01111110. Када се у итерацији 1 прими и у регистар  $A_{7...0}$  упише 8-битна бинарна реч 01011010, из меморијске локације са адресе 01011010 се чита и у регистар  $V_{9...0}$  уписује вредност 0. После инкрементирања садржај регистра  $V_{9...0}$  постаје 1 и та вредност се уписује у меморијску локацију на адреси 01011010. Упоређивање садржаја регистра  $M_{9...0}$ , који на почетку има вредност 0, и регистра  $V_{9...0}$ , који после инкрементирања има вредност 1, даје вредност 1 сигнала **LSS**, па се вредностима 1 сигнала **ldM** и **ldS**, у регистар  $M_{9...0}$  из регистра  $V_{9...0}$  уписује вредност 1 и у регистар  $S_{7...0}$  из регистра  $A_{7...0}$  вредност 01011010, респективно.

Када се у итерацији 2 прими и у регистар  $A_{7...0}$  упише 8-битна бинарна реч 01011010, из меморијске локације са адресе 01011010 се чита и у регистар  $V_{9...0}$  уписује вредност 1. После инкрементирања садржај регистра  $V_{9...0}$  постаје 2 и та вредност се уписује у меморијску локацију на адреси 01011010. Упоређивање садржаја регистра  $M_{9...0}$ , који има вредност 1, и регистра  $V_{9...0}$ , који после инкрементирања има вредност 2, даје вредност 1 сигнала **LSS**, па се вредностима 1 сигнала **ldM** и **ldS**, у регистар  $M_{9...0}$  из регистра  $V_{9...0}$  уписује вредност 2 и у регистар  $S_{7...0}$  из регистра  $A_{7...0}$  поново вредност 01011010, респективно. После две примљене 8-битне бинарне речи, садржај регистра  $M_{9...0}$  показује да је највећи број појављивања неке 8-битне бинарне вредности 2, а садржај регистра  $S_{7...0}$  да је то 8-битна бинарна реч 01011010.

Када се у итерацији 3 прими и у регистар  $A_{7...0}$  упише 8-битна бинарна реч 01111110, из меморијске локације са адресе 01111110 се чита и у регистар  $V_{9...0}$  уписује вредност 0. После инкрементирања садржај регистра  $V_{9...0}$  постаје 1 и та вредност се уписује у меморијску локацију на адреси 01111110. Упоређивање садржаја регистра  $M_{9...0}$ , који има вредност 2, и регистра  $V_{9...0}$ , који после инкрементирања има вредност 1, даје вредност 0 сигнала **LSS**, па се садржаји регистра  $M_{9...0}$  и  $S_{7...0}$  не мењају и у регистру  $M_{9...0}$  остаје вредност 2 и у регистру  $S_{7...0}$  вредност 01011010, респективно. После три примљене 8-битне бинарне речи, садржај регистра  $M_{9...0}$  показује да је највећи број појављивања неке 8-битне бинарне вредности 2, а садржај регистра  $S_{7...0}$  да је то 8-битна бинарна реч 01011010.

Када се у итерацији 4 прими и у регистар  $A_{7...0}$  упише 8-битна бинарна реч 0111110, из меморијске локације са адресе 0111110 се чита и у регистар  $B_{9...0}$  уписује вредност 1. После инкрементирања садржај регистра  $B_{9...0}$  постаје 2 и та вредност се уписује у меморијску локацију на адреси 0111110. Упоредивање садржаја регистра  $M_{9...0}$ , који има вредност 2, и регистра  $B_{9...0}$ , који после инкрементирања има вредност 2, даје вредност 0 сигнала **LSS**, па се садржаји регистра  $M_{9...0}$  и  $S_{7...0}$  не мењају и у регистру  $M_{9...0}$  остаје вредност 2 и у регистру  $S_{7...0}$  вредност 01011010, респективно. После четири примљене 8-битне бинарне речи, садржај регистра  $M_{9...0}$  показује да је највећи број појављивања неке 8-битне бинарне вредности 2, а садржај регистра  $S_{7...0}$  да је то 8-битна бинарна реч 01011010.

Када се у итерацији 5 прими и у регистар  $A_{7...0}$  упише 8-битна бинарна реч 0111110, из меморијске локације са адресе 0111110 се чита и у регистар  $B_{9...0}$  уписује вредност 2. После инкрементирања садржај регистра  $B_{9...0}$  постаје 3 и та вредност се уписује у меморијску локацију на адреси 01011010. Упоредивање садржаја регистра  $M_{9...0}$ , који има вредност 2, и регистра  $B_{9...0}$ , који после инкрементирања има вредност 3, даје вредност 1 сигнала **LSS**, па се вредностима 1 сигнала **ldM** и **ldS**, у регистар  $M_{9...0}$  из регистра  $B_{9...0}$  уписује вредност 3 и у регистар  $S_{7...0}$  из регистра  $A_{7...0}$  нова вредност 0111110, респективно. После пет примљених 8-битних бинарне речи, садржај регистра  $M_{9...0}$  показује да је највећи број појављивања неке 8-битне бинарне вредности 3, а садржај регистра  $S_{7...0}$  да је то 8-битна бинарна реч 0111110.

Описани поступак се реализује у 512 итерација, при чему се за бројање итерација користи бројач  $SC_{8...0}$  чији се садржај на почетку вредношћу 1 сигнала **clSC** брише, а касније у свакој итерацији вредношћу 1 сигнала **incSC** инкрементира. У итерацији 1 се садржај бројача  $SC_{8...0}$  инкрементира са 0 на 1, у итерацији 2 са 1 на 2 и тако редом до итерације 511 у којој се инкрементира са 510 на 511 и итерације 512 у којој се, с обзиром да се ради о бројачу по модулу 512, инкрементира са 511 на 0. У итерацији 512, сигнал **SC511** добија вредност 1 која служи као критеријум да треба завршити са пријемом 8-битних бинарних речи и садржај регистра  $S_{7...0}$ , који представља 8-битну бинарну реч која се у низу од 512 8-битних бинарних речи појавила највећи број пута, паралелно по линијама  $DPB_{7...0}$  послати уређају UB.

У флип-флоп SPA се вредношћу 1 управљачког сигнала **stSPA** уписује вредност 1 онда када је уређај P спреман да прими 8-битну бинарну реч од уређаја UA, а управљачким сигналом **clSPA** вредност 0, онда када није спреман.

б) Дијаграм тока управљачких сигнала операционе и управљачке јединице приказан је на слици 27.б.

У кораку  $T_0$  се вредностима 1 сигнала **clA**, **clB**, **clM** и **clSC** на почетну вредност 0 постављају бројачки регистри  $A_{7...0}$  и  $B_{9...0}$ , регистар  $M_{9...0}$  и бројач  $SC_{8...0}$ .

У кораку  $T_1$  се у 256 итерација вредношћу 1 сигнала **wrM** у свих 256 локација меморије M уписује вредност 0 из бројачког регистра  $B_{9...0}$ . Адресе локација меморије M су одређене садржајем бројачког регистра  $A_{7...0}$  чији садржај се вредношћу 1 сигнала **incA** инкрементира у свакој од 256 итерација. У итерацији 256 при вредности 1 сигнала **A255** и сигнал **stSPA** добија вредност 1 па се у флип-флоп SPA уписује вредност 1, чиме уређај P сигнализира уређају UA да је спреман да прими прву 8-битну бинарну реч од уређаја UA.

У кораку  $T_2$  се, када сигнал **CAP** постане 1, генеришу вредности 1 сигнала **ldA** и **clSPA**, па се у регистар  $A_{7...0}$  уписује 8-битна бинарна реч и флип-флоп SPA поставља на вредност 0, респективно. Уписивањем вредности 0 у флип-флоп SPA уређај P

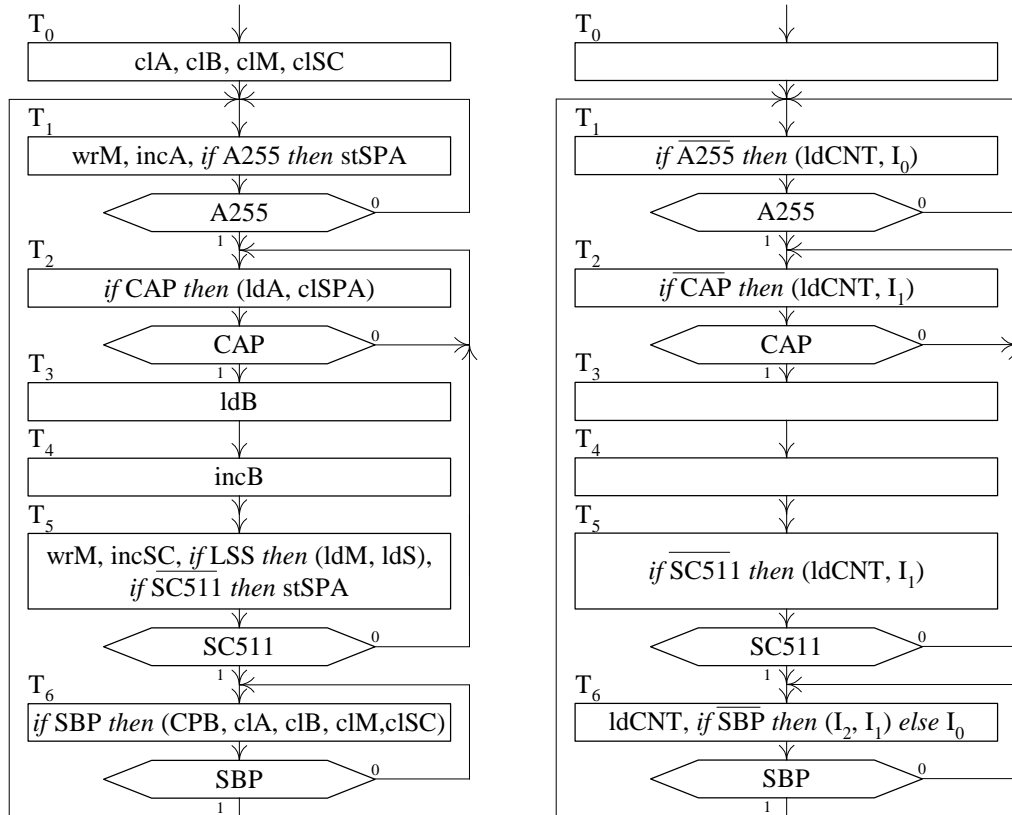
сигнализира уређају UA да није спреман да прими следећу 8-битну бинарну реч од уређаја UA.

У кораку  $T_3$  се чита садржај меморијске локације са адресе одређене садржајем регистра  $A_{7...0}$  и вредношћу 1 сигнала **ldB** уписује у регистар  $B_{9...0}$ .

У кораку  $T_4$  се вредношћу 1 сигнала **incB** инкрементира садржај регистра  $B_{9...0}$ .

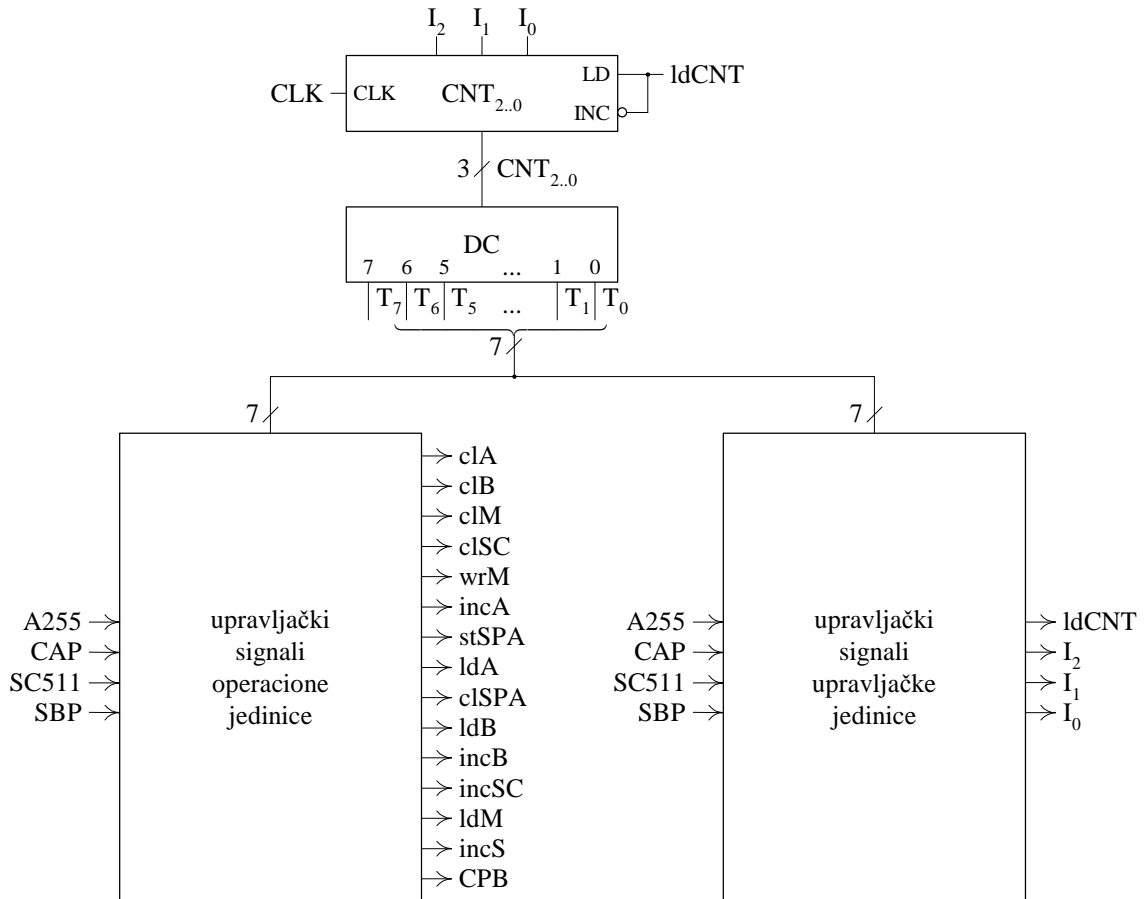
У кораку  $T_5$  се вредношћу 1 сигнала **wrM** у меморијску локацију на адреси одређеној садржајем регистра  $A_{7...0}$  уписује садржај регистра  $B_{9...0}$ . Поред тога, уколико је садржај регистра  $M_{9...0}$  мањи од садржаја регистра  $B_{9...0}$ , на шта указује вредност 1 сигнала **LSS** на излазу компаратора CMP, генеришу се вредности 1 сигнала **ldM** и **ldS**, па се у регистар  $M_{9...0}$  уписује садржај регистра  $B_{9...0}$  и у регистар  $S_{7...0}$  садржај регистра  $A_{7...0}$ , респективно. Тиме се у регистру  $M_{9...0}$  појављује вредност која представља тренутно највећи број појављивања неке 8-битне бинарне вредности, а у регистру  $S_{7...0}$  8-битна бинарна вредност која се тренутно појавила највећи број пута. У супротном случају садржаји регистара  $M_{9...0}$  и  $S_{7...0}$  се не мењају. Поред тога, у првих 511 итерација у којима сигнал **SC511** има вредност 0 сигнал **stSPA** добија вредност 1, па се у флип-флоп SPA уписује вредност 1, чиме уређај P сигнализира уређају UA да је спреман да прими следећу 8-битну бинарну реч од уређаја UA.

У кораку  $T_6$  се, када сигнал **SBP** постане 1, генеришу вредности 1 сигнала **CPB**, **clA**, **clB**, **clM** и **clSC**. На први следећи сигнал такта се вредношћу 1 сигнала **CPB** омогућава да уређај UB упише садржај са линија података  $DPB_{7...0}$  у неки свој прихватни регистар, док се вредностима 1 сигнала **clA**, **clB**, **clM** и **clSC** на почетну вредност 0 постављају бројачки регистри  $A_{7...0}$  и  $B_{9...0}$ , регистар  $M_{9...0}$  и бројач  $SC_{8...0}$ .



Слика 27.6 Дијаграми тока управљачких сигнал операционе и управљачке јединице

в) Структурна шема управљачке јединице реализована помоћу бројача корака и декодера приказана је на слици 27.в.



Слика 27.в Структурна шема управљачке јединице

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$clA = T_0 + SBP \cdot T_6$$

$$clB = T_0 + SBP \cdot T_6$$

$$clM = T_0 + SBP \cdot T_6$$

$$clSC = T_0 + SBP \cdot T_6$$

$$wrM = T_1 + T_5$$

$$incA = T_1$$

$$stSPA = A255 \cdot T_1 + \overline{SC511} \cdot T_5$$

$$ldA = CAP \cdot T_2$$

$$clSPA = CAP \cdot T_2$$

$$ldB = T_3$$

$$incB = T_4$$

$$incSC = T_5$$

$$ldM = LSS \cdot T_5$$

$$ldS = LSS \cdot T_5$$

$$CPB = SBP \cdot T_6$$

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$ldCNT = \overline{A255} \cdot T_1 + \overline{CAP} \cdot T_2 + \overline{SC511} \cdot T_5 + T_6$$

$$I_0 = \overline{A255} \cdot T_1 + SBP \cdot T_6$$

$$I_1 = \overline{CAP} \cdot T_2 + \overline{SC511} \cdot T_5 + \overline{SBP} \cdot T_6$$

$$I_2 = \overline{SBP} \cdot T_6$$

## 1.28 АУТОМАТ ЗА ПРОДАЈУ ПРОИЗВОДА

Реализовати уређај Р за спрегу између уређаја UA и уређаја UB који обављају функцију аутомата за продају производа (*vending machine*).

Уређај UA садржи 10 тастера за 10 производа. Притиском на један од 10 тастера бира се један од 10 производа који аутомат за продају производа треба да испоручи. Одабрани производ се испоручује уколико је убачено довољно новца да покрије цену одабраног производа. Уређај UA садржи и 10 отвора у које може да се убацују новац, при чему постоји посебан отвор за новчиће и новчанице од 1, 2, 5, 10, 20, 50, 100, 200, 500 и 1000 динара. Поред тога, уређај UA садржи дисплеј који показује колико је новца убачено и лампицу која не светли, уколико није убачено довољно новца да покрије цену одабраног производа и одабрани производ није испоручен, или светли, уколико је убачено довољно новца и одабрани производ је испоручен.

Уређај UA може да шаље уређају Р 10-битне бинарне речи одабраног производа и убаченог новца по линијама  $DAP_{9...0}$  и  $DAP_{19...10}$ , респективно. Притиском на један од 10 тастера производа уређај UA шаље уређају Р 10-битну бинарну реч одабраног производа по линијама  $DAP_{9...0}$ , при чему у 10-битној бинарној речи вредност 1 има само бит додељен притиснутом тастеру производа док остали битови имају вредност 0. Убацивањем новца у један од 10 отвора за новчиће и новчанице, уређај UA шаље уређају Р 10-битну бинарну реч убаченог новца по линијама  $DAP_{19...10}$ , при чему у 10-битној бинарној речи вредност 1 има само бит додељен отвору за новчиће и новчанице у који је убачен новац док остали битови имају вредност 0. Отворима у које се убацују новчићи или новчанице од 1, 2, 5, 10, 20, 50, 100, 200, 500 и 1000 динара додељени су битови 10-битне бинарне речи који се шаљу по линијама  $DAP_{19...10}$  означени са 10 до 19, респективно.

Уређај Р прво прима од уређаја UA 10-битну бинарну реч одабраног производа. У уређају Р постоје претходно унете цене свих 10 производа које су дате у облику целог броја у интервалу од 1 до 4000, тако да уређај Р, на основу тога који од 10 битова примљене 10-битне бинарне речи има вредност 1, утврђује која је цена одабраног производа. Уређај Р потом, уколико постоји потреба, прима од уређаја UA онолико 10-битних бинарних речи убаченог новца колико је неопходно да се покрије цена одабраног производа. Уређај Р шаље уређају UB 10-битну бинарну реч одабраног производа по линијама  $DPB_{9...0}$  онда када је за одабрани производ убачено довољно новца.

Уређај UB, на основу тога који од 10 битова примљене 10-битне бинарне речи одабраног производа за испоруку има вредност 1, отвара један од 10 боксова са 10 производа и тиме испоручује одабрани производ.

Уређај UB по испоруци одабраног производа шаље команду уређају Р да је одабрани производ испоручен.

Уређај Р може да шаље уређају UA истовремено 12-битну бинарну реч тренутне суме убаченог новца и 1-битну бинарну реч индикације да ли производ није или јесте испоручен по линијама  $DAP_{11...0}$  и  $DAP_{12}$ , респективно.

Уређај Р типично функционише на начин приказан у даљем тексту. По укључењу уређај Р прима 10-битну бинарну реч одабраног производа. На то уређај Р шаље уређају UA истовремено 12-битну бинарну реч тренутне суме убаченог новца и 1-битну бинарну реч индикације да производ није испоручен. Уређај UA затим шаље уређају Р 10-битну бинарну реч убаченог новца. Уколико убачени новац није довољан за



одабрани производ, уређај Р шаље уређају УА истовремено 12-битну бинарну реч тренутне суме убаченог новца и 1-битну бинарну реч индикације да производ није испоручен. Размена 10-битних бинарних речи убаченог новца и 12-битних бинарних речи тренутне суме убаченог новца и 1-битних бинарних речи индикације да производ није испоручен између уређаја УА и Р се понавља све док уређај Р не прими од уређаја УА 10-битну бинарну реч убаченог новца на основу које утврди да је убачено довољно или више него довољно новца за одабрани производ. Тада уређај Р шаље уређају УВ 10-битну бинарну реч одабраног производа, на шта уређај УВ по испоруци одабраног производа шаље команду уређају Р да је одабрани производ испоручен. Уређај Р умањује суму убаченог новца за цену испорученог производа и шаље уређају УА истовремено 12-битну бинарну реч тренутне суме преосталог убаченог новца и 1-битну бинарну реч индикације да је производ испоручен. После овога уређај Р прима од уређаја УА 10-битну бинарну реч следећег одабраног производа. Сада могу да се јаве две ситуације. Прва ситуација је да нема довољно преосталог новца да покрије цену одабраног производа. У овој ситуација се најпре понавља претходно описана размена бинарних речи између уређаја Р и УА док се не утврди да је убачено довољно или више него довољно новца за одабрани производ, па тада уређај Р шаље уређају УВ бинарну реч одабраног производа који уређај УВ треба да испоручи. Друга ситуација је да има довољно преосталог новца да покрије цену следећег одабраног производа. У овој ситуација уређај Р одмах шаље уређају УВ бинарну реч одабраног производа који уређај УВ треба да испоручи.

Уређај УА шаље уређају Р 10-битну бинарну реч одабраног производа по линијама  $DAP_{9..0}$ . За синхронизацију између уређаја УА и Р користе се статусни сигнал SPA и управљачки сигнал CAP. Вредностима 0 и 1 сигнала SPA уређај Р шаље уређају УА индикацију када не може и када може да прими 10-битну бинарну реч, респективно. Вредношћу 1 сигнала CAP, трајања једна периода сигнала такта, уређај УА шаље уређају Р команду да треба да прими 10-битну бинарну реч, при чему уређај УА то чини када утврди да уређај Р на статусној линији SPA држи вредност 1. На идентичан начин се реализује синхронизација између уређаја УА и Р и када уређај УА шаље уређају Р 10-битну бинарну реч убаченог новца по линијама  $DAP_{19..10}$ .

Уређај Р шаље уређају УВ 10-битну бинарну реч одабраног производа по линијама  $DPB_{9..0}$ . За синхронизацију између уређаја Р и УВ користе се статусни сигнал SBP и управљачки сигнал CPB. Вредностима 0 и 1 сигнала SBP уређај УВ шаље уређају Р индикацију када не може и када може да прими 10-битну бинарну реч, респективно. Вредношћу 1 сигнала CPB, трајања једна периода сигнала такта, уређај Р шаље уређају УВ команду да треба да прими 10-битну бинарну реч, при чему уређај Р то чини када утврди да уређај УВ на статусној линији SBP држи вредност 1.

Уређај УВ шаље уређају Р команду када је одабрани производ испоручен. За синхронизацију између уређаја УВ и Р користе се статусни сигнал SPB и управљачки сигнал CBP. Вредностима 0 и 1 сигнала SPB уређај Р шаље уређају УВ индикацију када не може и када може да прими команду, респективно. Вредношћу 1 сигнала CBP, трајања једна периода сигнала такта, уређај УВ шаље уређају Р команду да је одабрани производ испоручен, при чему уређај УВ то чини када утврди да уређају Р на статусној линији SPB држи вредност 1.

Уређај Р шаље уређају УА истовремено 12-битну бинарну реч тренутне суме убаченог новца и 1-битну бинарну реч индикације да ли производ није или јесте испоручен по линијама  $DAP_{11..0}$  и  $DAP_{12}$ , респективно. За синхронизацију између уређаја Р и УА користе се статусни сигнал SAP и управљачки сигнал CPA. Вредностима 0 и 1 сигнала SAP уређај УА шаље уређају Р индикацију када не може и када може да

прими 12-битну и 1-битну бинарну реч. Вредношћу 1 сигнала CPA, трајања једна периода сигнала такта, уређај P шаље уређају UA команду да треба да прими 12-битну и 1-битну бинарну реч, при чему уређај P то чини када утврди да уређај UB на статусној линији SAP држи вредност 1.

Претпоставити да су на почетку на статусним линијама SPA, SAP, SBP и SPB налазе вредности 0.

а) Нацртати структурну шему операционе јединице уређаја P.

б) Нацртати дијаграме тока управљачких сигнала операционе јединице и управљачке јединице уређаја P.

в) Нацртати структурну шему управљачке јединице уређаја P реализоване помоћу бројача корака и декодера и дати изразе за генерисање управљачких сигнала операционе јединице и управљачке јединице уређаја P.

### Решење:

а) Структурна шема операционе јединице приказана је на слици 28.а.

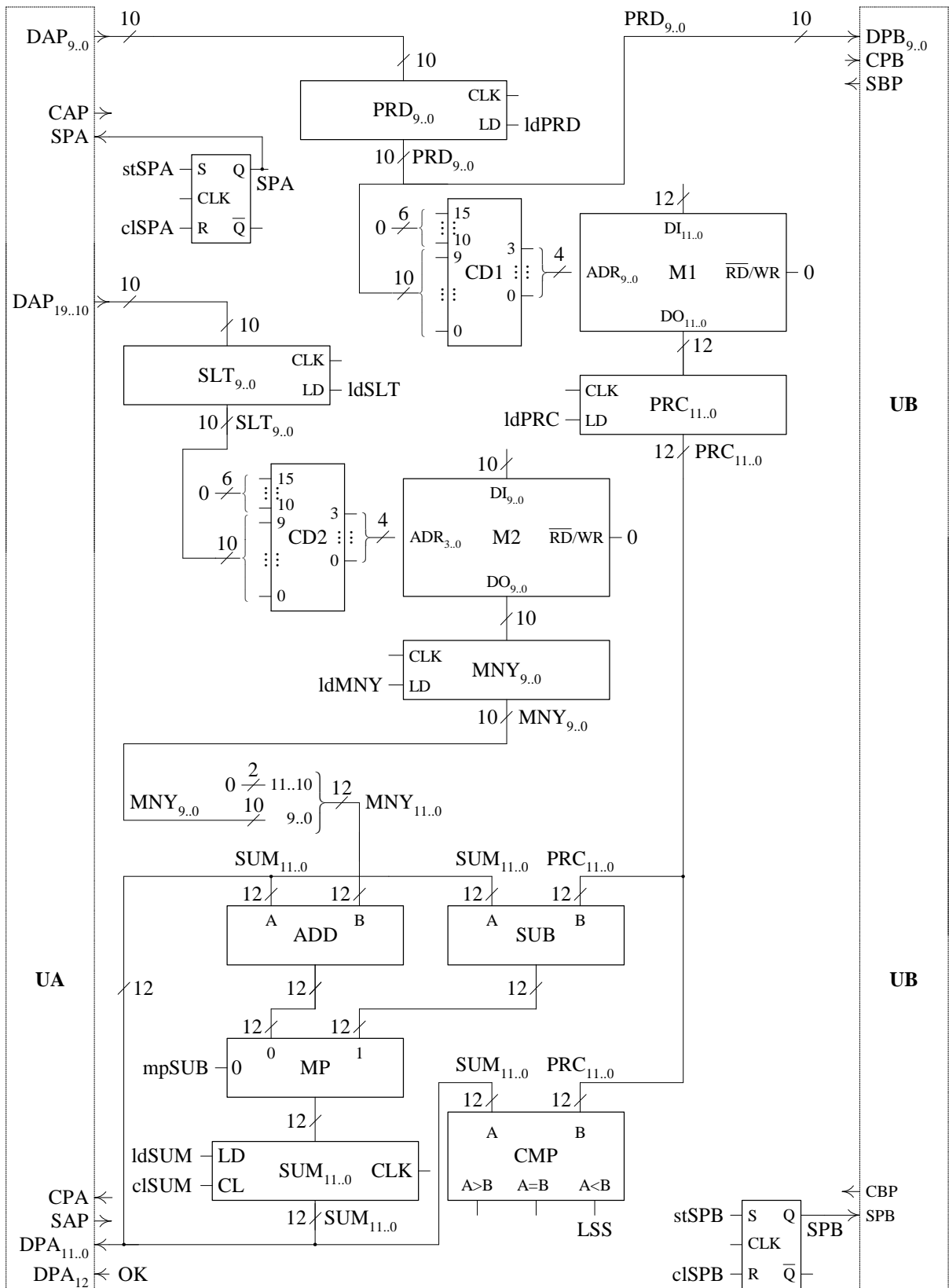
Вредношћу 1 сигнала **ldPRD** у регистар  $PRD_{9...0}$  се уписује 10-битна бинарна реч одабраног производа која по линијама  $DAP_{9...0}$  долази из уређаја UA у уређај P. Цене 10 производа којима су додељени битови 0 до 9 у 10-битној бинарној речи одабраног производа налазе се у меморијским локацијама меморије M1 на адресама 0 до 9, респективно. Бинарна адреса меморијске локације на којој се налази цена производа добија се на излазима кодера CD1 и одређена је разредом регистра  $PRD_{9...0}$  у коме је вредност 1. Ширина меморијске локације меморије M1 је 12 битова колико је довољно да се представи број 4000 који предстаља највећу могућу цену неког од 10 производа. Вредношћу 1 сигнала **ldPRC** у регистар  $PRC_{11...0}$  се уписује цена одабраног производа. Садржај регистра  $PRD_{9...0}$  се по линијама  $DPB_{9...0}$  шаље уређају UB.

Вредношћу 1 сигнала **ldSLT** у регистар  $SLT_{9...0}$  се уписује 10-битна бинарна реч убаченог новца која по линијама  $DAP_{19...10}$  долази из уређаја UA у уређај P. Износи убаченог новца од 1, 2, 5, 10, 20, 50, 100, 200, 500 и 1000 динара за отворе у које се убацују новчићи или новчанице од 1, 2, 5, 10, 20, 50, 100, 200, 500 и 1000 налазе се у меморијским локацијама меморије M2 на адресама 0 до 9, респективно. Бинарна адреса меморијске локације на којој се налази износ убаченог новца добија се на излазима кодера CD2 и одређена је разредом регистра  $SLT_{9...0}$  у коме је вредност 1. Ширина меморијске локације меморије M1 је 10 битова колико је довољно да се представи број 1000 који предстаља највећи могући износ новца који може да се убаци у неки од 10 отвора за убацивање новчића или новчаница. Вредношћу 1 сигнала **ldMNY** у регистар  $MNY_{9...0}$  се уписује убачени износ новца.

Регистар  $SUM_{11...0}$  служи за смештање тренутне укупне суме убаченог новца. По укључењу уређаја P у регистар  $SUM_{11...0}$  се вредношћу 1 сигнала **clSUM** уписује вредност 0. По пријему сваке 10-битне бинарне вредности убаченог новца, износ убаченог новца из регистра  $MNY_{9...0}$  проширен нулама на 12-битну вредност се у сабирачу ADD сабира са тренутном сумом убаченог новца из регистра  $SUM_{11...0}$ , вредношћу 0 сигнала **mpSUM** пропушта кроз мултиплексер MP и вредношћу 1 сигнала **ldSUM** уписује у регистар  $SUM_{11...0}$ .

Тренутна сума убаченог новца из регистра  $SUM_{11...0}$  се на компаратору CMP упоређује са ценом одабраног производа из регистра  $PRC_{11...0}$ . Уколико је садржај регистра  $SUM_{11...0}$  мањи од садржаја регистра  $PRC_{11...0}$ , на шта указује вредност 1 сигнала **LSS** на излазу компаратора CMP, потребно је још убацивати новац. У супротном случају уређају UB се шаље 10-битна бинарна вредности производа који

треба да испоручи. Поред тога цена одабраног производа из регистра  $PRC_{11..0}$  се у одузимачу  $SUB$  одузима од тренутне суме убаченог новца из регистра  $SUM_{11..0}$ , вредношћу 1 сигнала  $mpSUM$  се добијена разлика пропушта кроз мултиплексер  $MP$  и вредношћу 1 сигнала  $ldSUM$  уписује у регистар  $SUM_{11..0}$ .

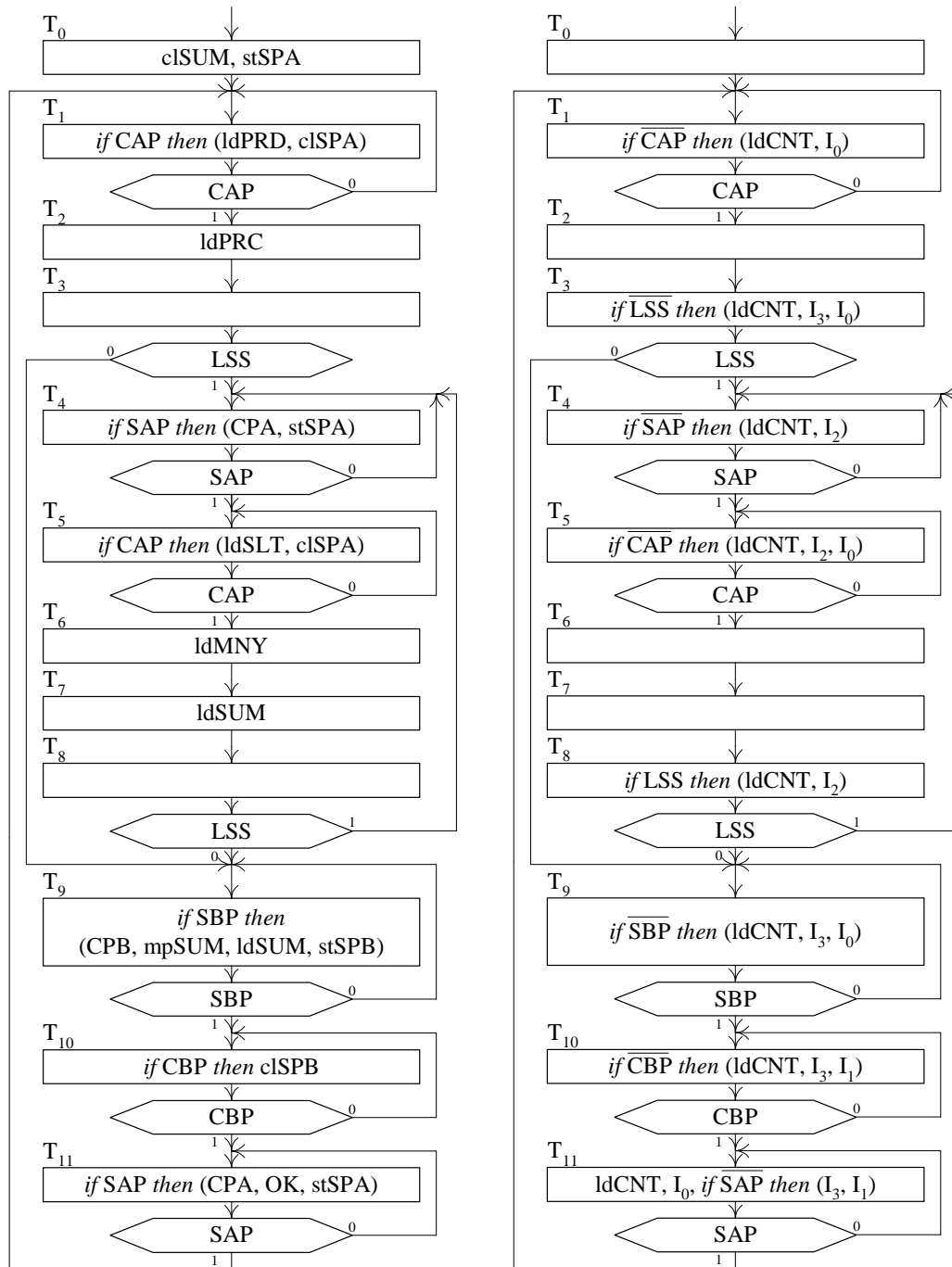


Слика 28.а Структурна шема операционе јединице

У флип-флоп SPA се вредношћу 1 управљачког сигнала **stSPA** уписује вредност 1 онда када је уређај P спреман да прими од уређаја UA садржај са линија DAP<sub>9...0</sub> или DAP<sub>19...10</sub>, а управљачким сигналом **clSPA** вредност 0, онда када није спреман.

У флип-флоп SPB се вредношћу 1 управљачког сигнала **stSPB** уписује вредност 1 онда када је уређај P спреман да прими команду од уређаја UB да је производ испоручен, а управљачким сигналом **clSPB** вредност 0, онда када није спреман.

б) Дијаграм тока управљачких сигнала операционе и управљачке јединице приказан је на слици 28.б.



Слика 28.б Дијаграми тока управљачких сигнал операционе и управљачке јединице

У кораку  $T_0$  вредношћу 1 сигнала **clSUM** у регистар  $SUM_{11...0}$  уписује вредност 0. Поред тога вредношћу 1 сигнала **stSPA** у флип-флоп  $SPA$  уписује вредност 1, чиме уређај  $P$  сигнализира уређају  $UA$  да је спреман да прима бинарне речи од уређаја  $UA$ .

У кораку  $T_1$  се при вредности 1 сигнала **CAP** генерише вредност 1 сигнала **ldPRD** којом се 10-битна бинарна реч одабраног производа са линија  $DAP_{9...0}$  уписује у регистар  $PRD_{9...0}$ . Поред тога при вредности 1 сигнала **CAP** генерише се вредност 1 сигнала **clSPA** којом се у флип-флоп  $SPA$  уписује вредност 0, чиме уређај  $P$  сигнализира уређају  $UA$  да до даљег није спреман да прима бинарне речи од уређаја  $UA$ .

У кораку  $T_2$  се из меморијске локације меморије  $M1$  са адресе одређене садржајем регистра  $PRD_{9...0}$  чита цена одабраног производа и вреднишћу 1 сигнала **ldPRC** уписује у регистар  $PRC_{11...0}$ .

У кораку  $T_3$  се у зависности од тога да ли сигнал **LSS** има вредност 1 или 0 прелази на корак  $T_4$  или корак  $T_9$ , респективно. Уколико је тренутна сума убаченог новца одређена садржајем регистра  $SUM_{11...0}$  мања од цене одабраног производа одређена садржајем регистра  $PRC_{11...0}$  сигнал **LSS** има вредност 1, док у супротном случају сигнал **LSS** има вредност 0. Са кораком  $T_4$  се продужава уколико треба новац да се убацује, док се са кораком  $T_9$  продужава уколико има довољно убаченог новца па може одмах да се пређе на испоруку одабраног производа. Са кораком  $T_4$  би требало најчешће да се продужава, док ће се са кораком  $T_9$  продужавати уколико је за претходно одабрани производ убачено више новца него што је било потребно па је остало довољно новца да се покрије цена тренутно одабраног производа.

У кораку  $T_4$  се при вредности 1 сигнала **SAP** генерише вредности 1 сигнала **CPA** и **stSPA**. Вредношћу 1 сигнала **CPA** трајања једна периода сигнала такта уређај  $P$  шаље уређају  $UA$  команду да прихвати 12-битну бинарну реч тренутне суме убаченог новца и 1-битну бинарну реч индикације, одређену вредношћу 0 сигнала **OK**, да производ није испоручен по линијама  $DAP_{11...0}$  и  $DAP_{12}$ , респективно. Поред тога вредношћу 1 сигнала **stSPA** у флип-флоп  $SPA$  уписује вредност 1, чиме уређај  $P$  сигнализира уређају  $UA$  да је спреман да прима бинарне речи од уређаја  $UA$ .

У кораку  $T_5$  се при вредности 1 сигнала **CAP** генерише вредност 1 сигнала **ldSLT** којом се 10-битна бинарна реч убаченог новца са линија  $DAP_{19...10}$  уписује у регистар  $SLT_{9...0}$ . Поред тога при вредности 1 сигнала **CAP** генерише се вредност 1 сигнала **clSPA** којом се у флип-флоп  $SPA$  уписује вредност 0, чиме уређај  $P$  сигнализира уређају  $UA$  да до даљег није спреман да прима бинарне речи од уређаја  $UA$ .

У кораку  $T_6$  се из меморијске локације меморије  $M2$  са адресе одређене садржајем регистра  $SLT_{9...0}$  чита убачени износ новца и вреднишћу 1 сигнала **ldMNY** уписује у регистар  $MNY_{9...0}$ .

У кораку  $T_7$  се износ убаченог новца из регистра  $MNY_{9...0}$  проширен нулама на 12-битну вредност у сабирачу  $ADD$  сабира са тренутном сумом убаченог новца из регистра  $SUM_{11...0}$ , вредношћу 0 сигнала **mpSUM** пропушта кроз мултиплексер  $MP$  и вредношћу 1 сигнала **ldSUM** уписује у регистар  $SUM_{11...0}$ .

Корак  $T_8$  има идентичну функцију као корак  $T_3$ .

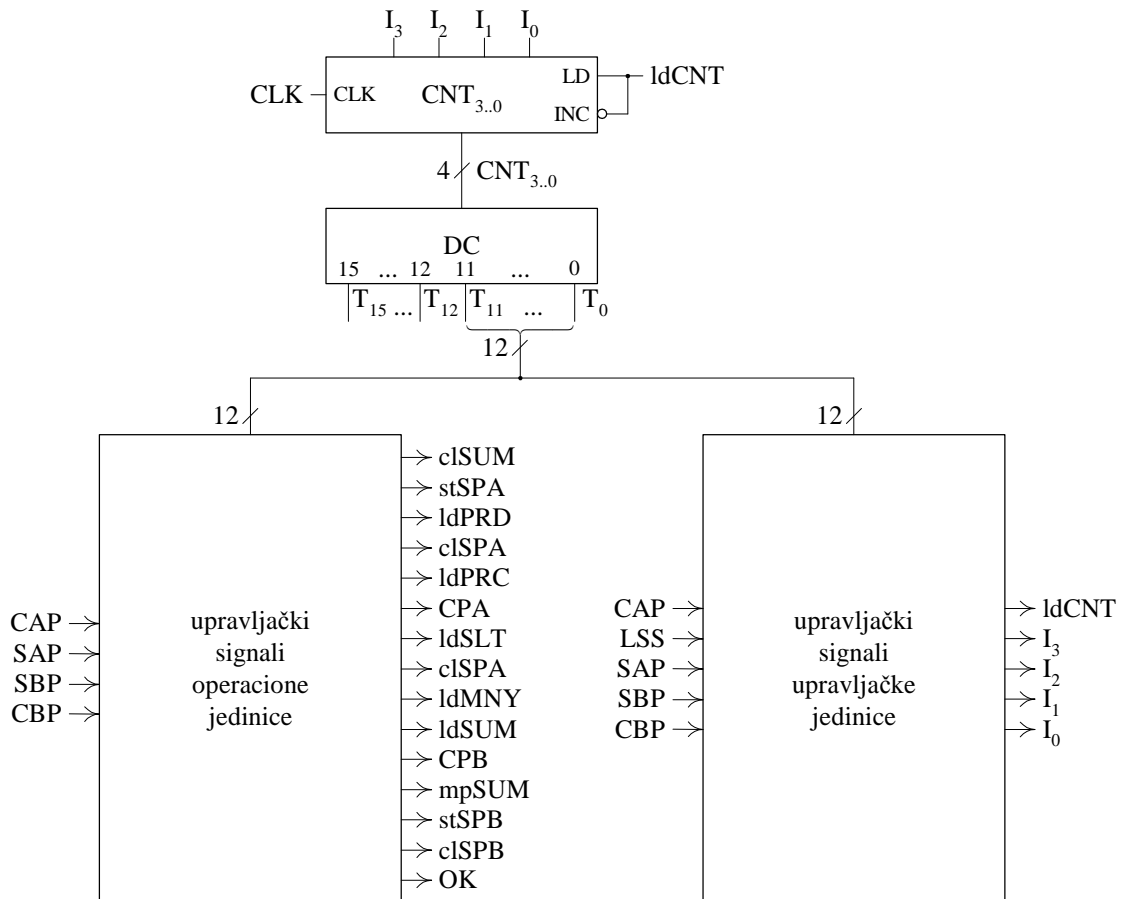
У кораку  $T_9$  се при вредности 1 сигнала **SBP** генеришу вредности 1 сигнала **CPB**, **mpSUM**, **ldSUM** и **stSPB**. Вредношћу 1 сигнала **CPB** трајања једна периода сигнала такта уређај  $P$  шаље уређају  $UB$  команду да прихвати 10-битну бинарну реч одабраног производа са линија  $DPB_{9...0}$  и испоручи производ. Поред тога цена одабраног производа из регистра  $PRC_{11...0}$  се у одузимачу  $SUB$  одузима од тренутне суме убаченог новца из

регистра  $SUM_{11...0}$ , вредношћу 1 сигнала **mpSUM** се добијена разлика пропушта кроз мултиплексер **MP** и вредношћу 1 сигнала **ldSUM** уписује у регистар  $SUM_{11...0}$ . Такође се вредношћу 1 сигнала **stSPB** у флип-флоп **SPB** уписује вредност 1, чиме уређај **P** сигнализира уређају **UB** да је спреман да од уређаја **UB** прими команду да је производ испоручен.

У кораку  $T_{10}$  се при вредности 1 сигнала **CBP** генерише вредност 1 сигнала **clSPB** којом се у флип-флоп **SPB** уписује вредност 1, чиме уређај **P** сигнализира уређају **UB** да до даљег није спреман да од уређаја **UB** прима команду да је производ испоручен.

У кораку  $T_{11}$  се при вредности 1 сигнала **SAP** генеришу вредности 1 сигнала **CPA**, **OK** и **stSPA**. Вредношћу 1 сигнала **CPA** трајања једна периода сигнала такта уређај **P** шаље уређају **UA** команду да прихвати 12-битну бинарну реч тренутне суме убаченог новца и 1-битну бинарну реч, одређену вредношћу 1 сигнала **OK**, индикације да је производ испоручен по линијама  $DAP_{11...0}$  и  $DAP_{12}$ , респективно. Поред тога вредношћу 1 сигнала **stSPA** у флип-флоп **SPA** уписује вредност 1, чиме уређај **P** сигнализира уређају **UA** да је спреман да прима бинарне речи од уређаја **UA**.

в) Структурна шема управљачке јединице реализована помоћу бројача корака и декодера приказана је на слици 28.в.



Слика 28.в Структурна шема управљачке јединице

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$\mathbf{clSUM} = T_0$$

$$\mathbf{stSPA} = T_0 + \mathbf{SAP} \cdot T_4 + \mathbf{SAP} \cdot T_{11}$$

$$\mathbf{ldPRD} = \mathbf{CAP} \cdot T_1$$

$$\mathbf{clSPA} = \mathbf{CAP} \cdot T_1 + \mathbf{CAP} \cdot T_3$$

$$\begin{aligned}
\text{ldPRC} &= T_2 \\
\text{CPA} &= \text{SAP} \cdot T_4 + \text{SAP} \cdot T_{11} \\
\text{ldSLT} &= \text{CAP} \cdot T_5 \\
\text{clSPA} &= \text{CAP} \cdot T_5 \\
\text{ldMNY} &= T_6 \\
\text{ldSUM} &= T_7 + \text{SBP} \cdot T_9 \\
\text{CPB} &= \text{SBP} \cdot T_9 \\
\text{mpSUM} &= \text{SBP} \cdot T_9 \\
\text{stSPB} &= \text{SBP} \cdot T_9 \\
\text{clSPB} &= \text{CBP} \cdot T_{10} \\
\text{OK} &= \text{SAP} \cdot T_{11}
\end{aligned}$$

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$\begin{aligned}
\text{ldCNT} &= \overline{\text{CAP}} \cdot T_1 + \overline{\text{LSS}} \cdot T_3 + \overline{\text{SAP}} \cdot T_4 + \overline{\text{CAP}} \cdot T_5 + \text{LSS} \cdot T_8 + \overline{\text{SBP}} \cdot T_9 + \overline{\text{CBP}} \cdot T_{10} + T_{11} \\
\text{I}_0 &= \overline{\text{CAP}} \cdot T_1 + \overline{\text{LSS}} \cdot T_3 + \overline{\text{CAP}} \cdot T_5 + \overline{\text{SBP}} \cdot T_9 + T_{11} \\
\text{I}_1 &= \overline{\text{CBP}} \cdot T_{10} + \overline{\text{SAP}} \cdot T_{11} \\
\text{I}_2 &= \overline{\text{SAP}} \cdot T_4 + \overline{\text{CAP}} \cdot T_5 + \text{LSS} \cdot T_8 \\
\text{I}_3 &= \overline{\text{LSS}} \cdot T_3 + \overline{\text{SBP}} \cdot T_9 + \overline{\text{CBP}} \cdot T_{10} + \overline{\text{SAP}} \cdot T_{11}
\end{aligned}$$

## 1.29 МИНИМУМ И МАКСИМУМ

Реализовати уређај Р за спрегу између уређаја UA и UB. Уређај Р треба од уређаја UA паралелно да прими једну за другом низ од 16 8-битних бинарних речи које треба да интерпретира као целобројне вредности без знака, да у примљеним низу пронађе позиције две 8-битне бинарне речи које имају најмању и највећу вредност и да уређају UB паралелно пошаље две 4-битне бинарне речи које представљају позиције пронађених 8-битних бинарних речи које имају најмању и највећу вредност. Уколико се иста најмања и/или највећа вредност пронађе на више речи потребно је проследити прво пронађене вредности. Операција треба да се понавља циклично. Уређаји UA, Р и UB треба раде синхронно на исти сигнал такта.

Уређај UA шаље уређају Р једну 8-битну бинарну реч по линијама података DAP<sub>7..0</sub>, при чему је бит 7 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја UA и Р користе се статусни сигнал SPA и управљачки сигнал CAP. Вредностима 0 и 1 сигнала SPA уређај Р шаље уређају UA индикацију када не може и када може да прими 8-битну бинарну реч, респективно. Вредношћу 1 сигнала CAP, трајања једна периода сигнала такта, уређај UA шаље уређају Р команду да треба да прими 8-битну бинарну реч, при чему уређај UA то чини када утврди да уређај Р на статусној линији SPA држи вредност 1.

Уређај Р шаље уређају UB две 4-битне бинарне речи, које представљају позиције у низу најмање и највеће вредности, по линијама података DPB<sub>3..0</sub> и DPB<sub>7..4</sub>, респективно, при чему су битови 7 и 3 најстарији, а битови 4 и 0 најмлађи битови две 4-битне бинарне речи. За синхронизацију између уређаја Р и UB користе се статусни сигнал SBP и управљачки сигнал CPB. Вредностима 0 и 1 сигнала SBP уређај UB шаље уређају Р индикацију када не може и када може да прими две 4-битне бинарне речи, респективно. Вредношћу 1 сигнала CPB, трајања једна периода сигнала такта, уређај Р шаље уређају UB команду да треба да прими две 4-битне бинарне реч, при чему уређај Р то чини када утврди да уређај UB на статусној линији SBP држи вредност 1.

Претпоставити да су на почетку на статусним линијама SPA и SBP налазе вредности 0.

- а) Нацртати структурну шему операционе јединице уређаја Р.
- б) Нацртати дијаграме тока управљачких сигнала операционе јединице и управљачке јединице уређаја Р.
- в) Нацртати структурну шему управљачке јединице уређаја Р реализоване помоћу бројача корака и декодера и дати изразе за генерисање управљачких сигнала операционе јединице и управљачке јединице уређаја Р.

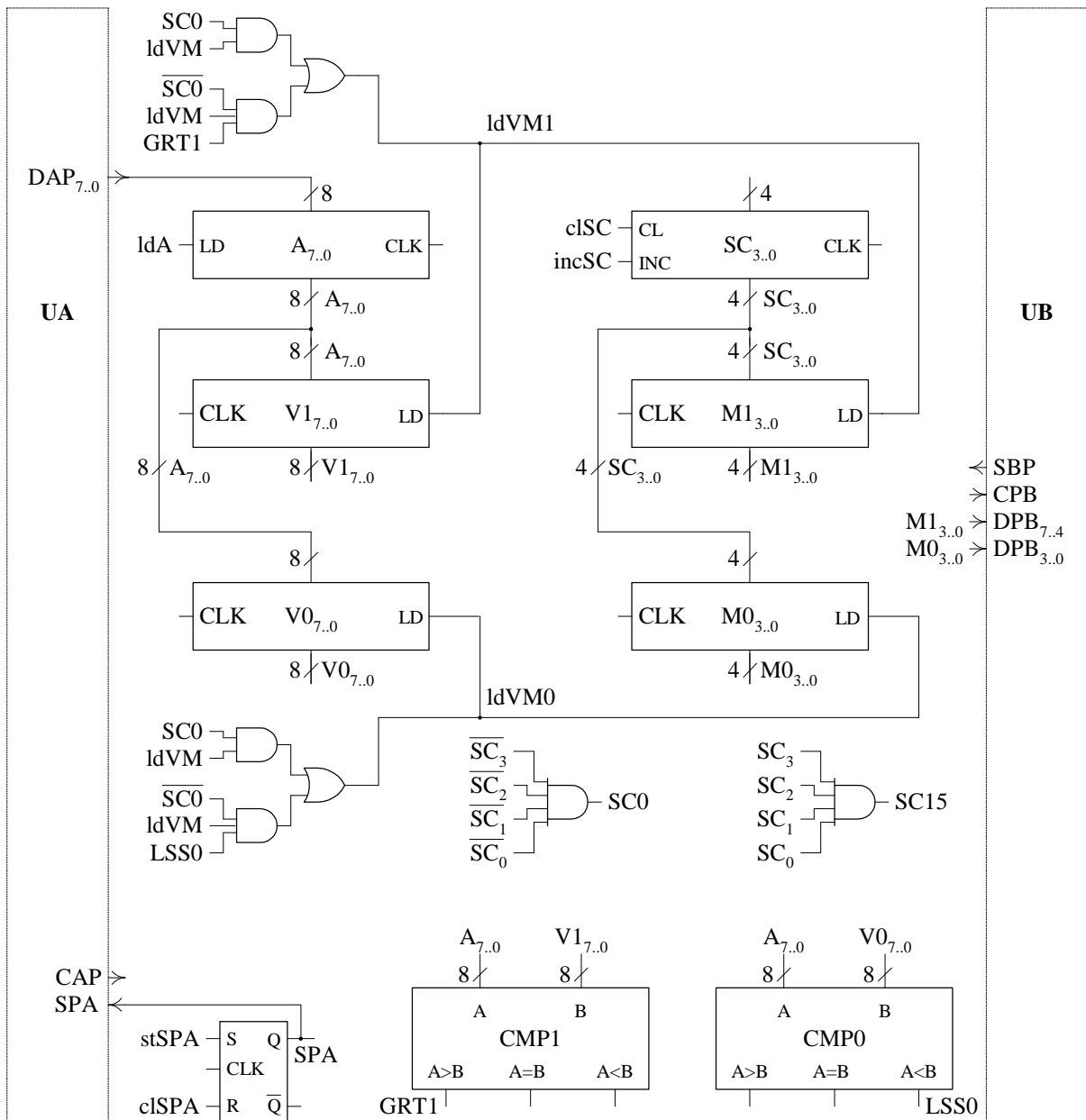
### Решење:

- а) Структурна шема операционе јединице приказана је на слици 29.а.

У регистар A<sub>7...0</sub> се вредношћу 1 сигнала **ldA** уписује једна 8-битна бинарна реч из низа од 16 8-битних бинарних речи које у 16 итерација по линијама DAP<sub>7...0</sub> долазе из уређаја UA. Позиције 8-битних бинарних речи у низу од 16 8-битних бинарних речи су означене са 0 до 15, при чему у итерацији 1 долази 8-битна бинарна реч чија је позиција означена са 0 а у итерацији 16 долази 8-битна бинарна реч чија је позиција означена са 15. У бројач SC<sub>3...0</sub> се на почетку вредношћу 1 сигнала **clSC** уписује вредност 0. Садржај бројача SC<sub>3...0</sub> се током пријема 8-битних бинарних речи из низа од 16 8-битних бинарних речи вредношћу 1 сигнала **incSC** инкрементира. Тренутна вредност бројача SC<sub>3...0</sub> указује која је позиција 8-битне бинарне речи која се тренутно налази у регистру



$A_{7..0}$  у низу од 16 8-битних бинарних речи које се примају од уређаја UA. Сигнал **SC0** има вредност 1 само када се у регистру  $A_{7..0}$  налази 8-битна бинарна реч чија је позиција у низу 0, док сигнал **SC15** има вредност 1 само када се у регистру  $A_{7..0}$  налази 8-битна бинарна реч чија је позиција у низу 15.



Слика 29.а Структурна шема операционе јединице

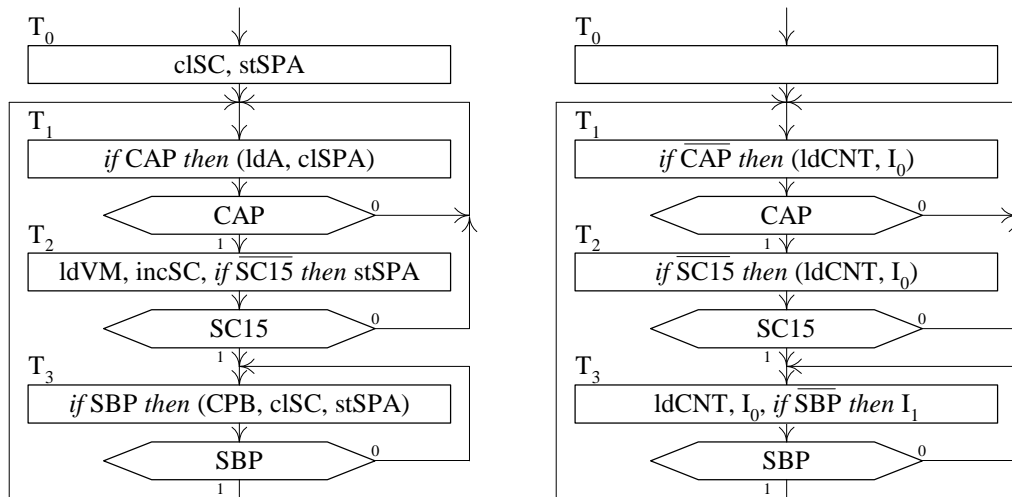
У регистру  $V_{1..7}$  чува се 8-битна бинарна реч која од примљених 8-битних речи има највећу вредност, док се у регистру  $M_{1..3}$  чува њена позиција у низу од 16 8-битних бинарних речи. У регистру  $V_{0..7}$  чува се 8-битна бинарна реч која од примљених 8-битних речи има најмању вредност, док се у регистру  $M_{0..3}$  чува њена позиција у низу од 16 8-битних бинарних речи. Вредношћу 1 сигнала **ldVM1** у регистар  $V_{1..7}$  се уписује садржај регистра  $A_{7..0}$ , а у регистар  $M_{1..3}$  садржај бројача  $SC_{3..0}$ . Вредношћу 1 сигнала **ldVM0** у регистар  $V_{0..7}$  се уписује садржај регистра  $A_{7..0}$ , а у регистар  $M_{0..3}$  садржај бројача  $SC_{3..0}$ . Садржаји бројача  $M_{1..3}$  и  $M_{0..3}$  се паралелно по линијама **DPB<sub>7..4</sub>** и **DPB<sub>3..0</sub>** шаљу уређају UB.

Компаратор CMP1 упоређује садржај регистра  $A_{7...0}$ , у коме се налази тренутно примљена 8-битна бинарна реч, и садржај регистра  $V_{17...0}$ , у коме се налази 8-битна бинарна реч која од примљених 8-битних речи има највећу вредност, и даје вредност 1 сигнала **GRT1** уколико је садржај регистра  $A_{7...0}$  већи од садржаја регистра  $V_{17...0}$ . Компаратор CMP0 упоређује садржај регистра  $A_{7...0}$ , у коме се налази тренутно примљена 8-битна бинарна реч, и садржај регистра  $V_{07...0}$ , у коме се налази 8-битна бинарна реч која од примљених 8-битних речи има најмању вредност, и даје вредност 1 сигнала **LSS0** уколико је садржај регистра  $A_{7...0}$  мањи од садржаја регистра  $V_{07...0}$ .

Сигнал **ldVM1** има вредност 1 само када сигнал **ldVM** има вредност 1 и то или уколико се у регистру  $A_{7...0}$  налази 8-битна бинарна реч чија је позиција у низу 0, па сигнал **SC0** има вредност 1, или уколико се у регистру  $A_{7...0}$  налази 8-битна бинарна реч чија позиција у низу није 0, па комплемент сигнала **SC0** има вредност 1, и њена вредност је већа од највеће вредности 8-битне бинарне речи која се налази у регистру  $V_{17...0}$ , па сигнал **GRT1** има вредност 1. Сигнал **ldVM0** има вредност 1 само када сигнал **ldVM** има вредност 1 и то или уколико се у регистру  $A_{7...0}$  налази 8-битна бинарна реч чија је позиција у низу 0, па сигнал **SC0** има вредност 1, или уколико се у регистру  $A_{7...0}$  налази 8-битна бинарна реч чија позиција у низу није 0, па комплемент сигнала **SC0** има вредност 1, и њена вредност је мања од најмање вредности 8-битне бинарне речи која се налази у регистру  $V_{07...0}$ , па сигнал **LSS0** има вредност 1.

У флип-флоп SPA се вредношћу 1 управљачког сигнала **stSPA** уписује вредност 1 онда када је уређај P спреман да прими од уређаја UA садржај са линија  $DAP_{7...0}$ , а управљачким сигналом **clSPA** вредност 0, онда када није спреман.

б) Дијаграм тока управљачких сигнала операционе и управљачке јединице приказан је на слици 29.б.



Слика 29.б Дијаграми тока управљачких сигнал операционе и управљачке јединице

У кораку  $T_0$  се вредношћу 1 сигнала **clSC** у бројач  $SC_{3...0}$  уписује вредност 0. Поред тога вредношћу 1 сигнала **stSPA** се у флип-флоп SPA уписује вредност 1, чиме уређај P сигнализира уређају UA да је спреман да прими 8-битну бинарну реч од уређаја UA.

Кроз кораке  $T_1$  и  $T_2$  се пролази у 16 итерација.

У кораку  $T_1$  се при вредности 1 сигнала **CAP** генеришу вредности 1 сигнала **ldA** и **clSPA**. Вредношћу 1 сигнала **ldA** у регистар  $A_{7...0}$  се уписује 8-битна бинарна реч, а вредношћу 1 сигнала **stSPA** се у флип-флоп SPA уписује вредност 1, чиме уређај P сигнализира уређају UA да није спреман да прими следећу 8-битну бинарну реч.

У кораку  $T_2$  се увек генеришу вредности 1 сигнала **ldVM** и **incSC**. У првој итерацији се вредношћу 1 сигнала **ldVM**, када се у регистру  $A_{7...0}$  налази 8-битна бинарна реч чија је позиција у низу 0 и када бројач  $SC_{3...0}$  има вредност 0, у регистре  $V1_{7...0}$  и  $V0_{7...0}$  уписује садржај регистра  $A_{7...0}$  и у регистре  $M1_{7...0}$  и  $M0_{7...0}$  садржај бројача  $SC_{3...0}$ , док се вредношћу 1 сигнала **incSC** инкрементира садржај бројача  $SC_{3...0}$  са 0 на 1. Тиме је 8-битна бинарна реч чија је позиција у низу 0 узета за почетну вредност и највеће и најмање 8-битне бинарне вредности.

У итерацијама 2 до 16 у регистру  $A_{7...0}$  се појављују преостале 8-битне бинарне речи чије су позиције у низу 1 до 15. У оној итерацији у којој се у регистру  $A_{7...0}$  појави 8-битна бинарна реч чија је вредност већа од вредности 8-битне бинарне речи која се налази у регистру  $V1_{7...0}$ , вредношћу 1 сигнала **ldVM** садржај регистра  $V1_{7...0}$  биће замењен садржајем регистра  $A_{7...0}$  и садржај регистра  $M1_{7...0}$  садржајем бројача  $SC_{3...0}$ , док се у итерацијама у којима то није случај не мењају садржаји регистара  $V1_{7...0}$  и  $M1_{7...0}$ . На сличан начин у оној итерацији у којој се у регистру  $A_{7...0}$  појави 8-битна бинарна реч чија је вредност мања од вредности 8-битне бинарне речи која се налази у регистру  $V0_{7...0}$ , вредношћу 1 сигнала **ldVM** садржај регистра  $V0_{7...0}$  биће замењен садржајем регистра  $A_{7...0}$  и садржај регистра  $M0_{7...0}$  садржајем бројача  $SC_{3...0}$ , док се у итерацијама у којима то није случај не мењају садржаји регистара  $V0_{7...0}$  и  $M0_{7...0}$ .

После 16 итерација у регистру  $V1_{7...0}$  ће бити 8-битна бинарна реч која има највећу вредност, док ће у регистру  $M1_{7...0}$  бити њена позиција у низу. На сличан начин после 16 итерација у регистру  $V0_{7...0}$  ће бити 8-битна бинарна реч која има најмање вредност, док ће у регистру  $M0_{7...0}$  бити њена позиција у низу.

У итерацијама 1 до 15 сигнал **SC15** има вредност 0, па се у овим итерацијама вредношћу 1 сигнала **stSPA** у флип-флоп **SPA** уписује вредност 1, чиме уређај **P** сигнализира уређају **UA** да је спреман да прими следећу 8-битну бинарну реч од уређаја **UA**. Међутим, у итерацији 16 због вредности 1 сигнала **SC15**, сигнал **stSPA** има вредност 0, па у флип-флопу **SPA** остаје вредност 0 као индикација да уређај **P** не може да прими 8-битну бинарну реч од уређаја **UA**.

У кораку  $T_3$  се при вредности 1 сигнала **SBP** генеришу вредности 1 сигнала **CPB**, **clSC** и **stSPA**. Вредношћу 1 сигнала **CPB** трајања једна периода сигнала такта уређај **P** шаље уређају **UB** команду да прихвати две 4-битне бинарне речи са линија  $DPB_{7...4}$  и  $DPB_{3...0}$ . Вредношћу 1 сигнала **clSC** у бројач  $SC_{3...0}$  се уписује вредност 0. Поред тога вредношћу 1 сигнала **stSPA** се у флип-флоп **SPA** уписује вредност 1, чиме уређај **P** сигнализира уређају **UA** да је спреман да прими 8-битну бинарну реч од уређаја **UA**.

в) Структурна шема управљачке јединице реализована помоћу бројача корака и декодера приказана је на слици 30.в.

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$clSC = T_0 + SBP \cdot T_3$$

$$stSPA = T_0 + \overline{SC15} \cdot T_2 + SBP \cdot T_3$$

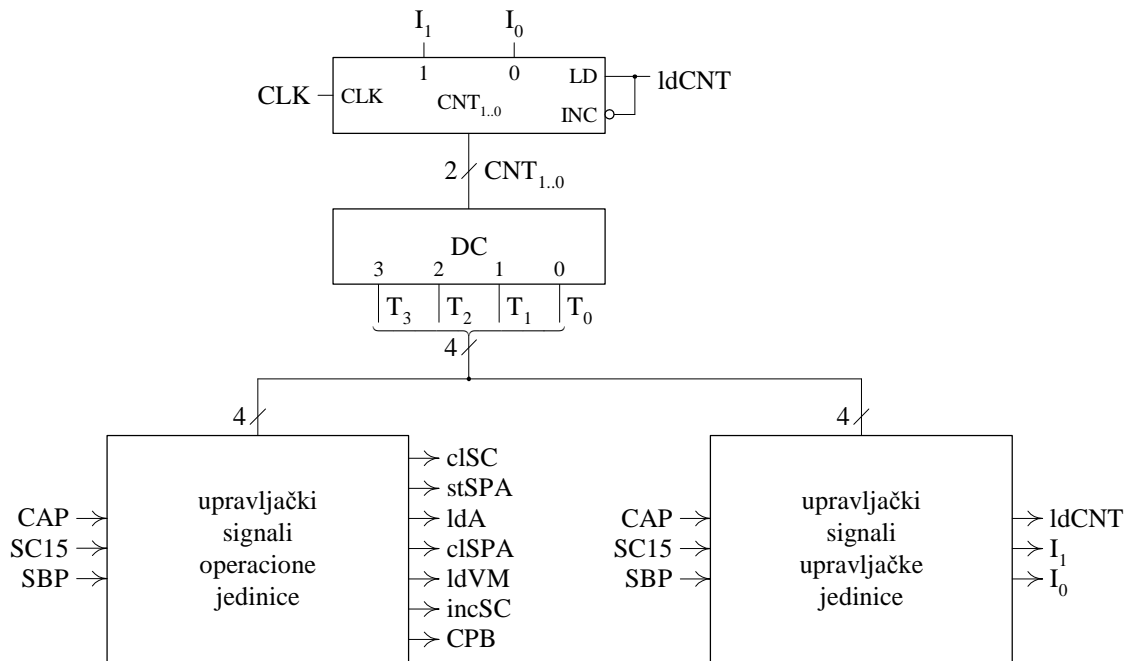
$$ldA = CAP \cdot T_1$$

$$clSPA = CAP \cdot T_1$$

$$ldVM = T_2$$

$$incSC = T_2$$

$$CPB = SBP \cdot T_3$$



Слика 29.в Структурна шема управљачке јединице

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$ldCNT = \overline{CAP} \cdot T_1 + \overline{SC15} \cdot T_2 + T_3$$

$$I_0 = \overline{CAP} \cdot T_1 + \overline{SC15} \cdot T_2 + T_3$$

$$I_1 = \overline{SBP} \cdot T_3$$

### 1.30 ДВА МАКСИМУМА

Реализовати уређај Р за спрегу између уређаја UA и UB. Уређај Р треба од уређаја UA паралелно да прими једну за другом низ од 16 8-битних бинарних речи које треба да интерпретира као целобројне вредности без знака, да у примљеним низу пронађе позиције две 8-битне бинарне речи које имају највеће вредности и да уређају UB паралелно пошаље две 4-битне бинарне речи које представљају позиције пронађених 8-битних бинарних речи које имају највеће вредности. Уколико се иста максимална вредност пронађе на више речи потребно је проследити прво пронађене вредности. Операција треба да се понавља циклично. Уређаји UA, Р и UB треба раде синхроно на исти сигнал такта.

Уређај UA шаље уређају Р једну 8-битну бинарну реч по линијама података DAP<sub>7..0</sub>, при чему је бит 7 најстарији а бит 0 најмлађи бит. За синхронизацију између уређаја UA и Р користе се статусни сигнал SPA и управљачки сигнал CAP. Вредностима 0 и 1 сигнала SPA уређај Р шаље уређају UA индикацију када не може и када може да прими 8-битну бинарну реч, респективно. Вредношћу 1 сигнала CAP, трајања једна периода сигнала такта, уређај UA шаље уређају Р команду да треба да прими 8-битну бинарну реч, при чему уређај UA то чини када утврди да уређај Р на статусној линији SPA држи вредност 1.

Уређај Р шаље уређају UB две 4-битне бинарне речи по линијама података DPB<sub>7..4</sub> и DPB<sub>3..0</sub>, при чему су битови 7 и 3 најстарији, а битови 4 и 0 најмлађи битови две 4-битне бинарне речи. За синхронизацију између уређаја Р и UB користе се статусни сигнал SBP и управљачки сигнал CPB. Вредностима 0 и 1 сигнала SBP уређај UB шаље уређају Р индикацију када не може и када може да прими две 4-битне бинарне речи, респективно. Вредношћу 1 сигнала CPB, трајања једна периода сигнала такта, уређај Р шаље уређају UB команду да треба да прими две 4-битне бинарне реч, при чему уређај Р то чини када утврди да уређај UB на статусној линији SBP држи вредност 1.

Претпоставити да су на почетку на статусним линијама SPA и SBP налазе вредности 0.

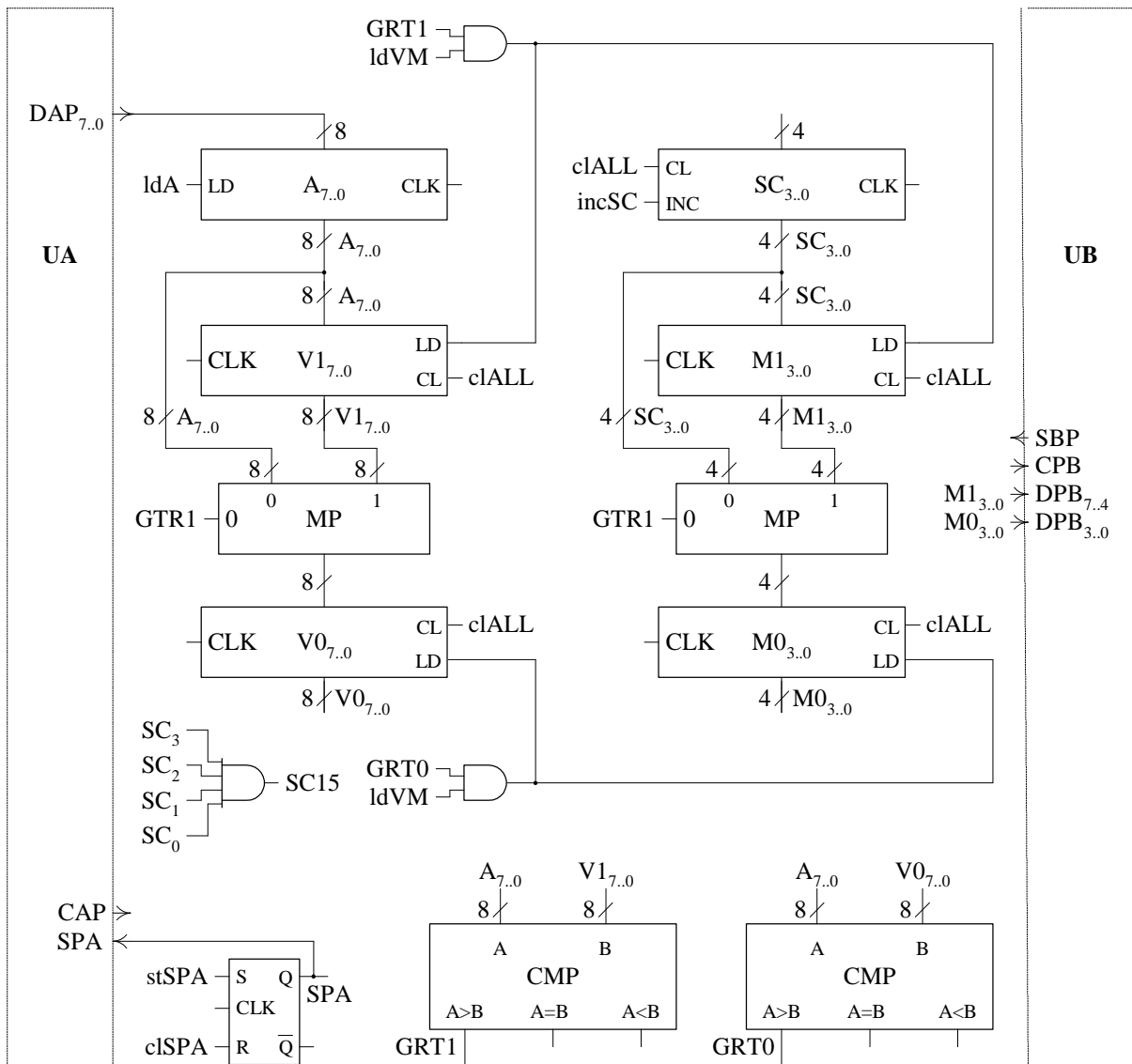
- а) Нацртати структурну шему операционе јединице уређаја Р.
- б) Нацртати дијаграме тока управљачких сигнала операционе јединице и управљачке јединице уређаја Р.
- в) Нацртати структурну шему управљачке јединице уређаја Р реализоване помоћу бројача корака и декодера и дати изразе за генерисање управљачких сигнала операционе јединице и управљачке јединице уређаја Р.

#### Решење:

- а) Структурна шема операционе јединице приказана је на слици 30.а.

У регистар A<sub>7...0</sub> се вредношћу 1 сигнала **ldA** уписује једна 8-битна бинарна реч из низа од 16 8-битних бинарних речи које у 16 итерација по линијама DAP<sub>7...0</sub> долазе из уређаја UA. Позиције 8-битних бинарних речи у низу од 16 8-битних бинарних речи су означене са 0 до 15, при чему у итерацији 1 долази 8-битна бинарна реч чија је позиција означена са 0 а у итерацији 16 долази 8-битна бинарна реч чија је позиција означена са 15. У бројач SC<sub>3...0</sub> се на почетку вредношћу 1 сигнала **clSC** уписује вредност 0. Садржај бројача SC<sub>3...0</sub> се током пријема 8-битних бинарних речи из низа од 16 8-битних бинарних речи вредношћу 1 сигнала **incSC** инкрементира. Тренутна вредност бројача SC<sub>3...0</sub> указује која је позиција 8-битне бинарне речи која се тренутно налази у регистру A<sub>7...0</sub> у низу од 16 8-битних бинарних речи које се примају од уређаја UA. Сигнал **SC15**

има вредност 1 само када се у регистру  $A_{7..0}$  налази 8-битна бинарна реч чија је позиција у низу 15.



Слика 30.а Структурна шема операционе јединице

У регистру  $V_{7..0}$  чува се 8-битна бинарна реч која од примљених 8-битних речи има највећу вредност, док се у регистру  $M_{3..0}$  чува њена позиција у низу од 16 8-битних бинарних речи. У регистру  $V_{0..7}$  чува се 8-битна бинарна реч која од примљених 8-битних речи има прву следећу највећу вредност, док се у регистру  $M_{0..3}$  чува њена позиција у низу од 16 8-битних бинарних речи. Вредношћу 1 сигнала  $ldVM1$  у регистар  $V_{7..0}$  се уписује садржај регистра  $A_{7..0}$ , а у регистар  $M_{3..0}$  садржај бројача  $SC_{3..0}$ . Вредношћу 1 сигнала  $ldVM0$  у регистар  $V_{0..7}$  се уписује садржај са излаза мултиплексера  $MPV$ , а у регистар  $M_{0..3}$  садржај са излаза мултиплексера  $MPM$ . Садржаји бројача  $M_{3..0}$  и  $M_{0..3}$  се паралелно по линијама  $DPB_{7..4}$  и  $DPB_{3..0}$  шаљу уређају UB.

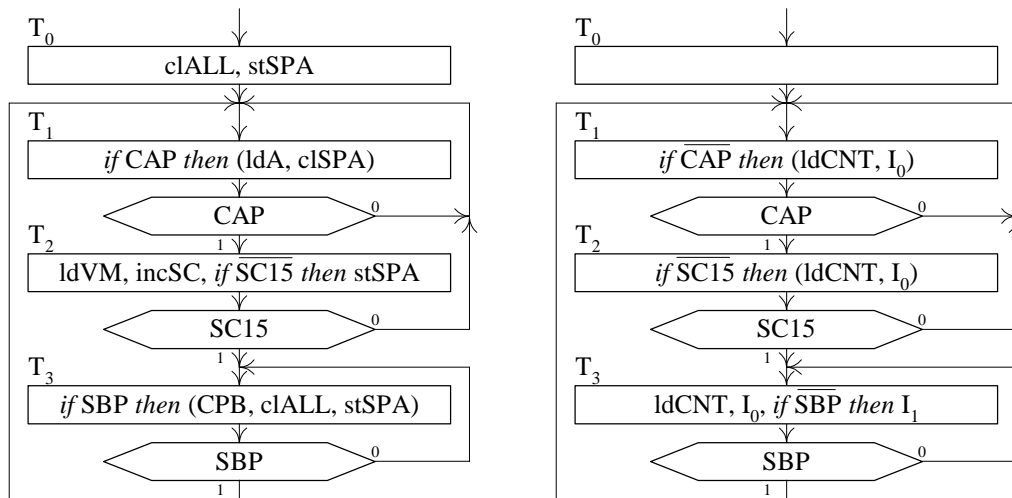
Компаратор  $CMP1$  упоређује садржај регистра  $A_{7..0}$ , у коме се налази тренутно примљена 8-битна бинарна реч, и садржај регистра  $V_{7..0}$ , у коме се налази 8-битна бинарна реч која од примљених 8-битних речи има највећу вредност, и даје вредност 1 сигнала  $GRT1$  уколико је садржај регистра  $A_{7..0}$  већи од садржаја регистра  $V_{7..0}$ . Компаратор  $CMP0$  упоређује садржај регистра  $A_{7..0}$ , у коме се налази тренутно

примљена 8-битна бинарна реч, и садржај регистра  $V_{07...0}$ , у коме се налази 8-битна бинарна реч која од примљених 8-битних речи има прву следећу највећу вредност, и даје вредност 1 сигнала **GRT0** уколико је садржај регистра  $A_{7...0}$  већи од садржаја регистра  $V_{07...0}$ .

Сигнал **ldVM1** има вредност 1 само када сигнал **ldVM** има вредност 1 и то уколико се у регистру  $A_{7...0}$  налази 8-битна бинарна реч чија је вредност је већа од највеће вредности 8-битне бинарне речи која се налази у регистру  $V_{17...0}$ , па сигнал **GRT1** има вредност 1. Сигнал **ldVM0** има вредност 1 само када сигнал **ldVM** има вредност 1 и то уколико се у регистру  $A_{7...0}$  налази 8-битна бинарна реч чија је вредност је већа од прве следеће највеће вредности 8-битне бинарне речи која се налази у регистру  $V_{07...0}$ , па сигнал **GRT0** има вредност 1.

У флип-флоп **SPA** се вредношћу 1 управљачког сигнала **stSPA** уписује вредност 1 онда када је уређај **P** спреман да прими од уређаја **UA** садржај са линија  $DAP_{7...0}$ , а управљачким сигналом **clSPA** вредност 0, онда када није спреман.

б) Дијаграм тока управљачких сигнала операционе и управљачке јединице приказан је на слици 30.б.



Слика 30.б Дијаграми тока управљачких сигнал операционе и управљачке јединице

У кораку **T<sub>0</sub>** се вредношћу 1 сигнала **clSC** у бројач  $SC_{3...0}$  уписује вредност 0. Поред тога вредношћу 1 сигнала **stSPA** се у флип-флоп **SPA** уписује вредност 1, чиме уређај **P** сигнализира уређају **UA** да је спреман да прими 8-битну бинарну реч од уређаја **UA**.

Кроз кораке **T<sub>1</sub>** и **T<sub>2</sub>** се пролази у 16 итерација.

У кораку **T<sub>1</sub>** се при вредности 1 сигнала **CAP** генеришу вредности 1 сигнала **ldA** и **clSPA**. Вредношћу 1 сигнала **ldA** у регистар  $A_{7...0}$  се уписује 8-битна бинарна реч, а вредношћу 1 сигнала **stSPA** се у флип-флоп **SPA** уписује вредност 1, чиме уређај **P** сигнализира уређају **UA** да није спреман да прими следећу 8-битну бинарну реч.

У кораку **T<sub>2</sub>** се увек генеришу вредности 1 сигнала **ldVM** и **incSC**. У првој итерацији се вредношћу 1 сигнала **ldVM**, када се у регистру  $A_{7...0}$  налази 8-битна бинарна реч чија

је позиција у низу 0 и када бројач  $SC_{3...0}$  има вредност 0, у регистре  $V1_{7...0}$  и  $V0_{7...0}$  уписује садржај регистра  $A_{7...0}$  и у регистре  $M1_{7...0}$  и  $M0_{7...0}$  садржај бројача  $SC_{3...0}$ , док се вредношћу 1 сигнала **incSC** инкрементира садржај бројача  $SC_{3...0}$  са 0 на 1. Тиме је 8-битна бинарна реч чија је позиција у низу 0 узета за почетну вредност и највеће и најмање 8-битне бинарне вредности.

У итерацијама 2 до 16 у регистру  $A_{7...0}$  се појављују преостале 8-битне бинарне речи чије су позиције у низу 1 до 15. У оној итерацији у којој се у регистру  $A_{7...0}$  појави 8-битна бинарна реч чија је вредност већа од вредности 8-битне бинарне речи која се налази у регистру  $V1_{7...0}$ , вредношћу 1 сигнала **ldVM** садржај регистра  $V1_{7...0}$  биће замењен садржајем регистра  $A_{7...0}$  и садржај регистра  $M1_{7...0}$  садржајем бројача  $SC_{3...0}$ , док се у итерацијама у којима то није случај не мењају садржаји регистара  $V1_{7...0}$  и  $M1_{7...0}$ . На сличан начин у оној итерацији у којој се у регистру  $A_{7...0}$  појави 8-битна бинарна реч чија је вредност мања од вредности 8-битне бинарне речи која се налази у регистру  $V0_{7...0}$ , вредношћу 1 сигнала **ldVM** садржај регистра  $V0_{7...0}$  биће замењен садржајем регистра  $A_{7...0}$  и садржај регистра  $M0_{7...0}$  садржајем бројача  $SC_{3...0}$ , док се у итерацијама у којима то није случај не мењају садржаји регистара  $V0_{7...0}$  и  $M0_{7...0}$ .

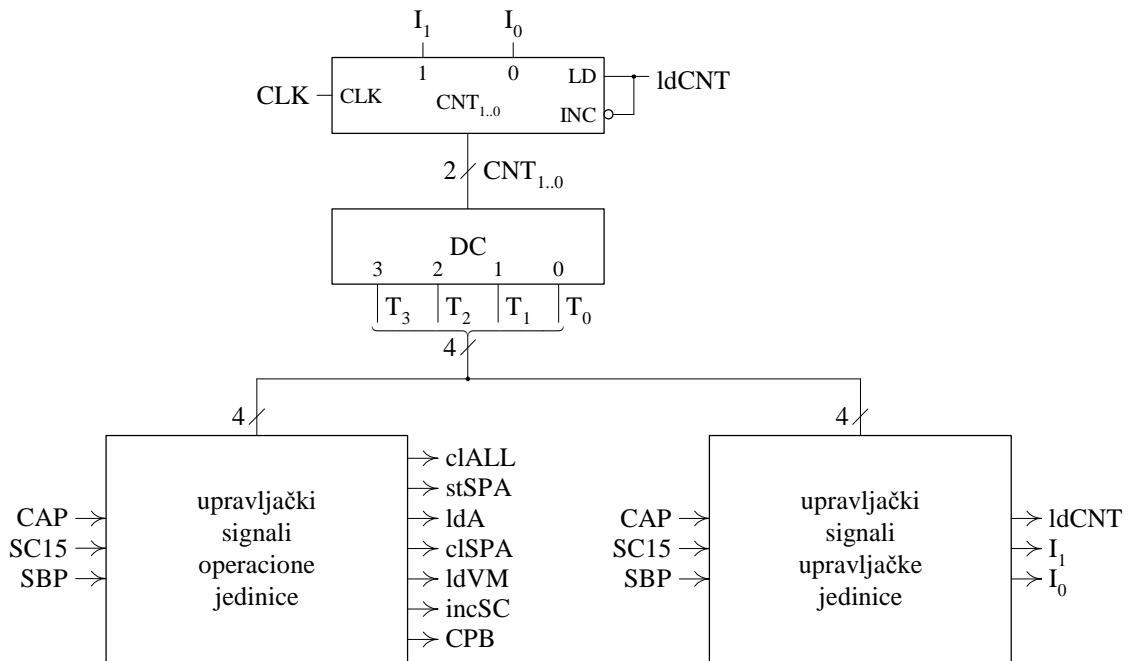
После 16 итерација у регистру  $V1_{7...0}$  ће бити 8-битна бинарна реч која има највећу вредност, док ће у регистру  $M1_{7...0}$  бити њена позиција у низу. На сличан начин после 16 итерација у регистру  $V0_{7...0}$  ће бити 8-битна бинарна реч која има најмање вредност, док ће у регистру  $M0_{7...0}$  бити њена позиција у низу.

У итерацијама 1 до 15 сигнал **SC15** има вредност 0, па се у овим итерацијама вредношћу 1 сигнала **stSPA** у флип-флоп **SPA** уписује вредност 1, чиме уређај **P** сигнализира уређају **UA** да је спреман да прими следећу 8-битну бинарну реч од уређаја **UA**. Међутим, у итерацији 16 због вредности 1 сигнала **SC15**, сигнал **stSPA** има вредност 0, па у флип-флопу **SPA** остаје вредност 0 као индикација да уређај **P** не може да прими 8-битну бинарну реч од уређаја **UA**.

У кораку **T<sub>3</sub>** се при вредности 1 сигнала **SBP** генеришу вредности 1 сигнала **CPB**, **clSC** и **stSPA**. Вредношћу 1 сигнала **CPB** трајања једна периода сигнала такта уређај **P** шаље уређају **UB** команду да прихвати две 4-битне бинарне речи са линија  $DPB_{7...4}$  и  $DPB_{3...0}$ . Вредношћу 1 сигнала **clSC** у бројач  $SC_{3...0}$  се уписује вредност 0. Поред тога вредношћу 1 сигнала **stSPA** се у флип-флоп **SPA** уписује вредност 1, чиме уређај **P** сигнализира уређају **UA** да је спреман да прими 8-битну бинарну реч од уређаја **UA**.

в) Структурна шема управљачке јединице реализована помоћу бројача корака и декодера приказана је на слици 30.в.





Слика 30.в Структурна шема управљачке јединице

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$cIALL = T_0 + SBP \cdot T_3$$

$$stSPA = T_0 + \overline{SC15} \cdot T_2 + SBP \cdot T_3$$

$$ldA = CAP \cdot T_1$$

$$cISPA = CAP \cdot T_1$$

$$ldVM = T_2$$

$$incSC = T_2$$

$$CPB = SBP \cdot T_3$$

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$ldCNT = \overline{CAP} \cdot T_1 + \overline{SC15} \cdot T_2 + T_3$$

$$I_0 = \overline{CAP} \cdot T_1 + \overline{SC15} \cdot T_2 + T_3$$

$$I_1 = \overline{SBP} \cdot T_3$$

### 1.31 ДОХВАТАЊЕ ПОДАТАКА СА ЧЕКАЊЕМ

Реализовати дигитални уређај Р за спрегу између два дигитална уређаја UA и UB. Уређај Р од уређаја UA прима захтев за читање података од уређаја UB, као и колико максимално сме да чека на податке од уређаја UB. Када уређај Р прихвати податке од уређаја UB прослеђује их уређају UA. Уколико за посматрани интервал подаци не пристигну уређај Р јавља уређају UA да подаци нису прикупљени.

Синхронизација између уређаја Р и уређаја UA и UB се обавља по принципу hand-shaking користећи линије RA, CA, RB и CB.

Када је уређај Р спреман да прихвати захтев за читање од уређаја UA, поставља линију RA на 1. Када UA детектује да је RA постављен на 1, поставља на линије X[7..0] интервал времена колико максимално периода сигнала такта жели да чека док уређај UB на започне слање података, и поставља 1 на управљачку линију CA, на исти такт се брише RA.

Када је уређај UB спреман да од уређаја Р прими захтев за читање по линији CB онда на линију RB поставља вредност 1. Када уређај Р детектује да је уређај UB спреман да прими захте за читањем поставља на 1 управљачку линију CB коју држи тачно 1 такт, на исти такт се брише RB, док уређај UB у следећих 8 периода сигнала такта по линији Y поставља податке серијски бит по бит, од виших ка нижим. Када прими податке од уређаја UB уређај Р их прослеђује уређају UA паралелно по линијама Z[7..0], на линију HT поставља вредност 1, а на линију CP поставља вредност 1 коју држи тачно један такт. Уколико истекне временски интервал, а уређај Р уређају UB није упутио захтев за читањем података онда на линију HT поставља вредност 0, а на линију CP поставља вредност 1 коју држи тачно један такт. Уређај Р обавља своју функцију непрекидно, циклички.

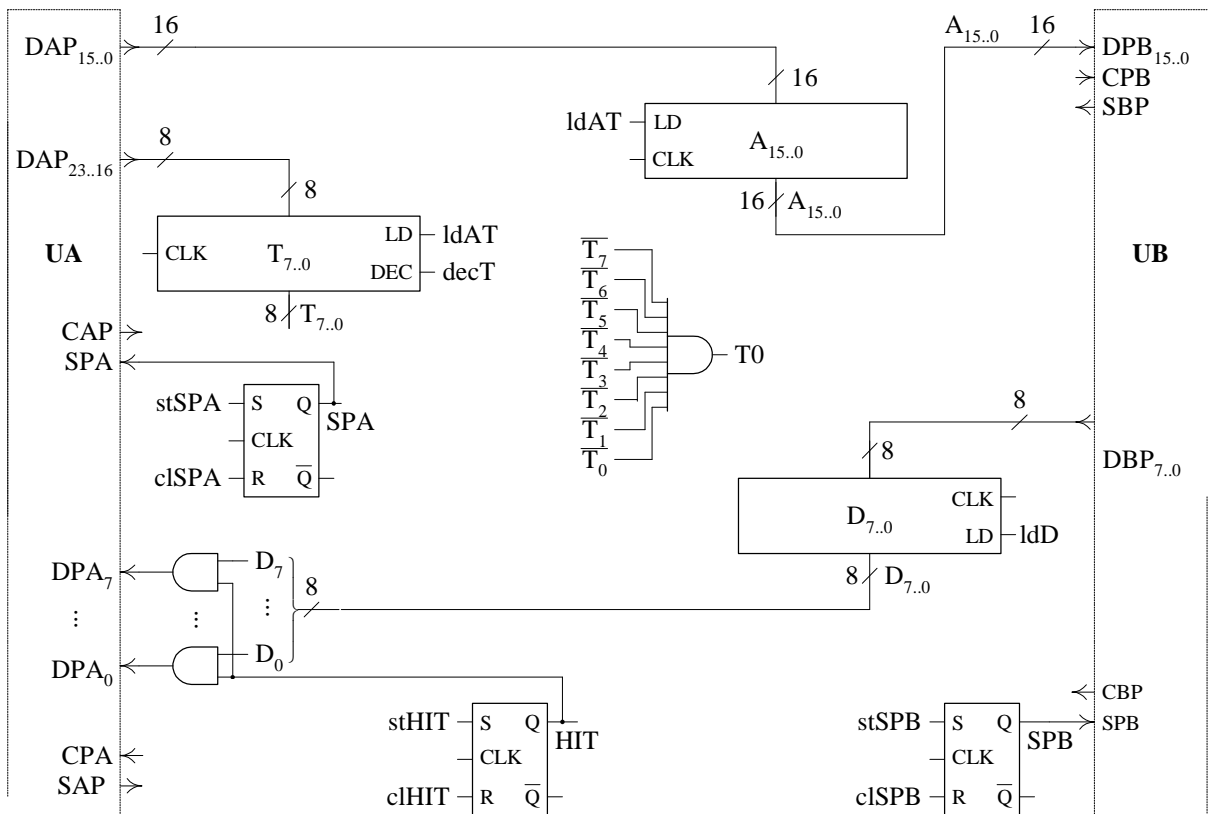
а) Нацртати структурну шему операционе јединице уређаја Р која реализује дату операцију.

б) Нацртати дијаграме тока управљачких сигнала операционе и управљачке јединице.

в) Нацртати структурну шему управљачке јединице реализоване помоћу бројача корака и декодера.

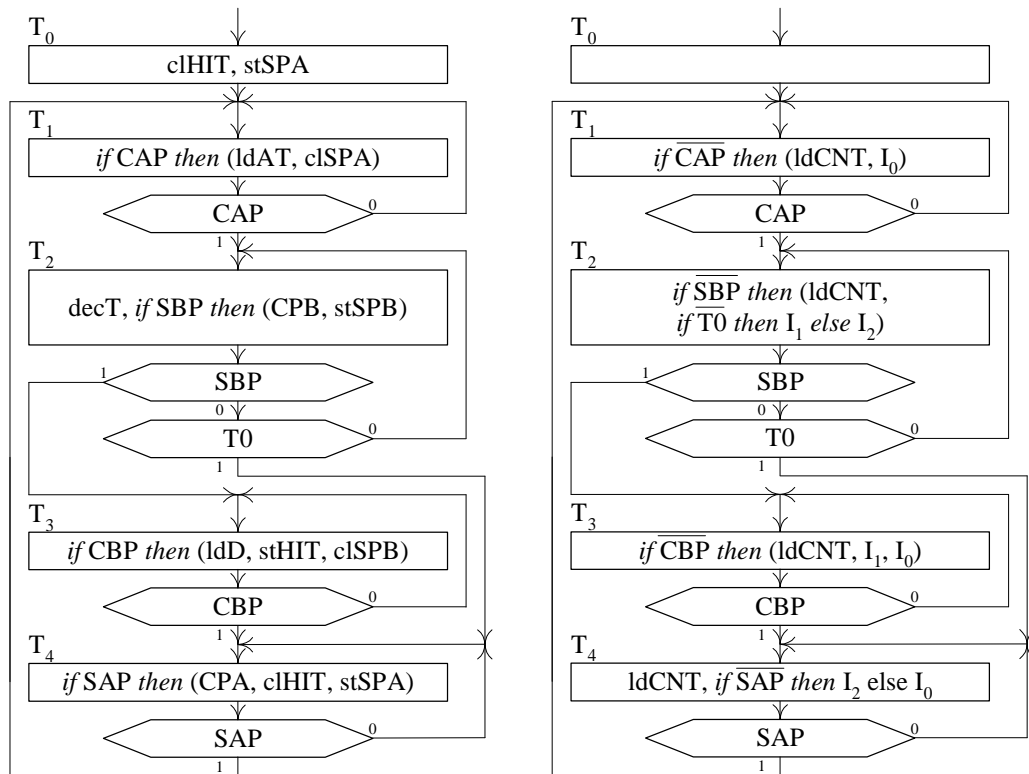
#### Решење:

а) Структурна шема операционе јединице приказана је на слици 28.а.



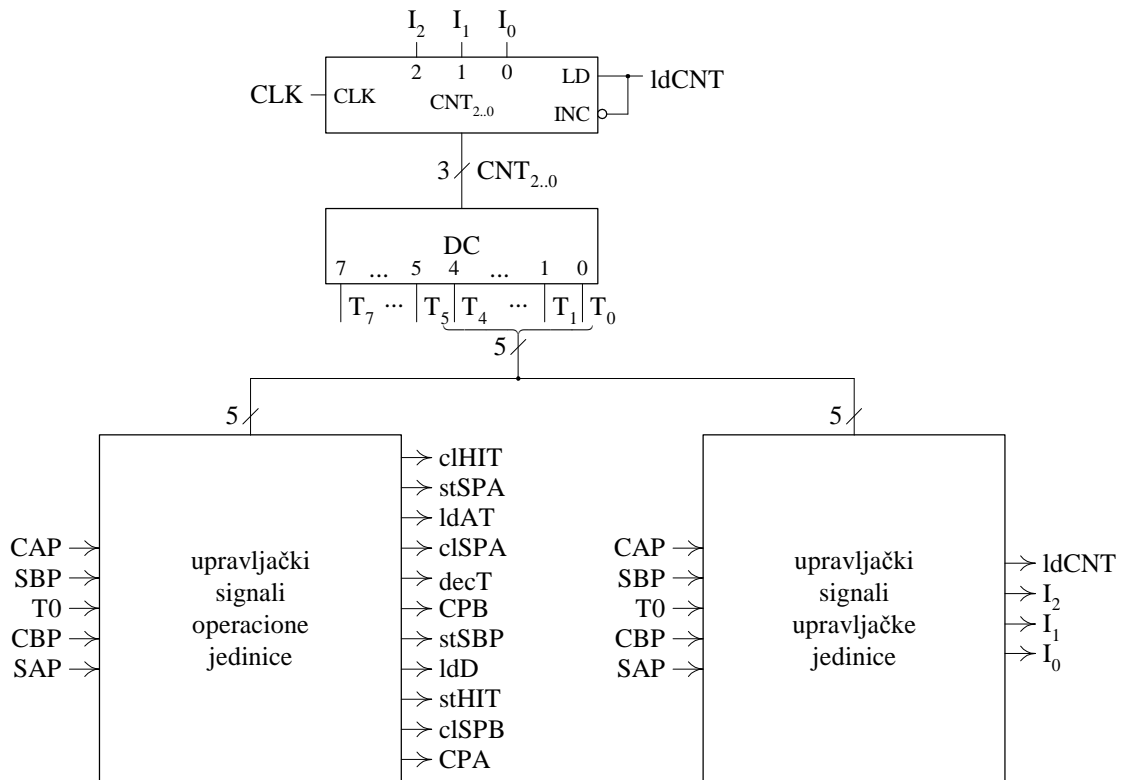
Слика 31.а Структурна шема операционе јединице

б) Дијаграм тока управљачких сигнала операционе и управљачке јединице приказан је на слици 28.б.



Слика 28.б Дијаграми тока управљачких сигнал операционе и управљачке јединице

в) Структурна шема управљачке јединице реализована помоћу бројача корака и декодера приказана је на слици 28.в.



Слика 28.в Структурна шема управљачке јединице

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$\mathbf{cIHIT} = T_0 + \mathbf{CAP} \cdot T_4$$

$$\mathbf{stSPA} = T_0 + \mathbf{CAP} \cdot T_4$$

$$\mathbf{ldAT} = \mathbf{CAP} \cdot T_1$$

$$\mathbf{clSPA} = \mathbf{CAP} \cdot T_1$$

$$\mathbf{decT} = T_2$$

$$\mathbf{CPB} = \mathbf{SBP} \cdot T_5$$

$$\mathbf{stSPB} = \mathbf{SBP} \cdot T_2$$

$$\mathbf{ldD} = \mathbf{CBP} \cdot T_3$$

$$\mathbf{stHIT} = \mathbf{CBP} \cdot T_3$$

$$\mathbf{clSPB} = \mathbf{CBP} \cdot T_3$$

$$\mathbf{CPA} = \mathbf{SAP} \cdot T_4$$

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$\mathbf{ldCNT} = \overline{\mathbf{CAP}} \cdot T_1 + \overline{\mathbf{SBP}} \cdot T_2 + \overline{\mathbf{CBP}} \cdot T_3 + T_4$$

$$\mathbf{I}_0 = \overline{\mathbf{CAP}} \cdot T_1 + \overline{\mathbf{CBP}} \cdot T_3 + \mathbf{SAP} \cdot T_4$$

$$\mathbf{I}_1 = \overline{\mathbf{SBP}} \cdot \overline{T_0} \cdot T_2 + \overline{\mathbf{CBP}} \cdot T_3$$

$$\mathbf{I}_2 = \overline{\mathbf{SBP}} \cdot T_0 \cdot T_2 + \overline{\mathbf{SAP}} \cdot T_4$$

### 1.32 ПРОГРАМАТОР

Реализовати уређај P за спрегу између уређаја UA и UB. Уређај P треба од уређаја UA да прихвати 16 битну почетну адресу у ROM меморији и 8 битни број sukcesивних меморијских локација у ROM меморији којима треба да приступи. Унутар уређаја P постоји ROM меморији капацитета 64Кx16. На свакој меморијској локацији се налази 16 битна реч која се састоји из два дела. Први део речи, дужине 6 бита, означава на коју од 32 линије које иду од уређаја P ка уређају UB треба поставити вредности 1, док на све остале линије треба поставити вредност 0. Други део речи, дужине 10 бита, означава колико периода сигнала такта треба држати вредност 1 на означеној линији. Број sukcesивних меморијских локација и садржај другог дела меморијске речи треба интерпретирати као позитивне целе бројеве који су већи од нуле.

Синхронизација између уређаја P и уређаја UA и UB се обавља по принципу *hand-shaking* користећи линије RA, CA, RB и CB. Када је уређај P спреман да прихвати податке по линијама ADR[15..0] и CNT[7..0], поставља линију RA на 1. Када UA детектује да је RA постављен на 1 и има припремљене податке, поставља податке на линије ADR[15..0] и CNT[7..0], и поставља 1 на управљачку линију CA коју држи тачно 1 такт, на исти такт се брише RA.

Када је уређај UB спреман да од уређаја P прими секвенцу по линијама CMD[31..0] онда на линију RB поставља вредност 1. Када уређај P прихвати почетну адресу и број sukcesивних меморијских локација од уређаја UA и када детектује да је уређај UB спреман да их прими поставља на линије CMD[31..0] задату секвенцу, а 1 на управљачку линију CB коју држи док не проследи комплетну секвенцу. Када проследи комплетну секвенцу линија CB постане 0 на исти такт се брише RB, и уређај P прелази на примање нових података од уређаја UA.

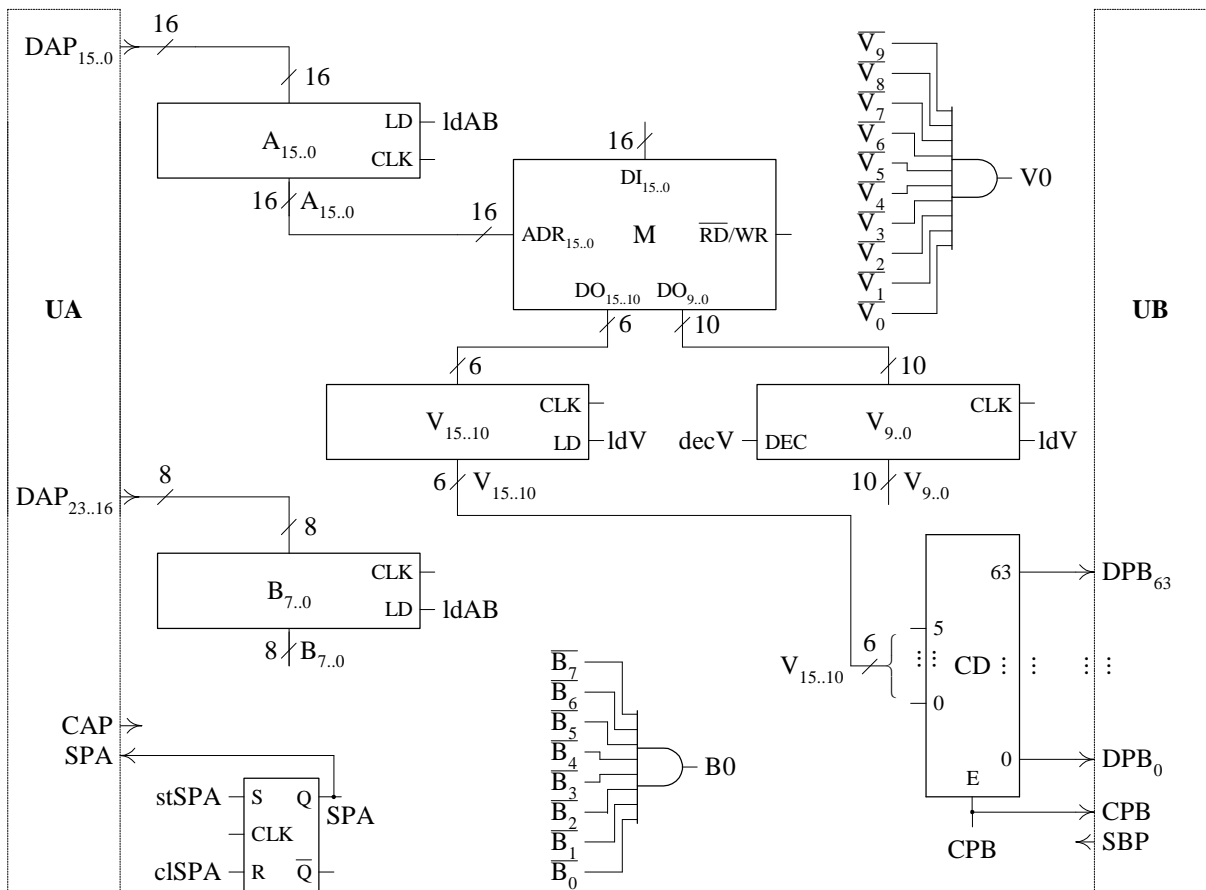
а) Нацртати структурну шему операционе јединице уређаја P која реализује дату операцију.

б) Нацртати дијаграме тока управљачких сигнала операционе и управљачке јединице.

в) Нацртати структурну шему управљачке јединице реализоване помоћу бројача корака и декодера.

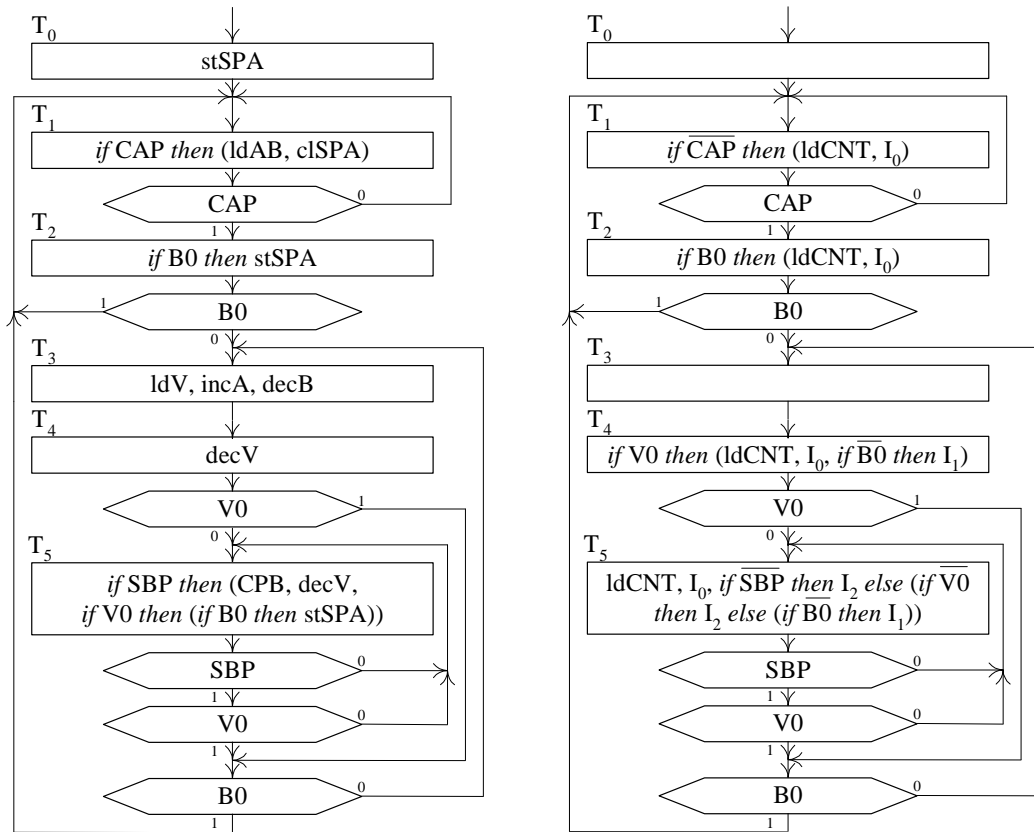
#### **Решење:**

а) Структурна шема операционе јединице приказана је на слици 28.а.



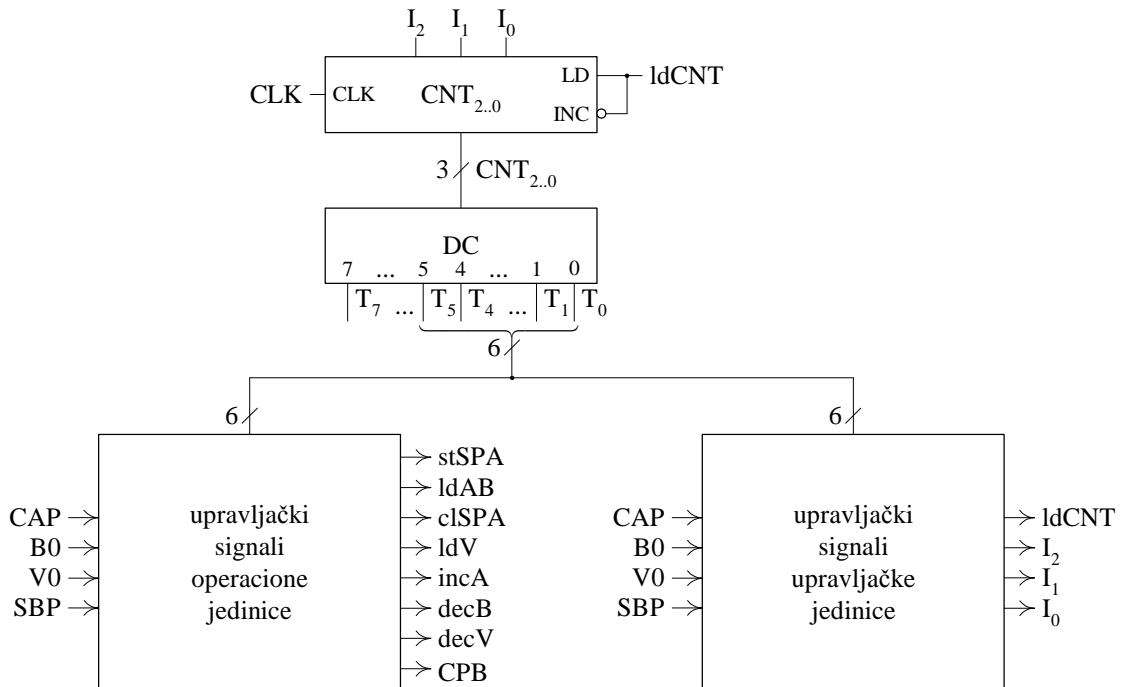
Слика 32.а Структурна шема операционе јединице

б) Дијаграм тока управљачких сигнала операционе и управљачке јединице приказан је на слици 28.б.



Слика 28.б Дијаграми тока управљачких сигнал операционе и управљачке јединице

в) Структурна шема управљачке јединице реализована помоћу бројача корака и декодера приказана је на слици 28.в.



Слика 28.в Структурна шема управљачке јединице

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$\text{stSPA} = T_0 + B_0 \cdot T_2 + SBP \cdot V_0 \cdot B_0 \cdot T_5$$

$$\text{ldAB} = CAP \cdot T_1$$

$$\text{clSPA} = CAP \cdot T_1$$

$$\text{ldV} = T_3$$

$$\text{incA} = T_3$$

$$\text{decB} = T_3$$

$$\text{decV} = T_4 + SBP \cdot T_5$$

$$\text{CPB} = SBP \cdot T_5$$

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$\text{ldCNT} = \overline{CAP} \cdot T_1 + B_0 \cdot T_2 + V_0 \cdot T_4 + T_5$$

$$I_0 = \overline{CAP} \cdot T_1 + B_0 \cdot T_2 + V_0 \cdot T_4 + T_5$$

$$I_1 = V_0 \cdot \overline{B_0} \cdot T_4 + SBP \cdot V_0 \cdot \overline{B_0} \cdot T_5$$

$$I_2 = \overline{SBP} \cdot T_5 + SBP \cdot \overline{V_0} \cdot T_5$$



### 1.33 ПРОСЛЕЂИВАЊЕ ПОРУКА СА ЧЕКАЊЕМ

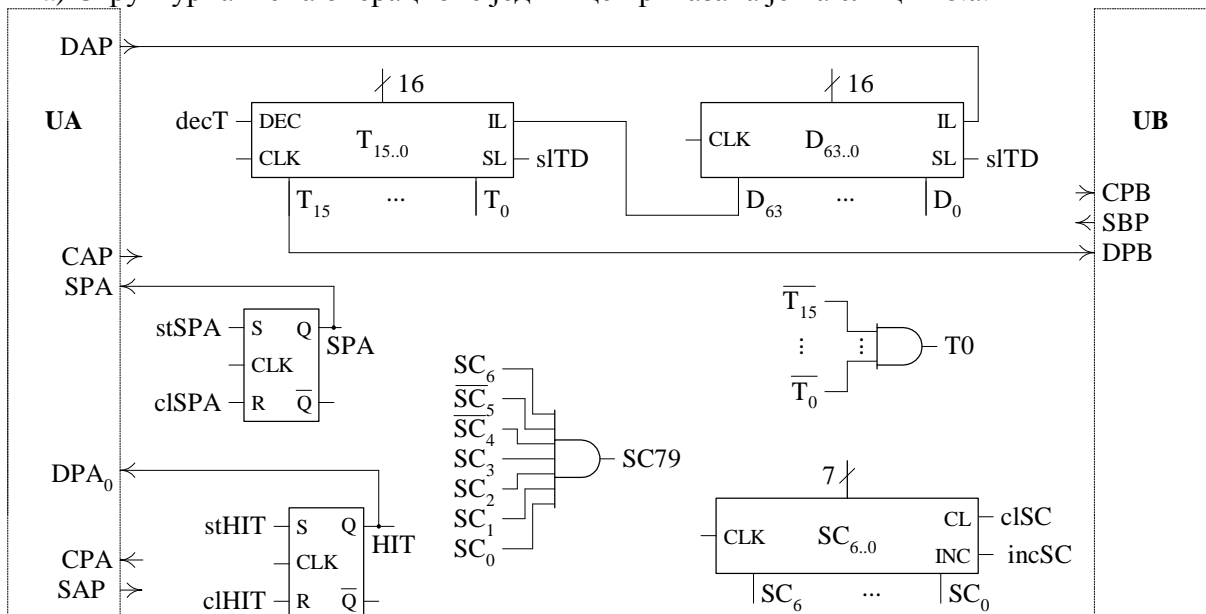
Реализовати дигитални уређај Р за спрегу између два дигитална уређаја UA и UB. Уређају Р стижу од уређаја UA поруке дужине 80 бита који се састоји из заглавља дужине 16 бита и тела дужине 64 бита, серијски, бит по бит. Заглавље поруке одређује колико се периода сигнала такта порука сме најдуже задржати у уређају Р, почев од тренутка када је уређај Р примио целу поруку, до тренутка пре него што започне њено слање уређају UB. Слање поруке је започето када од уређаја UB пристигла потврда да је спреман да прими први бит од уређаја Р по линији В. Уређај Р треба да проследи поруку уређају UB, серијски, бит по бит, али тако да заглавље поруке буде умањено за број периода сигнала такта које је порука провела у уређају Р. Уређај Р шаље уређају UB поруку само уколико није истекло време које порука која сме да се задржи у уређају Р. Уколико је време истекло, а није започето слање поруке, уређају UB се не шаље порука већ се прелази на дохватање нове поруке од уређаја UA. Уколико је порука успешно послата, то јест није истекло предвиђено време, у регистар SR се уписује 00011100, у супротном 11100011. Сматрати да бити стижу од виших ка нижим.

Синхронизација између уређаја Р и уређаја UA и UB се обавља по принципу *hand-shaking* користећи линије RA, CA, RB и CB. Када је уређај Р спреман да прихвати бит од уређаја UA, поставља линију RA на 1. Када UA детектује да је RA постављен на 1, поставља бит на линију D и поставља 1 на управљачку линију CA коју држи тачно 1 такт, на исти такт се брише RA. Када је уређај UB спреман да прихвати бит од уређаја Р, поставља линију RB на 1. Када Р детектује да је RB постављен на 1, и има спреман бит за слање поставља бит на линију В и поставља 1 на управљачку линију CB коју држи тачно 1 такт, на исти такт се брише RB. Уређај Р обавља своју функцију непрекидно, циклички.

- Нацртати структурну шему операционе јединице уређаја Р која реализује дату операцију.
- Нацртати дијаграме тока управљачких сигнала операционе и управљачке јединице.
- Нацртати структурну шему управљачке јединице реализоване помоћу бројача корака и декодера.

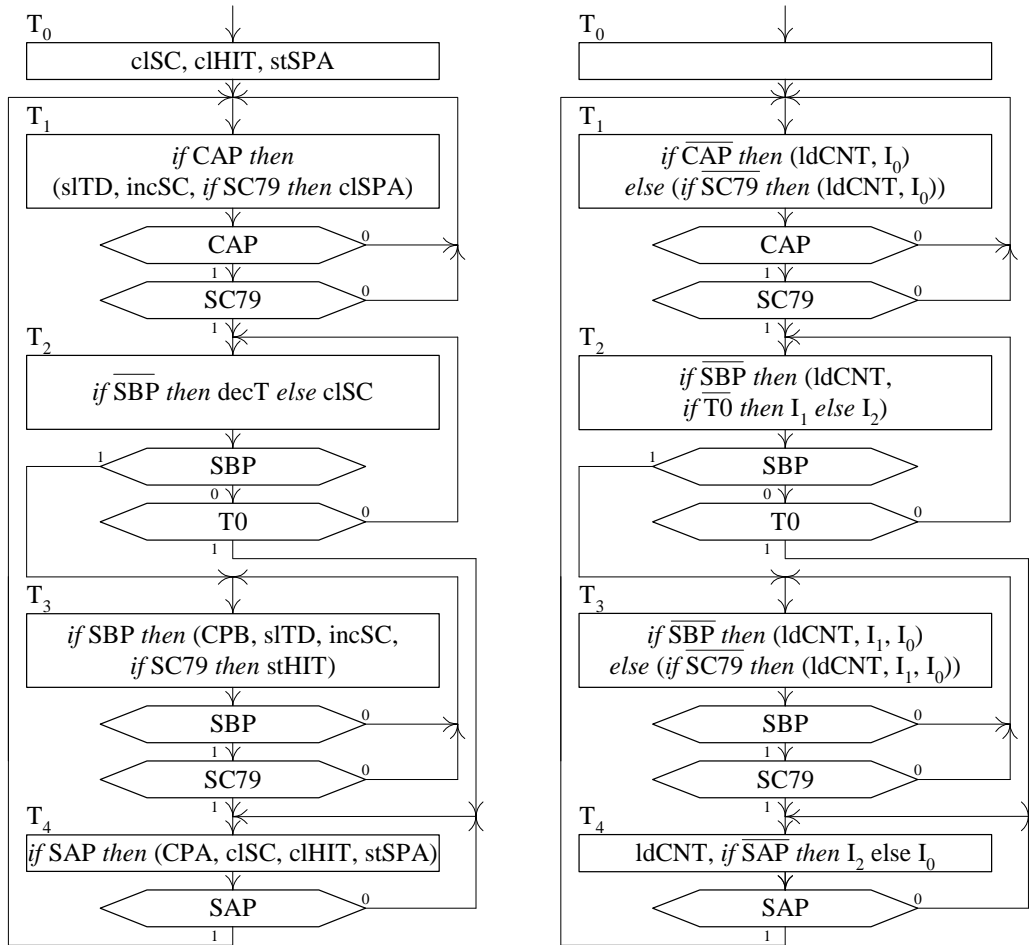
#### Решење:

а) Структурна шема операционе јединице приказана је на слици 28.а.



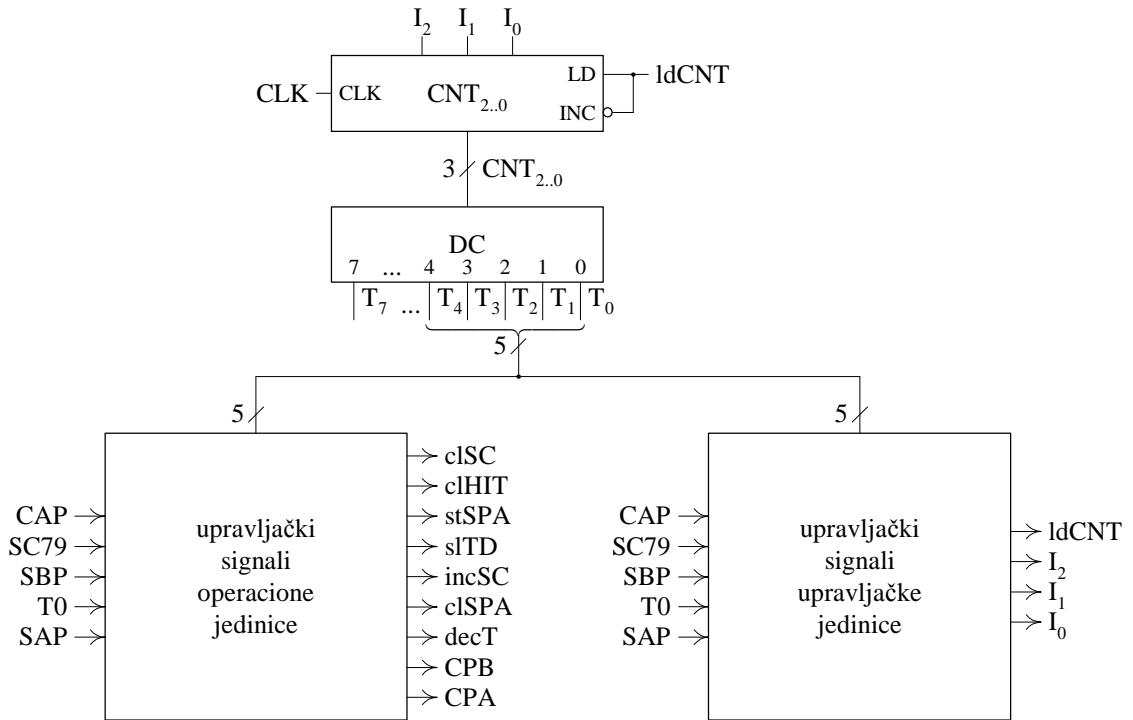
Слика 33.а Структурна шема операционе јединице

б) Дијаграм тока управљачких сигнала операционе и управљачке јединице приказан је на слици 28.б.



Слика 28.б Дијаграми тока управљачких сигнал операционе и управљачке јединице

в) Структурна шема управљачке јединице реализована помоћу бројача корака и декодера приказана је на слици 28.в.



Слика 28.в Структурна шема управљачке јединице

Управљачки сигнали операционе јединице се генеришу према следећим изразима:

$$\text{clSC} = T_0 + \text{SBP} \cdot T_2 + \text{SAP} \cdot T_4$$

$$\text{clHIT} = T_0 + \text{SAP} \cdot T_4$$

$$\text{stSPA} = T_0 + \text{SAP} \cdot T_4$$

$$\text{slTD} = \text{CAP} \cdot T_1 + \text{SBP} \cdot T_3$$

$$\text{incSC} = \text{CAP} \cdot T_1 + \text{SBP} \cdot T_3$$

$$\text{clSPA} = \text{CAP} \cdot \text{SC79} \cdot T_1$$

$$\text{decT} = \overline{\text{SBP}} \cdot T_2$$

$$\text{CPB} = \text{SBP} \cdot T_3$$

$$\text{stHIT} = \text{SBP} \cdot \text{SC79} \cdot T_3$$

$$\text{CPA} = \text{SAP} \cdot T_4$$

Управљачки сигнали управљачке јединице се генеришу према следећим изразима:

$$\text{IdCNT} = \overline{\text{CAP}} \cdot T_1 + \text{CAP} \cdot \overline{\text{SC79}} \cdot T_1 + \overline{\text{SBP}} \cdot T_2 + \overline{\text{CBP}} \cdot T_3 + \text{SBP} \cdot \overline{\text{SC79}} \cdot T_3 + T_4$$

$$I_0 = \overline{\text{CAP}} \cdot T_1 + \text{CAP} \cdot \overline{\text{SC79}} \cdot T_1 + \overline{\text{CBP}} \cdot T_3 + \text{SBP} \cdot \overline{\text{SC79}} \cdot T_3 + \text{SAP} \cdot T_4$$

$$I_1 = \overline{\text{SBP}} \cdot \overline{\text{T0}} \cdot T_2 + \overline{\text{CBP}} \cdot T_3 + \text{SBP} \cdot \overline{\text{SC79}} \cdot T_3$$

$$I_2 = \overline{\text{SBP}} \cdot \text{T0} \cdot T_2 + \overline{\text{SAP}} \cdot T_4$$

## 2 ЛИТЕРАТУРА

1. B. Lazić, *Logičko projektovanje računara*, Nauka—Elektrotehnički fakultet, Beograd, 1994.
2. D. Živković, M. Popović, *Impulsna u digitalna elektronika*, Nauka—Elektrotehnički fakultet, Beograd, 1992.
3. J. Djordjevic, A. Milenkovic, N. Grbanovic, “An Integrated Educational Environment for Teaching Computer Architecture and Organisation,” IEEE MICRO, May 2000, pp. 66-74.
4. J. Djordjevic, M. R. Barbacci, B. Hosler, *A PMS Level Notation for the Description and Simulation of Digital Systems*, The Computer Journal, Vol. 28, No. 4, pp. 357-365, 1985.
5. S. Miladinović, J. Đorđević, A. Milenković, *Programski sistem za grafički opis u simulaciju digitalnih sistema*, Zbornik radova ETRAN 1997, Zlatibor, Jugoslavija, Jun 1997.
6. N. Grbanovic, J. Djordjevic, B. Nikolić, *The Software Package for an Educational Computer System*, International Journal on Electrical Engineering Education, Vol. 40, No. 4, Oct 2003, pp. 270-284.
7. J. Djordjevic, A. Milenkovic, I. Todorovic, D. Marinov, “CALKAS: A Computer Architecture Learning and Knowledge Assessment System,” IEEE TC Computer Architecture Newsletter, March 1999.
8. J. Đorđević, *Priručnik uz arhitekture računara*, Elektrotehnički fakultet, Beograd, 1997.
9. J. Đorđević, *Priručnik uz arhitekture u organizacije računara*, Elektrotehnički fakultet, Beograd, 1997.
10. J. Đorđević, *Arhitektura računara, Edukacioni računarski sistem, Arhitektura u organizacija računarskog sistema*, Elektrotehnički fakultet, Beograd, 2002.
11. J. Đorđević, N. Grbanović, B. Nikolić, Z. Radivojević, *Arhitektura računara, Edukacioni računarski sistem, Priručnik za simulaciju sa zadacima*, Elektrotehnički fakultet, Beograd, 2004.
12. J. Djordjevic, B. Nikolic, A. Milenkovic, “Flexible Web-based Educational System for Teaching Computer Architecture and Organization,” IEEE, Transactions on Education, Vol. 48, No. 2, 2005.
13. J. Djordjevic, B. Nikolic, M. Mitrovic, “A Memory System for Education,” Computer Journal, (to appear)