



Архитектура Рачунара

I (20) Питање

1. (5) У оквиру опслуживања прекида на стеку се чувају неки регистри процесора.
 - a. Навести који се регистри чувају и зашто.
 - b. Навести који се регистри обавезно чувају хардверски а који могу и хардверски софтверски. За оне који могу да се чувају и хардверски и софтверски навести од чега зависи како ће се чувати.
2. (5) У оквиру извршавања прекидне рутине неке периферије стиже захтев за прекид од неке друге периферије.
 - a. Навести услове који треба да буду испуњени да би се захтев за прекид прихватио и скочило на прекидну рутину те периферије.
 - b. За сваки од услова навести на који начин и када се мења и да ли се то чини хардверски или софтверски.
3. (5) Посматра се асинхрона магистрала на којој се циклуси читања и уписа тако реализују да је магистрала заузета све време трајања циклуса.
 - a. Нацртати временске облике сигнала које током реализације циклуса читања и уписа размењују газда и слуга.
 - b. Навести које сигнале и по ком редоследу генеришу газда и слуга приликом реализације циклуса читања и уписа.
4. (5) Посматра се магистрала са подељеним циклусима која се састоји од адресних линија, линија података и управљачких линија и на којој се реализују циклус слање захтева за читање, циклус слање захтева за и упис и циклус враћање податка.
 - a. Навести које информације по адресним линијама и линијама података и које сигнале по управљачким линијама размењују газда у слуга приликом реализације сваког од наведена три циклуса на магистралама.
 - b. Навести шта све треба да постоји од хардвера на страни меморијског модула да би три наведен циклуса могла да се реализују.

II (20) Задатак

Адресни простор процесора је величине 8GB, од којих је највиших 1GB резервисани за ROM меморију, адресбилна јединица је 16-битна реч, а вишеречни бројеви се смештају тако да је на нижој адреси нижа реч. Процесор је једноадресни са раздвојеним меморијским и улазно/излазним адресним просторима, а механизам прекида је векторисан. IV (*Interrupt Vector*) табела почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 4. Процесор има три улазне линије IRQ0, IRQ1 и IRQ2 за спољне маскирајуће прекиде, при чему је IRQ0 највишег приоритета, а IRQ2 најнижег приоритета, на које су везане периферије PER0, PER1 и PER2, респективно, којима треба доделити улазе 4, 5 и 7 у вектор табели, и којима одговарају прекидне рутине на адресама 1007h, 1010h и 1005h, респективно. Адресе 8-битних регистара у којима се чувају бројеви улаза су 0h, 4h и 8h, респективно. Не прихвата се прекид истог нивоа приоритета. Улаз 0 у IV табелу се користи у свим осталим случајевима. У PSW-у постоји бит I (*Interrupt Enable*) који се брише у микропрограму за обраду прекида, као и одређен број L бита. При прекиду се на стеку чувају ACC, PSW и PC тим редом. Стек расте према нижим локацијама. Акумулатор је 16-битни. Дат је део главног програма на слици 1, прекидне рутине на слици 2, изглед дела меморије почев од адресе 0 дат је на слици 3. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 5. инструкције стиже захтев за прекид по линији IRQ2, у току 6. по линији IRQ1, а у току 7. по линији IRQ0. На почетку су сви бити PSW-а постављени на 0. У регистру маске IMR бит *i* одговара линији IRQ_{*i*}; вредност овог регистра је иницијално 5h. Инструкција RTI реагује на прекид.

<u>Слика 1</u> Адреса	<u>Наредба</u>	<u>Слика 2</u> Адреса	<u>Наредба</u>	<u>Адреса</u>	<u>Наредба</u>	<u>Слика 3</u> Адреса	<u>Садржај</u>
0100h	INTE	1000h	POPA	1008h	LOAD #2h	0000h	0001h
0101h	LOAD 1h	1001h	ADD #3h	100Ah	STORE (1h)	0001h	0000h
0104h	DECA	1003h	PUSHA	100Dh	POPA	0002h	FFFFh
0105h	STORE 1h	1004h	RTI	100Eh	RTI	0003h	0000h
0108h	INCA	1005h	INCA	100Fh	RTI	0004h	1000h
0109h	INCA	1006h	RTI	1010h	RTI	0005h	0000h
010Ah	INTD	1007h	PUSHA	1011h	RTI		

- (4) Написати део програма којим се додељују бројеви улаза наведеним периферијама.
- (4) Нацртати изглед првих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.
- (4) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.
- (4) Приказати садржај свих познатих локација на врху стека након извршавања 9. инструкције. За сачувану вредност PSW дати само вредност бита I и L. Назначити у коме смеру расте стек.
- (4) Која ће се вредност налазити на локацији 0001h након извршења секвенце под с)?

Напомене: На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје 2 сата.



Архитектура Рачунара Колоквијум

I (20) Питање

1. (5) У оквиру опслуживања прекида на стеку се чувају неки регистри процесора.
 - a) Навести који се регистри чувају и зашто.
 - b) Навести који се регистри обавезно чувају хардверски а који могу и хардверски софтверски. За оне који могу да се чувају и хардверски и софтверски навести од чега зависи како ће се чувати.

2. (5) У оквиру извршавања прекидне рутине неке периферије стиже захтев за прекид од неке друге периферије.
 - a) Навести услове који треба да буду испуњени да би се захтев за прекид прихватио и скочило на прекидну рутину те периферије.
 - b) За сваки од услова навести на који начин и када се мења и да ли се то чини хардверски или софтверски.

3. (5) Посматра се асинхрона магистрала на којој се циклуси читања и уписа тако реализују да је магистрала заузета све време трајања циклуса.
 - a) Нацртати временске облике сигнала које током реализације циклуса читања и уписа размењују газда и слуга.
 - b) Навести које сигнале и по ком редоследу генеришу газда и слуга приликом реализације циклуса читања и уписа.

4. (5) Посматра се магистрала са подељеним циклусима која се састоји од адресних линија, линија података и управљачких линија и на којој се реализују циклус слање захтева за читање, циклус слање захтева за и упис и циклус враћање податка.
 - a) Навести које информације по адресним линијама и линијама података и које сигнале по управљачким линијама размењују газда у слуга приликом реализације сваког од наведена три циклуса на магистрали.
 - b) Навести шта све треба да постоји од хардвера на страни меморијског модула да би три наведен циклуса могла да се реализују.

II (20) Задатак

Адресни простор процесора је величине 16GB, адресибилна јединица је 32-битна реч, а 64-битни бројеви се смештају тако да је на нижој адреси нижа реч. Процесор је једноадресни, а механизам прекида је векторисан. Интерапт вектор (IV) табела има 4 фиксна улаза и почиње од адресе 2h. Процесор има две улазне линије IRQ0 и IRQ1 за спољне маскирајуће прекиде, при чему је IRQ0 вишег приоритета. Њима су придружени улази 0 и 1 у IV табелу, респективно. Улаз 2 у IV табели се употребљава у случају прекида после сваке инструкције (TRAP), а улаз 3 у свим осталим случајевима. У PSW-у постоји бит I (*Interrupt Enable*) који се брише у микропрограму за обраду прекида. При прекиду се на стеку чувају ACC, PSW и PC тим редом. Стек расте према нижим локацијама. Акумулатор и сви регистри опште намене су 32-битни. Инструкције INTE, INTD, RTI и TRPE не реагују на прекиде. Дат је део главног програма на слици 1, прекидне рутине на слици 2, изглед дела меморије почев од адресе 0 дат је на слици 3. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид по линији IRQ1, а у току 5. по линији IRQ0. Није дозвољено читати податке и уписивати их у део за извршни програм. На почетку су сви бити PSW-а постављени на 0.

Слика 1 Адреса Наредба	Слика 2 Адреса Наредба	Адреса Наредба	Слика 3 Адреса Садржај
0100h INTE	1000h LOAD 0h	1008h PUSHA	0000h 1001h
0101h LOAD 1h	1001h INCA	1009h RTI	0001h 1000h
0103h INCA	1002h STORE 0h	100Ah POP R1	0002h 100Ah
0104h STORE 1h	1004h RTI	100Bh STORE (R1)	0003h 1000h
0106h DECA	1006h POPA	100Ch PUSH R1	0004h 100Dh
0107h INTD	1007h ADD #1h	100Dh RTI	0005h 1006h

- а) (5) На којим адресама започињу прекидне рутине за линије IRQ0 и IRQ1, респективно?
- б) (5) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.
- в) (5) Приказати садржај свих познатих локација на врху стека након извршавања 10. инструкције. За сачувану вредност PSW дати само вредност бита I. Назначити у коме смеру расте стек.
- д) (5) Која ће се вредност налазити на локацији 1h након извршења секвенце под б)?

Напомене: На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје 2 сата.

Напомена: Писати читко и јасно означити одговоре на начин дат у питањима.

Архитектура рачунара, Колоквијум 2006.
Решења задатака

2)

a)

IRQ0 -> 100Ah

IRQ1 -> 1000h

b) 100h, 101h, 1000h, 1001h, 1002h, 1004h, 103h, 100Ah, 100Bh, 1006h, 1007h, 1008h, 1009h, 100Ch, 100Dh, 104h, 106h, 107h

c)

1001h
I=1
1001h
I=0

d)

MEM[1] = 1001h



Архитектура Рачунара

I (20) Питање

1. (5) У оквиру опслуживања прекида на стеку се чувају неки регистри процесора.

- a) Навести који се регистри чувају и зашто.
- b) Навести који се регистри обавезно чувају хардверски а који могу и хардверски софтверски. За оне који могу да се чувају и хардверски и софтверски навести од чега зависи како ће се чувати.

2. (5) У процесору са векторисаним механизмом прекида оквиру хардверског дела опслуживања овог захтева за прекид се у зависности од врсте прекида на различите начине долази до броја улаза у табелу са адресама прекидних рутина. Навести како се долази до броја улаза у табелу са адресама прекидних рутина за следеће три врсте прекида:

- a) унутрашњи прекид због инструкције прекида,
- b) унутрашњи прекид због грешке у коду операције и
- c) спољашњи прекид од улазно/излазног уређаја за случај када улази нису фиксни.

3. (5) Нацртати и објаснити шему дела модула који се користи у арбитражији. Шема треба да укључи делове који подржавају и паралелну и серијски арбитражију, синхронизацију на сигнал такта магистрале и сигнал заузећа магистрале.

4. (5) Посматра се магистрала са подељеним циклусима која се састоји од адресних линија, линија података и управљачких линија и на којој се реализују циклус слање захтева за читање, циклус слање захтева за и упис и циклус враћање податка.

- a) Навести које информације по адресним линијама и линијама података и које сигнале по управљачким линијама размењују газда у слуга приликом реализације сваког од наведена три циклуса на магистралама.
- b) Навести шта све треба да постоји од хардвера на страни меморијског модула да би три наведен циклуса могла да се реализују.

II (20) Адресни простор процесора је величине 8GB, адресибилна јединица је 16-битна реч, а вишечерни бројеви се смештају тако да је на вишој адреси нижа реч. Процесор је једноадресни са раздвојеним меморијским и I/O адресним просторима, а механизам прекида је векторисан. IV (*Interrupt Vector*) табела почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 16. Процесор поседује само једну линију IRQ за спољашњи прекид коме може да се додели произвољан улаз у IV табели. Постоји још и линија INTA којом процесор одобрава прекид и захтева постављање броја улаза на магистралу података. Посебан уређај, контролер прекида, служи за паралелну арбитражију до 4 захтева за прекид, који стижу по линијама IRQ0 до IRQ3 за спољне маскирајуће прекиде, при чему је IRQ0 најнижег приоритета, а IRQ3 највишег приоритета, на које су везане периферије PER0 до PER3, респективно, којима треба доделити улазе 3, 2, 5 и 0 у вектор табели, и којима одговарају прекидне рутине на адресама 1002h, 1008h, 1000h, и 1005h респективно. Адресе 8-битних регистара у којима се чувају бројеви улаза су 10h, 20h, 30h и 40h респективно. Улаз 1, коме одговара прекидна рутина на адреси 1005h, се користи у случају прекида после сваке инструкције. Контролер не подржава угнежђавање прекида са приоритетом, већ само приоритирање тренутно постојећих захтева. У случају када се генерише више прекида истовремено прво се прихвата инструкција INT, па Trap, па маскирајући прекиди. Контролер поседује и 16-то битни регистар маске, који је се налази на адреси 00CCh I/O адресног простора, и чија 4 најнижа бита маскирају захтеве за прекид на улазима контролера. Почетна вредност овог регистра је Fh. У PSW-у постоји бити I (*Interrupt Enable*) и T (*Trap*) који се бришу у кораку за обраду прекида. При прекиду се на стеку чувају ACC, PSW и PC тим редом. Стек расте према нижим локацијама. Акумулатор и PSW су 16-битни. Дат је део главног програма на слици 1, прекидне рутине на слици 2. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид по линији IRQ1, у току 5. по линији IRQ0, а у току 7. по линији IRQ3. На почетку су сви бити PSW-а постављени на 0. Инструкције RTI, TRPE, TRPD, INTE и INTD не реагују на прекид. Почетни садржај локације 1h је 0.

<u>Адреса</u>	<u>Наредба</u>	<u>Адреса</u>	<u>Наредба</u>	<u>Адреса</u>	<u>Наредба</u>
0100h	INTE	1000h	INCA	1006h	INTD
0101h	LOAD 1h	1001h	RTI	1007h	RTI
0102h	TRPE	1002h	INTE	1008h	INTE
0103h	INTD	1003h	INT #1h	1009h	INCA
0104h	STORE 1h	1004h	RTI	100Ah	STORE 1h
0106h	TRPD	1005h	INCA	100Ch	RTI
Слика 1		Слика 2			

- a) (4) Написати део програма којим се додељују бројеви улаза наведеним периферијама.
- b) (4) Нацртати изглед првих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.
- c) (4) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.
- d) (4) Приказати садржај свих познатих локација на врху стека након извршавања 8. инструкције. За сачувану вредност PSW дати само вредност бита I. Назначити у коме смеру расте стек.
- e) (4) Нацртати принципијелну структурну шему контролера.

Напомене: На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје 2 сата.

Архитектура рачунара, К 2007. Решења задатка

II)

a)

LOAD #3h
OUTB 10h
LOAD #2h
OUTB 20h
LOAD #5h
OUTB 30h
LOAD #0h
OUTB 40h

b)

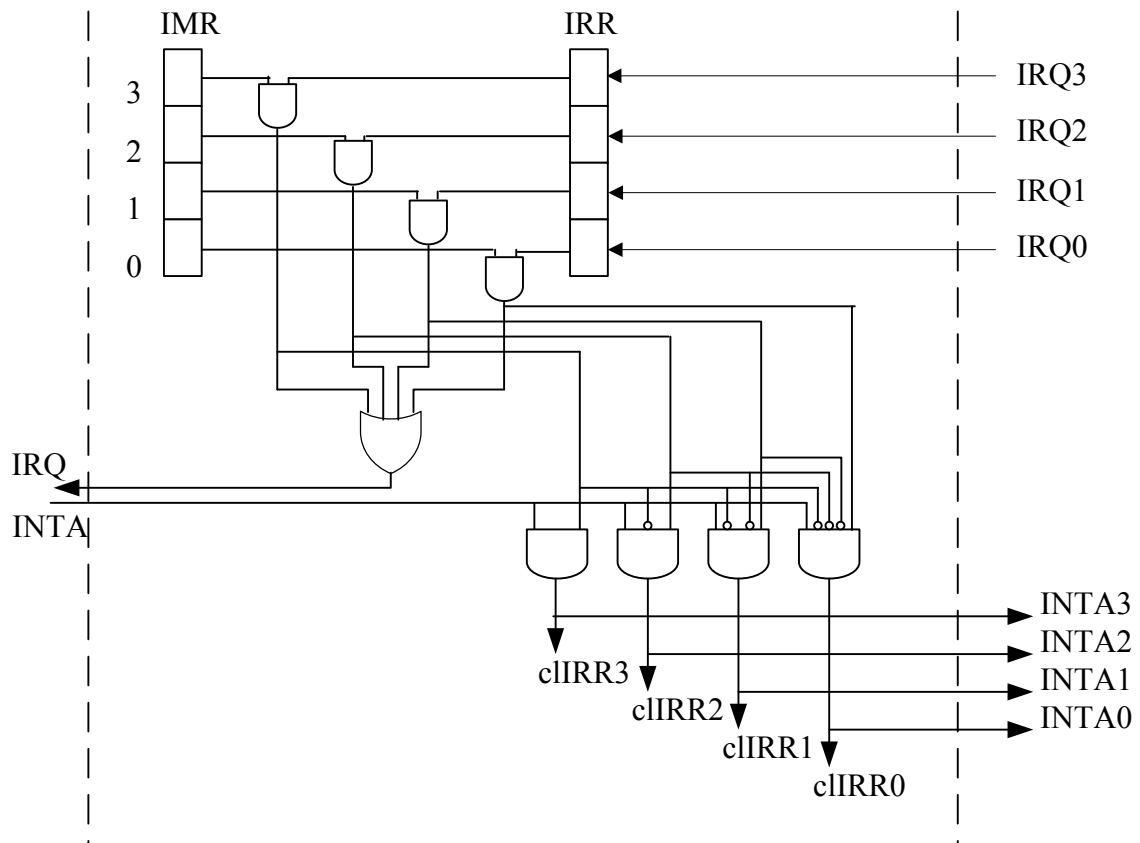
број улаза у IV табелу	меморијска адреса	садржај
	21	
7	30	
	29	
6	28	
	27	1000h
5 PER2	26	0000h
	25	
4	24	
	23	1002h
3 PER0	22	0000h
	21	1008h
2 PER1	20	0000h
	19	1005h
1 TRAP	18	0000h
	17	1005h
0 PER3	16	0000h

c) 100h, 101h, 1008h, 1009h, 100Ah, 1002h, 1003h, 1005h, 1006h, 1007h, 1004h, 100Ch, 102h, 103h, 104h, 1005h, 1006h, 1007h, 106h

d)

e)

0000h
I=1 T=0
0102h
0000h
0001h
I=1 T=0
100Ch
0000h
0001h
I=0 T=0
1004h
0000h





Електротехнички факултет у Београду
Катедра за рачунарску технику и информатику

05.05.2008.

Архитектура рачунара

I (20) (K) 1. (5) У оквиру извршавања прекидне рутине неке периферије стиже захтев за прекид од неке друге периферије.

а) Навести услове који треба да буду испуњени да би се захтев за прекид прихватио и скочило на прекидну рутину те периферије.

б) За сваки од услова навести на који начин и када се мења и да ли се то чини хардверски или софтверски.

2. (5) У процесору са векторисаним механизмом прекида се у оквиру хардверског дела опслуживања захтева за прекид поред осталог генеришу и бројеви улаза у табелу са адресама прекидних рутина за спољашње маскирајуће прекиде који долазе од улазно/излазних уређаја по линијама (1) INTR3, (2) INTR2, (3) INTR1 и (4) INTR0. За селективно маскирање спољашњих маскирајућих прекида који долазе од улазно/излазних уређаја по линијама (1) INTR3, (2) INTR2, (3) INTR1 и (4) INTR0, користе се разреди (1) IMR3, (2) IMR2, (3) IMR1 и (4) IMR0 регистра маске IMR, респективно. Генерисани бројеви улаза су осмо битне целобројне величине без знака. Нацртати и објаснити шему за генерисање бројева улаза за ова четири прекида уколико се адресе прекидних рутина за прекиде (1), (2), (3) и (4) налазе у улазима 4, 5, 6, и 7 табеле са адресама прекидних рутина и уколико прекид (1) има највиши, прекид (2) нижи, прекид (3) још нижи и прекид (4) најнижи приоритет.

3. (5) Посматра се асинхрона магистрала на којој се циклуси читања и уписа тако реализују да је магистрала заузета све време трајања циклуса.

а) Нацртати временске облике сигнала које током реализације циклуса читања и уписа размењују газда и слуга.

б) Навести које сигнале и по ком редоследу генеришу газда и слуга приликом реализације циклуса читања и уписа.

4. (5) Нацртати и објаснити шему дела модула који се користи у арбитражи са праћењем захтева. Шема треба да укључи делове који подржавају и паралелну и серијски арбитражију, синхронизацију на сигнал такта магистрале и сигнал заузећа магистрале.

П(20) (К) Адресни простор процесора је величине 8GB, адресибилна јединица је 16-битна реч, а вишечни бројеви се смештају тако да је на вишој адреси виша реч. Магистрала је синхрона, процесор је једноадресни са раздвојеним У/И адресним простором, а механизам прекида је векторисан. Физичка RAM меморија заузима најнижих 128KB адресног простора. IV (*Interrupt Vector*) табела почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 8h. Процесор има три улазне линије IRQ0, IRQ1 и IRQ2 за спољне маскирајуће прекиде, при чему је IRQ2 највишег, а IRQ0 најнижег приоритета и једну улазну линију IRQN за спољне немаскирајуће прекиде на које су везане периферије PER0, PER1, PER2 и PERN респективно. Њима треба доделити улазе 2, 3, 4 и 5 у вектор табели, и којима одговарају прекидне рутине на адресама 1005h, 1008h, 1011h и 101Ah, респективно. Улазу 0 који се користи у свим осталим случајевима одговара прекидна рутина на адреси 1000h. Адресе 8-битних регистара у којима се чувају бројеви улаза су AA12h, BB34h, CC56h и DD78h респективно. У PSW-у постоји бит I (*Interrupt Enable*) који се брише у кораку за обраду прекида, као и одређен број L бита. Не прихвата се прекид истог нивоа приоритета. При прекиду се на стеку чувају PSW и PC тим редом. Стек расте према нижим локацијама. Акумулатор је 16-битни. Инструкције INTE, INTD, RTI и INT не реагују на прекиде. Само маскирајући прекиди мења ниво приоритета текућег програма. Дат је део главног програма на слици 1, прекидне рутине на слици 2. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 1. инструкције стиже захтев за прекид од периферије PER2, у току 5. од периферије PERN, а у току 8. од периферије PER1. На почетку су сви бити PSW-а постављени на 0. Почетни садржај локације 1h је 0.

Слика 1

Адреса	Наредба
0100h	INTE
0101h	LOAD 1h
0104h	INCA
0105h	DECA
0106h	STORE 1h
0109h	INTD

Слика 2

Адреса	Наредба
1000h	POPA
1001h	ADD #3h
1003h	PUSHA
1004h	RTI
1005h	INT #3h
1006h	INTE

1007h	RTI
1008h	INTE
1009h	STORE 1h
100Ch	INCA
100Dh	LOAD 1h
1010h	RTI
1011h	INTE
1012h	LOAD 10000h
1015h	INCA
1016h	STORE 10000h
1019h	RTI
101Ah	RTI

- а) (4) Написати део програма којим се додељују бројеви улаза наведеним периферијама.
- б) (4) Написати који опсег адреса заузима IV табела и објаснити како је добијен максималан број улаза у IV табелу.
- в) (4) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.
- г) (4) Приказати садржај свих познатих локација на врху стека након извршавања 6. инструкције. За сачувану вредност PSW дати само вредност бита I и L. Назначити у коме смеру расте стек.
- д) (4) Која ће се вредност налазити у акумулатору након извршења секвенце под с)?

Напомене: На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје 2 сата.

**Архитектура рачунара, колоквијум 2008.
Решење задатка**

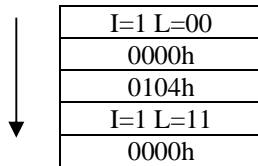
II)

a) LOAD #02h
 OUTB AA12h
 LOAD #03h
 OUTB BB34h
 LOAD #04h
 OUTB CC56h
 LOAD #05h
 OUTB DD78h

b) IVTP - IVTP + 2*2^{||#PER||} - 1
 0000 0008h - 0000 0207h

c) 0100h, 0101h, 1011h, 1012h, 1000h, 101Ah, 1001h, 1003h, 1004h, 1015h, 1016h, 1000h, 1001h, 1003h,
 1004h, 1019h, 0104h, 1008h, 1009h, 100Ch, 100Dh, 1010h, 0105h, 0106h, 0109h

d)



e) ACC = 1019h



Архитектура рачунара
Први колоквијум

1. (5) У процесору са векторисаним механизмом прекида повратак из прекидне рутине се реализује инструкцијом RTI. Објаснити шта се све и по ком редоследу ради у оквиру извршавања ове инструкције водећи рачуна о варијантама реализација инструкције RTI у зависности од броја програмски доступних регистара у процесору.

2. (5) У процесору са векторисаним механизмом прекида се у оквиру хардверског дела опслуживања захтева за прекид поред осталог генеришу и бројеви улаза у табелу са адресама прекидних рутина за (1) унутрашњи прекид због грешке у коду операције (PRCOD), (2) унутрашњи прекид због грешке у начину адресирања (PRADR), (3) спољашњи немаскирајући прекид (INM) и (4) унутрашњи прекид због задатог режима рада са прекидом после сваке инструкције (PRTRAP). Генерисани бројеви улаза су осмо битне целобројне величине без знака. Нацртати и објаснити шему за генерисање бројева улаза за ова четири прекида уколико се адресе прекидних рутина за прекиде (1), (2), (3) и (4) налазе у улазима 15, 14, 13 и 12 табеле са адресама прекидних рутина и уколико прекида (1) има највиши, прекид (2) нижи, прекид (3) још нижи и прекид (4) најнижи приоритет.

3 (15) Адресни простор процесора је величине 8GB, адресбилна јединица је 16-битна реч, а вишечерни бројеви се смештају тако да је на вишој адреси нижа реч. Процесор је једноадресни са раздвојеним меморијским и У/И адресним простором, механизам прекида је векторисан, IV (*Interrupt Vector*) табела почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 16h. Процесор има три улазне линије IRQ0, IRQ1 и IRQ2 за спољне маскирајуће прекиде, при чему је IRQ0 највишег, а IRQ2 најнижег приоритета и једну улазну линију IRQN за спољне не маскирајуће прекиде на које су везане периферије PER0, PER1, PER2 и PERN респективно. Њима треба фиксно доделити улазе 1, 2, 3 и 6 у вектор табели, и којима одговарају прекидне рутине на адресама 1009h, 100Fh, 1012h и 1000h, респективно. Улаз 4 који одговара прекидној рутини на адреси 101Bh се користи у свим осталим случајевима. У PSW-у постоји бит I (*Interrupt Enable*) који се брише у кораку за обраду прекида, као и одређен број L бита. Не прихвата се прекид истог нивоа приоритета. При прекиду се на стеку чувају PSW и PC тим редом. Стек расте према вишим локацијама. Акумулатор је 16-битни. Инструкције INTE, INTD, RTI и INT не реагују на прекиде. Инструкција INT не мења ниво приоритета текућег програма. Дат је део главног програма на слици 1, прекидне рутине на слици 2. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид од периферије PER0, у току 4. од периферије PERN, а у току 7. од периферије PER2. На почетку су сви бити PSW-а постављени на 0. Почетни садржај локације 1h је 10h.

Слика 1

Адреса	Наредба
0100h	LOAD #1h
0103h	DECA
0104h	INTE
0105h	INCA
0106h	STORE 1h
0109h	INTD

Слика 2

Адреса	Наредба	100Ah	STORE 1h	1015h	AND #1h
1000h	LOAD 1h	100Dh	PUSHA	1018h	STORE 1h
1003h	INCA	100Eh	RTI	101Ah	RTI
1004h	INTE	100Fh	INTD	101Bh	POPA
1005h	STORE 1h	1010h	INT #2	101Ch	ADD #2
1008h	RTI	1011h	RTI	101Fh	PUSHA
1009h	POPA	1012h	LOAD 1h	1020h	RTI

а) (3) Нацртати изглед првих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.

б) (3) Написати део кода којим се периферији PERN додељује иста прекидна рутина као и периферији PER0.

в) (3) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.

г) (3) Приказати садржај свих познатих локација на врху стека након извршавања 10. инструкције. За сачувану вредност PSW дати само вредност бита I и L. Назначити у коме смеру расте стек.

д) (3) Која ће се вредност налазити на локацији 1h након извршења секвенце под в)?

Напомене: На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје 1,5 сат.



Електротехнички факултет у Београду
Катедра за рачунарску технику и информатику

16.05.2009.

Архитектура рачунара
Први колоквијум - Надокнада

I (10)

1. (5) У оквиру опслуживања прекида на стеку се чувају неки регистри процесора.

а) Навести који се регистри чувају и зашто.

б) Навести који се регистри обавезно чувају хардверски а који могу и хардверски софтверски. За оне који могу да се чувају и хардверски и софтверски навести од чега зависи како ће се чувати.

2. (5) У процесору са векторисаним механизмом прекида се у оквиру хардверског дела опслуживања захтева за прекид поред осталог генеришу и бројеви улаза у табелу са адресама прекидних рутина за (1) унутрашњи прекид због грешке у коду операције (PRCOD), (2) унутрашњи прекид због грешке у начину адресирања (PRADR), (3) спољашњи немаскирајући прекид (INM) и (4) унутрашњи прекид због задатог режима рада са прекидом после сваке инструкције (PRTRAP). Генерисани бројеви улаза су осмо битне целобројне величине без знака. Нацртати и објаснити шему за генерисање бројева улаза за ова четири прекида уколико се адресе прекидних рутина за прекиде (1), (2), (3) и (4) налазе у улазима 19, 18, 17 и 16 табеле са адресама прекидних рутина и уколико прекида (1) има највиши, прекид (2) нижи, прекид (3) још нижи и прекид (4) најнижи приоритет.

II (15)

Адресни простор процесора је величине 16 МВ, адресибилна јединица је 16-битна реч, а вишеречни бројеви се смештају тако да је на нижој адреси нижа реч. Процесор је једноадресни, а механизам прекида је векторисан. Интерапт вектор (IV) табела има 8 фиксних улаза и почиње од адресе 32h. Процесор има две улазне линије IRQM0 и IRQM1 за спољне маскирајуће прекиде, при чему је IRQM1 вишег приоритета, и једну улазну линију IRQN за спољне немаскирајуће прекиде. Њима су придружени улази 1, 2 и 5 у IV табелу, респективно. Улаз 4 се користи у случају прекида после сваке инструкције (TRAP), а улаз 0 у случају унутрашњих прекида. Прекидне рутине започињу на следећим адресама: 1006h, 1009h, 1013h, 1000h, 101Ch респективно. У PSW-у постоје бити I (*Interrupt Enable*) и T (*Trap*) који се бришу у микропрограму за обраду прекида, као и одређен број L бита. При прекиду се на стеку чувају PSW и PC тим редом. Стек расте према нижим локацијама. Акумулатор је 32-битни. Инструкције RTI, INTE, INTD, TRPE и TRPD не реагују на прекиде. Не прихвата се прекид истог нивоа приоритета. Не постоји регистар маске IMR. Дат је део главног програма на слици 1 и прекидне рутине на слици 2. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 4. инструкције стиже захтев за прекид по линији IRQM0, у току 6. по линији IRQN, а у току 8. по линији IRQM1. На почетку су сви бити PSW-а постављени на 0. Почетни садржај локације 1h је 10h.

Слика 1

<u>Адреса</u>	<u>Наредба</u>
0100h	TRPE
0101h	INTE
0102h	LOAD #1h
0105h	INCA
0106h	STORE 1h
0109h	INTD

Слика 2

<u>Адреса</u>	<u>Наредба</u>
1000h	POPA
1001h	STORE 1h
1004h	PUSHA
1005h	RTI
1006h	INTD
1007h	INT #2

1008h	RTI
1009h	LOAD 1h
100Ch	XOR #1h
100Fh	STORE 1h
1012h	RTI
1013h	LOAD 1h
1016h	INCA

1017h	INTE
1018h	STORE 1h
101Bh	RTI
101Ch	POPA
101Dh	ADD #3
1020h	PUSHA
1021h	RTI

- а) Нацртати изглед првих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.
- б) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.
- в) Приказати садржај свих познатих локација на врху стека након извршавања 11. инструкције. За сачувану вредност PSW дати само вредност бита I, T и L. Назначити у коме смеру расте стек.
- г) Која ће се вредност налазити на локацији 1h након извршења секвенце под б)?

Напомене: На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје 1,5 сат.



Архитектура рачунара
Први колоквијум

1. (5) У оквиру извршавања прекидне рутине неке периферије стиже захтев за прекид од неке друге периферије.

а) Навести услове који треба да буду испуњени да би се захтев за прекид прихватио и скочило на прекидну рутину те периферије.

б) За сваки од услова навести на који начин и када се мења и да ли се то чини хардверски или софтверски.

2. (5) У процесору са векторисаним механизмом прекида се у оквиру хардверског дела опслуживања захтева за прекид поред осталог генеришу и бројеви улаза у табелу са адресама прекидних рутина за спољашње маскирајуће прекиде који долазе од улазно/излазних уређаја по линијама (1) INTR3, (2) INTR2, (3) INTR1 и (4) INTR0. За селективно маскирање спољашњих маскирајућих прекида који долазе од улазно/излазних уређаја по линијама (1) INTR3, (2) INTR2, (3) INTR1 и (4) INTR0, користе се разреди (1) IMR3, (2) IMR2, (3) IMR1 и (4) IMR0 регистра маске IMR, респективно. Генерисани бројеви улаза су осмо битне целобројне величине без знака. Нацртати и објаснити шему за генерисање бројева улаза за ова четири прекида уколико се адресе прекидних рутина за прекиде (1), (2), (3) и (4) налазе у улазима 11, 10, 9 и 8 табеле са адресама прекидних рутина и уколико прекид (1) има највиши, прекид (2) нижи, прекид (3) још нижи и прекид (4) најнижи приоритет.

3. (15) Адресни простор процесора је величине 8GB, адресибилна јединица је 16-битна реч, а вишечерни бројеви се смештају тако да је на вишој адреси виша реч. Процесор је једноадресни са раздвојеним меморијским и У/И адресним простором, механизам прекида је векторисан, IV (*Interrupt Vector*) табела почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 2h. Процесор има три улазне линије IRQ0, IRQ1 и IRQ2 за спољне маскирајуће прекиде, при чему је IRQ0 највишег, а IRQ2 најнижег приоритета и једну улазну линију IRQN за спољне не маскирајуће прекиде на које су везане периферије PER0, PER1, PER2 и PERN респективно. Њима треба доделити улазе 2, 4, 1 и 5 у вектор табели, и којима одговарају прекидне рутине на адресама 1000h, 1011h, 1016h и 1006h, респективно. Адресе 8-битних регистра у којима се чувају бројеви улаза су 27h, 32h, F1h и C0h, респективно. У PSW-у постоје бити I (*Interrupt Enable*) и T (*Trap*) који се бришу у кораку за обраду прекида, као и одређен број L бита. У кораку за обраду прекида на стек се стављају PSW и PC тим редом. Стек расте према нижим локацијама. Акумулатор је 16 битни. Инструкције INT, INTE, INTD, TRPE и TRPD не реагују на прекиде. Инструкција RTI реагује на прекиде. Не прихвата се прекид истог нивоа приоритета. Не постоји регистар маске IMR. Дат је део главног програма на слици 1 и прекидне рутине на слици 2. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 1. инструкције стиже захтев за прекид по линији IRQ1, у току 5. по линији IRQN, а у току 7. по линији IRQ0. На почетку су сви бити PSW-а постављени на 0. Почетни садржај акумулатора је 0h, а меморијске локације 1h је 12h.

Слика 1 Адреса Наредба

0100h	INCA
0101h	LOAD 1h
0104h	INT #1h
0105h	INTE
0106h	INCA
0107h	OR #1h
0109h	STORE 1h
010Ch	INTD

Слика 2 Адреса Наредба

1000h	POPA
1001h	STORE 1h
1004h	PUSHA
1005h	RTI
1006h	PUSHA
1007h	LOAD 1h
100Ah	ADD #3h
100Ch	STORE 1h

100Fh	POPA
1010h	RTI
1011h	INCA
1012h	STORE 1h
1015h	RTI
1016h	LOAD 1h
1019h	INCA
101Ah	INTE
101Bh	RTI

а) (3) Нацртати изглед првих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.

б) (3) Написати део кода којим се периферијама додељују бројеви улаза.

в) (5) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h. Резултат дати табеларно тако да табела садржи редни број инструкције, адресу на којој започиње инструкција, саму инструкцију, садржај акумулатора након извршења инструкције, вредности свих познатих бита унутар програмске статусне речи, и вредности на линијама IRQ.

г) (2) Приказати садржај свих познатих локација на врху стека након извршавања 8. инструкције.

д) (2) Која ће се вредност налазити на локацији 1h након извршења секвенце под в)?

Напомене: На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје 1,5 сат.



Архитектура рачунара
Први колоквијум - надокнада

1. (5) У процесору са векторисаним механизмом прекида повратак из прекидне рутине се реализује инструкцијом RTI. Објаснити шта се све и по ком редоследу ради у оквиру извршавања ове инструкције водећи рачуна о варијантама реализација инструкције RTI у зависности од броја програмски доступних регистара у процесору.

2. (5) У процесору са векторисаним механизмом прекида оквиру хардверског дела опслуживања овог захтева за прекид се у зависности од врсте прекида на различите начине долази до броја улаза у табелу са адресама прекидних рутина. Објаснити како се долази до броја улаза у табелу са адресама прекидних рутина за следеће три врсте прекида:

а) унутрашњи прекид због инструкције прекида,

б) унутрашњи прекид због грешке у коду операције и

в) спољашњи прекид од улазно/излазног уређаја за случај када улази нису фиксни.

II (15) Адресни простор процесора је величине 256MB, адресибилна јединица је 16-битна реч, а вишечерни бројеви се смештају тако да је на вишој адреси нижа реч. Процесор је једноадресни са раздвојеним меморијским и У/И адресним простором, механизам прекида је векторисан, IV (*Interrupt Vector*) табела почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 20h. Процесор има две улазне линије IRQ0 и IRQ1 за спољне маскирајуће прекиде, при чему је IRQ0 вишег, а IRQ1 нижег приоритета. На линију IRQ0 су повезане периферије PER0 и PER1, при чему је PER0 вишег приоритета, а на линију IRQ1 су повезане периферије PER2 и PER3, при чему је PER2 вишег приоритета. Овим периферијама треба доделити улазе 1, 3, 4 и 6 у вектор табели, и којима одговарају прекидне рутине на адресама 1000h, 101Bh, 100Ah и 1014h, респективно. Адресе 8-битних регистара у којима се чувају бројеви улаза су 12h, ACh, 98h и FF10h респективно. Приоритирање прекида периферија које су везане на исту линију се обавља користећи *Daisy chainig* технику. У PSW-у постоји бит I (*Interrupt Enable*) који се брише у кораку за обраду прекида, као и један L бит. Прихвата се прекид истог нивоа приоритета. При прекиду се на стеку хардверски чувају PC, PSW и ACC, тим редом. Стек расте према нижим локацијама. Акумулатор је 16-битни. Инструкције INTE, INTD, RTI и INT не реагују на прекиде. Инструкција INT не мења ниво приоритета текућег програма. Дат је део главног програма на слици 1, прекидне рутине на слици 2. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 3. инструкције стиже захтев за прекид од периферије PER2, у току 4. од периферије PER1, а у току 7. од периферије PER0. На почетку су сви бити PSW-а постављени на 0. Почетни садржај локације 1h је 10h.

Слика 1

Адреса	Наредба
0100h	INTE
0101h	LOAD 1h
0103h	DECA
0104h	INCA
0106h	STORE 1h
0107h	INTD

Слика 2

Адреса	Наредба	Адреса	Наредба
100Eh	INTE	101Ah	RTI
100Fh	STORE 1h	101Bh	INT #6h
1013h	RTI	101Ch	RTI
1014h	POPA		
1015h	ADD #2h		
1018h	STORE 1h		
1019h	PUSHA		

а) (2) Написати део програма којим се додељују бројеви улаза наведеним периферијама.

б) (3) Нацртати изглед првих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.

в) (5) Написати секвенцу адреса инструкција које се редом извршавају, почев од адресе 0100h. Резултат дати табеларно тако да табела садржи редни број инструкције, адресу на којој започиње инструкција, саму инструкцију, садржај акумулатора након извршења инструкције, вредности свих познатих бита унутар програмске статусне речи, и вредности на линијама IRQ.

г) (2) Приказати садржај свих познатих локација на врху стека након извршавања 11. инструкције. За сачувану вредност PSW дати само вредност бита I и L. Назначити у коме смеру расте стек.

д) (3) Написати део кода који је потребно ставити на почетак прекидне рутине периферије PER1 како би се обезбедило да ову прекидну рутину може да прекине прекид периферије PER0, али не и поновни прекид периферије PER1?

Напомене: На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје 1,5 сат.

Архитектура рачунара, Први колоквијум - Надокнада 2010. Решење задатка

а)

LOAD #01h ;napuni akumulator konstantom 1—broj ulaza za PER0
 OUTB 12h ;prebaci bajt akumulatora u registar periferije PER0
 LOAD #03h ;napuni akumulator konstantom 3—broj ulaza za PER1
 OUTB ACh ;prebaci bajt akumulatora u registar periferije PER1
 LOAD #04h ;napuni akumulator konstantom 4—broj ulaza za PER2
 OUTB 98h ;prebaci bajt akumulatora u registar periferije PER2
 LOAD #06h ;napuni akumulator konstantom 6—broj ulaza za PER3
 OUTB FF10h ;prebaci bajt akumulatora u registar periferije PER3

б)

број улаза у IV табелу	садржај	меморијска адреса
7		2F h
		2E h
6	1014	2D h
	0000	2C h
5		2B h
		2A h
4	100A	29 h
	0000	28 h
3	101B	27 h
	0000	26 h
2		25 h
		24 h
1	1000	23 h
	0000	22 h
0		21 h
		20 h

в)

P6	Адреса	Инструкција	ACC	Стек	I	T	L	IRQ0	PER0	PER1	IRQ1	PER2	PER3	Коментар
0	-	-	?	-	0	0	0	-	-	-	-	-	-	
1	0100	INTE	?	-	1	0	0	-	-	-	-	-	-	
2	0101	LOAD 1h	10	-	1	0	0	-	-	-	-	-	-	
3	0103	DECA	F	-	1	0	0	-	-	-	1	1	-	
			F	1	0	0	0	-	-	-	-	-	-	
4	100A	LOAD 1h	10	1	0	0	0	1	-	1	-	-	-	
5	100D	INCA	11	1	0	0	0	1	-	1	-	-	-	
6	100E	INTE	11	1	1	0	0	1	1	1	-	-	-	
7	100F	STORE 1h	11	1	1	0	0	1	-	1	-	-	-	
				2	0	0	1	1	-	1	-	-	-	
8	1000	LOAD 1h	11	2	0	0	1	1	-	1	-	-	-	
9	1003	OR #10h	10	2	0	0	1	1	-	1	-	-	-	
10	1006	STORE 1h	10	2	0	0	1	1	-	1	-	-	-	
11	1009	RTI	F	1	1	0	0	1	-	1	-	-	-	
12	1013	RTI	F	-	1	0	0	1	-	1	-	-	-	
13	0104	INCA	10	-	1	0	0	1	-	1	-	-	-	
				3	0	0	1	-	-	-	-	-	-	

14	101B	INT #6	10	4	0	0	1	-	-	-	-	-	-	-
15	1014	POPA	10	5	0	0	1	-	-	-	-	-	-	-
16	1015	ADD #2	12	5	0	0	1	-	-	-	-	-	-	-
17	1018	STORE 1h	12	5	0	0	1	-	-	-	-	-	-	-
18	1019	PUSHA	12	6	0	0	1	-	-	-	-	-	-	-
19	101A	RTI	12	3	0	0	1	-	-	-	-	-	-	-
20	101C	RTI	10	-	1	0	0	-	-	-	-	-	-	-
21	0106	STORE 1h	10	-	1	0	0	-	-	-	-	-	-	-
22	0107	INTD	10	-	0	0	0	-	-	-	-	-	-	-

1	0104 0000 I=1, T=0, L=0 000F	3	0106 0000 I=1, T=0, L=0 0010	5	0106 0000 I=1, T=0, L=0 0010 1016	0000 I=0, T=0, L=1 0012
2	0104 0000 I=1, T=0, L=0 000F 1013 0000 I=1, T=0, L=0 0011	4	0106 0000 I=1, T=0, L=0 0010 1016 0000 I=0, T=0, L=1 0010	6	0106 0000 I=1, T=0, L=0 0010 1016	

г)

XX	↑ више адресе
0106h	
0000h	
PSW(I=1 T=0, L=0)	
0010h	
1016h	
0000h	
PSW(I=0, T=0, L=1)	←-SP
	↓ ниже адресе

Изглед стека после завршетка комплетне инструкције 15.

д) Прекидна рутина за периферију 2 је дата на следећој слици:

101Bh INT #6h
101Ch RTI

Пошто се ова прекидна рутина састоји само од инструкција INT и RTI које не реагују на прекид, не постоји начин да се ове инструкције прекину.

**Архитектура рачунара, Први колоквијум 2010.
Решење задатка**

3)
а)

број улаза у IV табелу	садржај	меморијска адреса
7		11 h
		10 h
6		F h
		E h
5	0000	D h
	1006	C h
4	0000	B h
	1011	A h
3		9 h
		8 h
2	0000	7 h
	1000	6 h
1	0000	5 h
	1016	4 h
0		3 h
		2 h

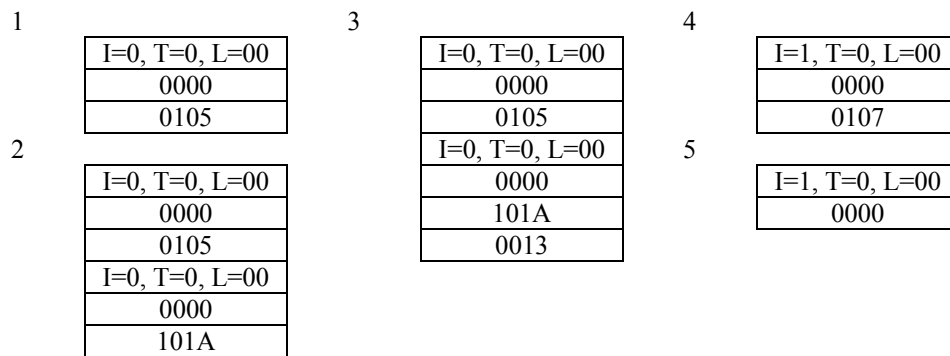
б)

LOAD #02h
OUTB 27h
LOAD #04h
OUTB 32h
LOAD #01h
OUTB F1h
LOAD #05h
OUTB C0h

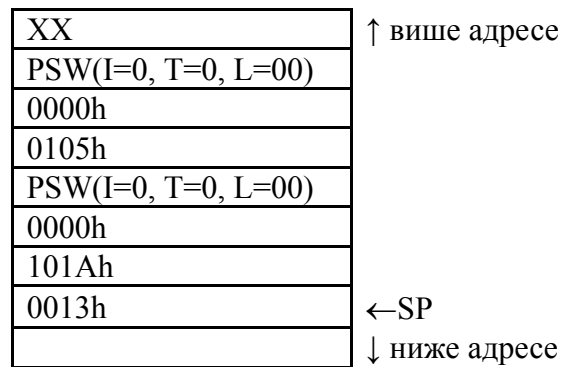
в)

Рб	Адреса	Инструкција	ACC	Стек	I	T	L	IRQN	IRQ0	IRQ1	IRQ2	Коментар
0	-	-	0	-	0	0	00	-	-	-	-	
1	100	INCA	1	-	0	0	00	-	-	1	-	
2	101	LOAD 1h	12	-	0	0	00	-	-	1	-	
3	104	INT #1h	12	1	0	0	00	-	-	1	-	
4	1016	LOAD 1h	12	1	0	0	00	-	-	1	-	
5	1019	INCA	13	1	0	0	00	1	-	1	-	
			13	2	0	0	00	-	-	1	-	
6	1006	PUSHA	13	3	0	0	00	-	-	1	-	
7	1007	LOAD 1h	12	3	0	0	00	-	1	1	-	
8	100A	ADD #3h	15	3	0	0	00	-	1	1	-	
9	100C	STORE 1h	15	3	0	0	00	-	1	1	-	
10	100F	POPA	13	2	0	0	00	-	1	1	-	
11	1010	RTI	13	1	0	0	00	-	1	1	-	
12	101A	INTE	13	1	1	0	00	-	1	1	-	
13	101B	RTI	13	-	0	0	00	-	1	1	-	
14	105	INTE	13	-	1	0	00	-	1	1	-	

15	106	INCA	14	-	1	0	00	-	1	1	-	
			14	4	0	0	11	-	-	1	-	
16	1000	POPA	107	5	0	0	11	-	-	1	-	
17	1001	STORE 1h	107	5	0	0	11	-	-	1	-	
18	1004	PUSHA	107	4	0	0	11	-	-	1	-	
19	1005	RTI	107	-	1	0	00	-	-	1	-	
			107	4	0	0	10	-	-	-	-	
20	1011	INCA	108	4	0	0	10	-	-	-	-	
21	1012	STORE 1h	108	4	0	0	10	-	-	-	-	
22	1015	RTI	108	-	1	0	00		-	-	-	
23	107	OR #1h	109	-	1	0	00	-	-	-	-	
24	109	STORE 1h	109	-	1	0	00	-	-	-	-	
25	10C	INTD	109	-	0	0	00	-	-	-	-	



г)



Изглед стека после завршетка комплетне инструкције 8.

д) Након завршене секвенце на адреси 1h ће се наћи вредност 109h.



Архитектура рачунара
Први колоквијум

1. (5) У оквиру опслуживања прекида на стеку се чувају неки регистри процесора.

а) Навести који се регистри чувају и зашто.

б) Навести који се регистри обавезно чувају хардверски а који могу и хардверски софтверски. За оне који могу да се чувају и хардверски и софтверски навести од чега зависи како ће се чувати.

2. (5) У процесору са векторисаним механизмом прекида се у оквиру хардверског дела опслуживања захтева за прекид поред осталог генеришу и бројеви улаза у табелу са адресама прекидних рутина за спољашње маскирајуће прекиде који долазе од улазно/излазних уређаја по линијама (1) INTR3, (2) INTR2, (3) INTR1 и (4) INTR0. За селективно маскирање спољашњих маскирајућих прекида који долазе од улазно/излазних уређаја по линијама (1) INTR3, (2) INTR2, (3) INTR1 и (4) INTR0, користе се разреди (1) IMR3, (2) IMR2, (3) IMR1 и (4) IMR0 регистра маске IMR, респективно. Генерисани бројеви улаза су осмо битне целобројне величине без знака. Нацртати и објаснити шему за генерисање бројева улаза за ова четири прекида уколико се адресе прекидних рутина за прекиде (1), (2), (3) и (4) налазе у улазима 19, 18, 17 и 16 табеле са адресама прекидних рутина и уколико прекид (1) има највиши, прекид (2) нижи, прекид (3) још нижи и прекид (4) најнижи приоритет.

3. (15) Адресни простор процесора је величине 8GB, адресибилна јединица је 16-битна реч, а вишечни бројеви и адресе се смештају у меморију тако да се на вишој адреси смешта виша реч. Процесор је једноадресни са раздвојеним меморијским и У/И адресним простором, механизам прекида је векторисан, IV (*Interrupt Vector*) табела почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 8h. Процесор има три улазне линије IRQ0, IRQ1 и IRQ2 за спољне маскирајуће прекиде, при чему је IRQ2 највишег, а IRQ0 најнижег приоритета и једну улазну линију IRQN за спољне не маскирајуће прекиде, на које су везане периферије PER0, PER1, PER2 и PERN респективно. Њима треба доделити улазе 1, 2, 4 и 5 у вектор табели, и којима одговарају прекидне рутине на адресама 1007h, 1000h, 1009h и 100Eh, респективно. Адресе 8-битних регистара у којима се чувају бројеви улаза су 10h, 20h, 30h и 40h, респективно. У PSW-у постоје бити I (*Interrupt Enable*) и T (*Trap*) који се бришу у кораку за обраду прекида, као и два L_{1..0} бита. У кораку за обраду прекида на стек се хардверски стављају ACC, PSW и PC, тим редом. Стек расте према нижим локацијама. Акумулатор је 16 битни. Инструкције INTE, INTD, TRPE, TRPD и RTI не реагују на прекиде. Не прихвата се прекид истог нивоа приоритета. Не постоји регистар маске IMR. Дат је део главног програма на слици 1 и прекидне рутине на слици 2. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид по линији IRQ1, у току 4. по линији IRQ0, у току 6. по линији IRQ2, а у току 7. по линији IRQN. На почетку су сви бити PSW-а постављени на 0. Почетни садржај акумулатора је 0h, а меморијске локације 1h је 100Fh.

Слика 1	Адреса	Наредба	Слика 2	Адреса	Наредба	Адреса	Наредба	Адреса	Наредба	
	0100h	INTE		1000h	INTE		1007h	INCA	100Eh	LOAD 1h
	0101h	LOAD 1h		1001h	POPA		1008h	RTI	1011h	DECA
	0104h	ADD #2h		1002h	STORE 1h		1009h	INCA	1012h	STORE 1h
	0106h	STORE 1h		1005h	PUSHA		100Ah	STORE 1h	1015h	RTI
	0109h	INTD		1006h	RTI		100Dh	RTI		

а) (3) Написати део програма којим се додељују бројеви улаза наведеним периферијама.

б) (2) Нацртати изглед првих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.

в) (2) Написати део програма којим се иницијализује улаз 5 у вектор табели.

г) (7) Написати секвенцу адреса наредби које се редом извршавају почев од адресе 0100h. Резултат дати табеларно тако да табела садржи редни број интрукције, адресу на којој започиње инструкција, саму инструкцију, садржај акумулатора након извршења инструкције, вредности свих познатих бита унутар програмске статусне речи, вредности на линијама IRQ, и изглед стека. Резултат дати након фазе извршења инструкције и уколико је у фази опслуживања прекида прихваћен прекид и након фазе опслуживања прекида.

д) (1) Која ће се вредност налазити на локацији 1h након извршења секвенце под г)?

Напомене: На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје 1,5 сат.



Архитектура рачунара
Први колоквијум

1. (5) У процесору са векторисаним механизмом прекида повратак из прекидне рутине се реализује инструкцијом RTI. Објаснити шта се све и по ком редоследу ради у оквиру извршавања ове инструкције водећи рачуна о варијантама реализација инструкције RTI у зависности од броја програмски доступних регистара у процесору.

2. (5) У процесору са векторисаним механизмом прекида оквиру хардверског дела опслуживања овог захтева за прекид се у зависности од врсте прекида на различите начине долази до броја улаза у табелу са адресама прекидних рутина. Објаснити како се долази до броја улаза у табелу са адресама прекидних рутина за следеће три врсте прекида:

а) унутрашњи прекид због инструкције прекида,

б) унутрашњи прекид због грешке у коду операције и

в) спољашњи прекид од улазно/излазног уређаја за случај када улази нису фиксни.

3. (15) Адресни простор процесора је величине 8GB, адресибилна јединица је 16 битна реч, а вишеречни бројеви се смештају тако да је на вишој адреси нижа реч. Процесор је једноадресни са раздвојеним меморијским и У/И адресним простором, механизам прекида је векторисан, IV (Interrupt Vector) табела почиње од адресе на коју указује регистар IVTP (Interrupt Vector Table Pointer), а регистар IVTP има вредност 32. Процесор има две улазне линије, IRQ0 и IRQ1, за спољне маскирајуће прекиде, при чему је IRQ0 вишег, а IRQ1 нижег приоритета, као и две излазне линије INTA0 и INTA1 по којима шаље сигнале дозволе прекида улазно/излазним уређајима. На линију IRQ0 су повезане периферије PER0 и PER1, при чему је PER0 вишег а PER1 нижег приоритета, а на линију IRQ1 су повезане периферије PER2 и PER3, при чему је PER2 вишег а PER3 нижег приоритета. Овим периферијама треба доделити улазе 1, 3, 4 и 6 у вектор табели, и којима одговарају прекидне рутине на адресама 1007h, 1000h, 1009h и 100Eh, респективно. Адресе 8-битних регистара у којима се чувају бројеви улаза су 12h, ACh, 98h и FF10h респективно. Приоритирање периферија које су везане на исту линију се обавља користећи Daisy chain технику. У PSW-у постоје бити I (Interrupt Enable) и T (Trap) који се бришу у кораку за обраду прекида, као и два L_{1..0} бита. У кораку за обраду прекида на стек се хардверски стављају ACC, PSW и PC, тим редом. Стек расте према нижим локацијама. Акумулатор је 16 битни. Инструкције INT, INTE, INTD, TRPE, TRPD и RTI не реагују на спољашње прекиде. Не прихвата се прекид истог нивоа приоритета. Не постоји регистар маске IMR. Инструкција INT не мења ниво приоритета текућег програма. Дат је део главног програма на слици 1, прекидне рутине на слици 2. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид од периферије PER2, у току 4. од периферије PER1, а у току 7. од периферије PER0. На почетку су сви бити PSW-а постављени на 0. Почетни садржај локације 1h је 10h, а акумулатора је 0.

Слика 1 Адреса Наредба

0100h	INTE
0101h	LOAD 1h
0104h	ADD #2h
0106h	STORE 1h
0109h	INTD

Слика 2 Адреса Наредба

1000h	INTE
1001h	POPA
1002h	STORE 1h
1005h	PUSHA
1006h	RTI

Адреса Наредба

1007h	INT #3
1008h	RTI
1009h	INCA
100Ah	STORE 1h
100Dh	RTI

Адреса Наредба

100Eh	LOAD 1h
1011h	DECA
1012h	STORE 1h
1015h	RTI

а) (3) Написати део програма којим се додељују бројеви улаза наведеним периферијама.

б) (2) Нацртати изглед првих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.

в) (2) Написати део програма којим се иницијализује улаз 6 у вектор табели.

г) (7) Написати секвенцу адреса наредби које се редом извршавају почев од адресе 0100h. Резултат дати табеларно тако да табела садржи редни број инструкције, адресу на којој започиње инструкција, саму инструкцију, садржај акумулатора након извршења инструкције, вредности свих познатих бита унутар програмске статусне речи, вредности на линијама IRQ, и изглед стека. Резултат дати након фазе извршења инструкције, а уколико је у фази опслуживања прекида прихваћен прекид и након фазе опслуживања прекида.

д) (1) Која ће се вредност налазити на локацији 1h након извршења секвенце под г)?

Напомене: На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје 1,5 сат.

**Архитектура рачунара, Надокнада првог колоквијума 2011.
Решење задатка**

3)

а)

LOAD #01h
OUTB 12h
LOAD #03h
OUTB ACh
LOAD #4h
OUTB 98h
LOAD #06h
OUTB FF10h

б)

број улаза у IV табелу	садржај	меморијска адреса
7		47
		46
6	100E	45
	0000	44
5		43
		42
4	1009	41
	0000	40
3	1000	39
	0000	38
2		37
		36
1	1007	35
	0000	34
0		33
		32

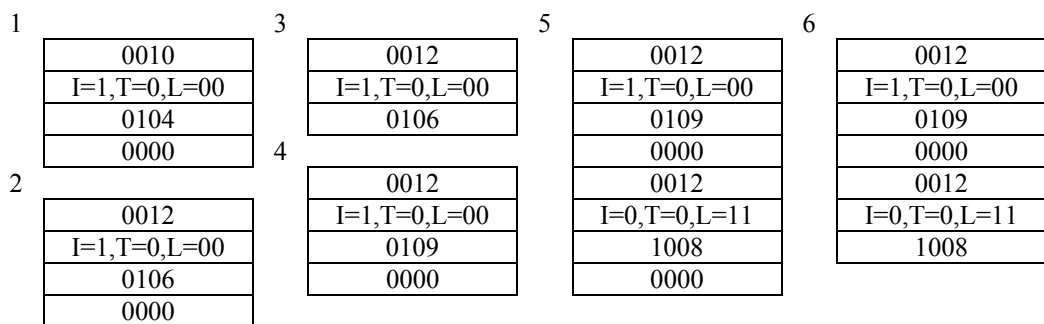
в)

LOAD #100Eh
STORE 45
LOAD #0h
STORE 44

г)

Pб	Адреса	Инструкција	ACC	Стек	I	T	L	IRQ0	IRQ1	PER0	PER1	PER2	PER3
0	-	-	0	-	0	0	00	-	-	-	-	-	-
1	0100	INTE	0	-	1	0	00	-	-	-	-	-	-
2	0101	LOAD 1h	10	-	1	0	00	-	1	-	-	1	-
			10	1	0	0	10	-	-	-	-	-	-
3	1009	INCA	11	1	0	0	10	-	-	-	-	-	-
4	100A	STORE 1h	11	1	0	0	10	1	-	-	1	-	-
5	100D	RTI	10	-	1	0	00	1	-	-	1	-	-
6	0104	ADD #2h	12	-	1	0	00	1	-	-	1	-	-
			12	2	0	0	11	-	-	-	-	-	-
7	1000	INTE	12	2	1	0	11	1	-	1	-	-	-
8	1001	POPA	0	3	1	0	11	1	-	1	-	-	-

9	1002	STORE 1h	0	3	1	0	11	1	-	1	-	-	-
10	1005	PUSHA	0	2	1	0	11	1	-	1	-	-	-
11	1006	RTI	12	-	1	0	00	1	-	1	-	-	-
12	0106	STORE 1h	12	-	1	0	00	1	-	1	-	-	-
			12	4	0	0	11	-	-	-	-	-	-
13	1007	INT #3	12	5	0	0	11	-	-	-	-	-	-
14	1000	INTE	12	5	1	0	11	-	-	-	-	-	-
15	1001	POPA	0	6	1	0	11	-	-	-	-	-	-
16	1002	STORE 1h	0	6	1	0	11	-	-	-	-	-	-
17	1005	PUSHA	0	5	1	0	11	-	-	-	-	-	-
18	1006	RTI	12	4	0	0	11	-	-	-	-	-	-
19	1008	RTI	12	-	1	0	00	-	-	-	-	-	-
20	0109	INTD	12	-	0	0	00	-	-	-	-	-	-



д) Након завршене секвенце на адреси 1h ће се наћи вредност 0h.

**Архитектура рачунара, Први колоквијум 2011.
Решење задатка**

3)

а)

LOAD #01h
OUTB 10h
LOAD #02h
OUTB 20h
LOAD #04h
OUTB 30h
LOAD #05h
OUTB 40h

б)

број улаза у IV табелу	садржај	меморијска адреса
7		17 h
		16 h
6		15 h
		14 h
5	0000	13 h
	100E	12 h
4	0000	11 h
	1009	10 h
3		F h
		E h
2	0000	D h
	1000	C h
1	0000	B h
	1007	A h
0		9 h
		8 h

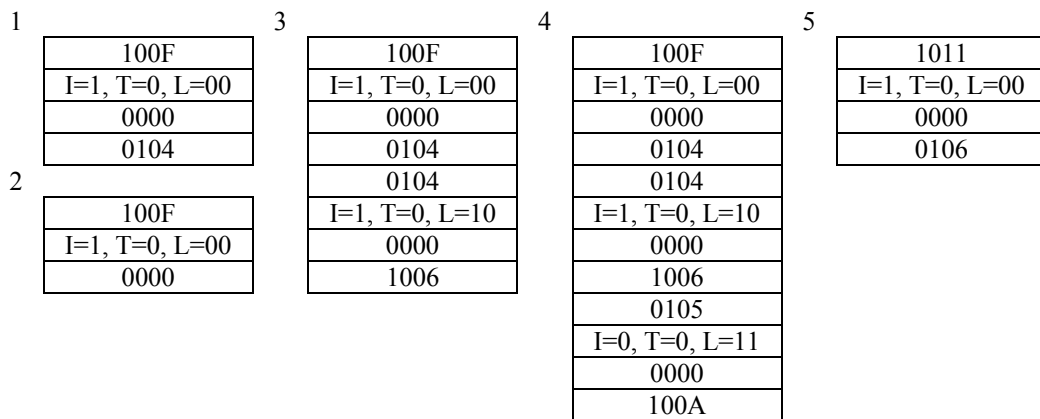
в)

LOAD #100Eh
STORE 12h
LOAD #0h
STORE 13h

в)

Рб	Адреса	Инструкција	ACC	Стек	I	T	L	IRQN	IRQ0	IRQ1	IRQ2
0	-	-	0	-	0	0	00	-	-	-	-
1	0100	INTE	0	-	1	0	00	-	-	-	-
2	0101	LOAD 1h	100F	-	1	0	00	-	-	1	-
				1	0	0	10	-	-	-	-
3	1000	INTE	100F	1	1	0	10	-	-	-	-
4	1001	POPA	0104	2	1	0	10	-	1	-	-
5	1002	STORE 1h	0104	2	1	0	10	-	1	-	-
6	1005	PUSHA	0104	1	1	0	10	-	1	-	1
				3	0	0	11	-	1	-	-
7	1009	INCA	0105	3	0	0	11	1	1	-	-
				4	0	0	11	-	1	-	-

8	100E	LOAD 1h	0104	4	0	0	11	-	1	-	-
9	1011	DECA	0103	4	0	0	11	-	1	-	-
10	1012	STORE 1h	0103	4	0	0	11	-	1	-	-
11	1015	RTI	0105	3	0	0	11	-	1	-	-
12	100A	STORE 1h	0105	3	0	0	11	-	1	-	-
13	100D	RTI	0104	1	1	0	10	-	1	-	-
14	1006	RTI	100F	-	1	0	00	-	1	-	-
15	0104	ADD #2h	1011	-	1	0	00	-	1	-	-
				5	0	0	01	-	-	-	-
16	1007	INCA	1012	5	0	0	01	-	-	-	-
17	1008	RTI	1011	-	1	0	00	-	-	-	-
18	0106	STORE 1h	1011	-	1	0	00	-	-	-	-
19	0107	INTD	1011	-	0	0	00	-	-	-	-



д) Након завршене секвенце на адреси 1h ће се наћи вредност 1011h.



Архитектура рачунара
Први колоквијум

1. (5) У оквиру извршавања прекидне рутине неке периферије стиже захтев за прекид од неке друге периферије.

а) Навести услове који треба да буду испуњени да би се захтев за прекид прихватио и скочило на прекидну рутину те периферије.

б) За сваки од услова навести на који начин и када се мења и да ли се то чини хардверски или софтверски.

2. (5) У процесору са векторисаним механизмом прекида оквиру хардверског дела опслуживања овог захтева за прекид се у зависности од врсте прекида на различите начине долази до броја улаза у табелу са адресама прекидних рутина. Објаснити како се долази до броја улаза у табелу са адресама прекидних рутина за следеће три врсте прекида:

а) унутрашњи прекид због инструкције прекида,

б) унутрашњи прекид због грешке у коду операције и

в) спољашњи прекид од улазно/излазног уређаја за случај када улази нису фиксни.

3. (15) Адресни простор процесора је величине 8GB, адресбилна јединица је 16 битна реч, а вишечни бројеви и адресе се смештају у меморију тако да се на вишој адреси смешта нижа реч. Процесор је једноадресни са раздвојеним меморијским и У/И адресним простором, механизам прекида је векторисан, табела прекидних рутина (*Interrupt Vector*) почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 8h. Процесор има три улазне линије IRQ0, IRQ1 и IRQ2 за спољне маскирајуће прекиде, при чему је IRQ0 највишег, а IRQ2 најнижег приоритета и једну улазну линију IRQN за спољне не маскирајуће прекиде, на које су везане периферије PER0, PER1, PER2 и PERN респективно. Њима треба доделити улазе 2, 3, 1 и 5 у табели прекидних рутина, и којима одговарају прекидне рутине на адресама 1008h, 1000h, 1014h и 100Eh, респективно. Адресе 16 битних регистара у којима се чувају бројеви улаза су FF00h, EF12h, BC15h и ABCDh, респективно. У регистру PSW постоје бити I (*Interrupt Enable*) и T (*Trap*) који се бришу у кораку за обраду прекида, као и два L_{1.0} бита. У кораку за обраду прекида на стек се хардверски стављају ACC, PSW и PC, тим редом. Стек расте према нижим локацијама. Акумулатор ACC и PSW су 16 битни. Инструкције INTE, INTD, TRPE, TRPD и RTI не реагују на прекиде. Не прихвата се прекид истог нивоа приоритета. Не постоји регистар маске IMR. Дат је део главног програма на слици 1 и прекидне рутине на слици 2. Инструкција на адреси 100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 1. инструкције стиже захтев за прекид по линији IRQ2, у току 3. по линији IRQ1, у току 6. по линији IRQN, а у току 8. по линији IRQ0. На почетку су сви бити регистра PSW постављени на 0. Почетни садржај акумулатора је 0h, а меморијске локације 1h је 1234h.

Слика 1	Адреса	Наредба	Слика 2	Адреса	Наредба	Адреса	Наредба	Адреса	Наредба	
	100h	LOAD 1		1000h	LOAD 1		1009h	PUSH	1010h	STORE 1
	103h	INC		1003h	DEC		100Ah	STORE 1	1013h	RTI
	104h	INTE		1004h	STORE 1		100Dh	RTI	1014h	RTI
	105h	STORE 1		1007h	RTI		100Eh	INTE		
	108h	INC		1008h	POP		100Fh	INC		
	109h	INTD								

а) (3) Написати део програма којим се додељују бројеви улаза наведеним периферијама.

б) (2) Нацртати изглед првих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.

в) (7) Написати секвенцу адреса наредби које се редом извршавају почев од адресе 100h. Резултат дати табеларно тако да табела садржи редни број инструкције, адресу на којој започиње инструкција, саму инструкцију, садржај акумулатора након извршења инструкције, вредности свих познатих бита унутар програмске статусне речи, и изглед стека. Резултат дати након фазе извршења инструкције и уколико је у фази опслуживања прекида прихваћен прекид и након фазе опслуживања прекида.

г) (3) Написати део програма којим се периферији PER2 додељује иста прекидна рутина као и периферији PER1.

Напомене: На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје 1,5 сат.



**Архитектура рачунара
Надокнада првог колоквијума**

1. (5) У процесору са векторисаним механизмом прекида се у оквиру хардверског дела опслуживања захтева за прекид поред осталог генеришу и бројеви улаза у табелу са адресама прекидних рутина за спољашње маскирајуће прекиде који долазе од улазно/излазних уређаја по линијама (1) INTR3, (2) INTR2, (3) INTR1 и (4) INTR0. За селективно маскирање спољашњих маскирајућих прекида који долазе од улазно/излазних уређаја по линијама (1) INTR3, (2) INTR2, (3) INTR1 и (4) INTR0, користе се разреди (1) IMR3, (2) IMR2, (3) IMR1 и (4) IMR0 регистра маске IMR, респективно. Генерисани бројеви улаза су осмо битне целобројне величине без знака. Нацртати и објаснити шему за генерисање бројева улаза за ова четири прекида уколико се адресе прекидних рутина за прекиде (1), (2), (3) и (4) налазе у улазима 23, 22, 21 и 20 табеле са адресама прекидних рутина и уколико прекид (1) има највиши, прекид (2) нижи, прекид (3) још нижи и прекид (4) најнижи приоритет.

2. (5) У процесору са векторисаним механизмом прекида у оквиру хардверског дела опслуживања захтева за прекид на стек се стављају и то по следећем редоследу: програмски бројач PC, програмска статусна реч PSW, акумулатор ACC, адресни регистри AR0 и AR1, базни регистри BR0 и BR1, и индексни регистри XR0 и XR1. Повратак из прекидне рутине се реализује инструкцијом RTI. Објаснити шта се све и по ком редоследу ради у оквиру извршавања ове инструкције.

3. (15) Адресни простор процесора је величине 8GB, адресибилна јединица је 32 битна реч, а вишечерни бројеви и адресе се смештају у меморију тако да се на вишој адреси смешта нижа реч. Процесор је једноадресни са раздвојеним меморијским и У/И адресним простором, механизам прекида је векторисан, табела прекидних рутина (*Interrupt Vector*) почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 0h. Процесор има једну улазну линију IRQM за спољне маскирајуће прекиде и једну улазну линију IRQN за спољне не маскирајуће прекиде, на које су везане периферије PERM и PERN респективно. Њима су фиксно додељени улази 0 и 1 у табели прекидних рутина. Улаз 2 се користи у случају прекида после сваке инструкције. У регистру PSW постоје бити I (*Interrupt Enable*) и T (*Trap*) који се бришу у кораку за обраду прекида. У кораку за обраду прекида на стек се хардверски стављају ACC, PSW и PC, тим редом. Стек расте према нижим локацијама. Акумулатор ACC и PSW су 32 битни. Све инструкције реагују на прекид, али тако да RTI не реагује на прекид после сваке инструкције. Не постоји регистар маске IMR. Дат је део главног програма на слици 1, прекидне рутине на слици 2, и изглед дела меморије почев од адресе 0 дат је на слици 3. Инструкција на адреси 100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 3. инструкције стиже захтев за прекид по линији IRQN, а у току 6. по линији IRQM. На почетку су сви бити регистра PSW постављени на 0. Почетни садржај акумулатора је 10h.

Слика 1	Адреса	Наредба	Слика 2	Адреса	Наредба	Адреса	Наредба	Слика 3	Адреса	Садржај
	100h	TRPE		1000h	LOAD #0h		100Bh	ADD #3h	0000h	100Bh
	101h	INC		1002h	STORE 12h		100Dh	STORE 11h	0001h	1000h
	102h	STORE 8h		1004h	RTI		100Fh	RTI	0002h	1005h
	104h	LOAD 9h		1005h	POP		1010h	INTE	0003h	1010h
	106h	TRPD		1006h	STORE (6h)		1011h	LOAD 6h	0004h	1006h
				1008h	PUSH		1013h	ADD #1h	0005h	1008h
				1009h	INT #3h		1015h	STORE 6h	0006h	0020h
				100Ah	RTI		1017h	RTI		

а) (3) На којим адресама започињу прекидне рутине за прекид после сваке инструкције, прекид периферије PERM и периферије PERN, респективно?

б) (2) написати део програма којим се иницијализује улаз број 3 у табели прекидних рутина.

в) (8) Написати секвенцу адреса наредби које се редом извршавају почев од адресе 100h. Резултат дати табеларно тако да табела садржи редни број инструкције, адресу на којој започиње инструкција, саму инструкцију, садржај акумулатора након извршења инструкције, вредности свих познатих бита унутар програмске статусне речи, и изглед стека. Резултат дати након фазе извршења инструкције и уколико је у фази опслуживања прекида прихваћен прекид и након фазе опслуживања прекида. Табелу приказати за првих **20** инструкција.

г) (2) Шта би се десило са датим програмским сегментом уколико би инструкција RTI реаговала на све прекиде па и на прекид после сваке инструкције.

Напомене: На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје 1,5 сат.

**Архитектура рачунара, Надокнада првог колоквијума 2012.
Решење задатка**

3)

a)

Прекид после сваке инструкције: 1005h

PERM: 100Bh

PERN: 1000h

б)

LOAD #1010h

STORE 3h

в)

Рб	Адреса	Инструкција	ACC	Стек	I	T	PRIRRN	PRIRRM
0	-	-	10	-	0	0	-	-
1	100	TRPE	10	-	0	1	-	-
				1	0	0	-	-
2	1005	POP	101	2	0	0	-	-
3	1006	STORE (6h)	101	2	0	0	1	-
				3	0	0	-	-
4	1000	LOAD #0h	0	3	0	0	-	-
5	1002	STORE 12h	0	3	0	0	-	-
6	1004	RTI	101	2	0	0	-	1
7	1008	PUSH	101	1	0	0	-	1
8	1009	INT #3h	101	4	0	0	-	1
9	1010	INTE	101	4	1	0	-	1
				101	5	0	0	-
10	100B	ADD #3h	104	5	0	0	-	-
11	100D	STORE 11h	104	5	0	0	-	-
12	100F	RTI	101	4	1	0	-	-
13	1011	LOAD 6h	20	4	1	0	-	-
14	1013	ADD #1h	21	4	1	0	-	-
15	1015	STORE 6h	21	4	1	0	-	-
16	1017	RTI	101	1	0	0	-	-
17	100A	RTI	10	-	1	0	-	-
18	101	INC	11	-	1	0	-	-
				6	0	0	-	-
19	1005	POP	102	7	0	0	-	-
20	1006	STORE (6h)	102	7	0	0	-	-

1

10
I=0, T=1
101

3

10
I=0, T=1
101
I=0, T=0
1008

4

10
I=0, T=1
101
101
I=0, T=0
100A

5

10
I=0, T=1
101
101
I=0, T=0
100A
101
I=1, T=0
1011

6

11
I=0, T=1
102

2

10
I=0, T=1

7

11
I=0, T=1

д) У случају да инструкција RTI реагује на све прекиде па и на прекид после сваке инструкције у фази извршења инструкције приликом повратка из TRAP прекидне рутине би се рестаурирало контекст у коме је бит Т постављен на вредност 1, а у фази опслуживања прекида би се констатовало да бит Т има вредност 1 и прешло би се у TRAP прекидну рутину. На овај начин би настала бесконачна петља.

**Архитектура рачунара, Први колоквијум 2012.
Решење задатка**

3)
а)

LOAD #2h
OUT FF00h
LOAD #3h
OUT EF12h
LOAD #1h
OUT BC15h
LOAD #5h
OUT ABCDh

б)

број улаза у меморијска садржај
IV табелу адреса

7	17	
	16	
6	15	
	14	
5	13	100E
	12	0000
4	11	
	10	
3	F	1000
	E	0000
2	D	1008
	C	0000
1	B	1014
	A	0000
0	9	
	8	

в)

P6	Адреса	Инструкција	ACC	Стек	I	T	L	PRIRRN	PRIRR0	PRIRR1	PRIRR2
0	-	-	0	-	0	0	00	-	-	-	-
1	100	LOAD 1	1234	-	0	0	00	-	-	-	1
2	103	INC	1235	-	0	0	00	-	-	-	1
3	104	INTE	1235	-	1	0	00	-	-	1	1
4	105	STORE 1	1235	-	1	0	00	-	-	1	1
				1	0	0	10	-	-	-	1
5	1000	LOAD 1	1235	1	0	0	10	-	-	-	1
6	1003	DEC	1234	1	0	0	10	1	-	-	1
				2	0	0	10	-	-	-	1
7	100E	INTE	1234	2	1	0	10	-	-	-	1

8	100F	INC	1235	2	1	0	10	-	1	-	1
				3	0	0	11	-	-	-	1
9	1008	POP	0	4	0	0	11	-	-	-	1
10	1009	PUSH	0	3	0	0	11	-	-	-	1
11	100A	STORE 1	0	3	0	0	11	-	-	-	1
12	100D	RTI	1235	2	1	0	10	-	-	-	1
13	1010	STORE 1	1235	2	1	0	10	-	-	-	1
14	1013	RTI	1234	1	0	0	10	-	-	-	1
15	1004	STORE 1	1234	1	0	0	10	-	-	-	1
16	1007	RTI	1235	-	1	0	00	-	-	-	1
17	108	INC	1236	-	1	0	00	-	-	-	1
				5	0	0	01	-	-	-	-
18	1014	RTI	1236	5	0	0	01	-	-	-	-
19	109	INTD	1236	-	0	0	00	-	-	-	-

1

1235
I=1, T=0, L=00
0108
0000

2

1235
I=1, T=0, L=00
0108
0000
1234
I=0, T=0, L=10
1004
0000

3

1235
I=1, T=0, L=00
0108
0000
1234
I=0, T=0, L=10
1004
0000
1235
I=1, T=0, L=10
1010
0000

4

1235
I=1, T=0, L=00
0108
0000
1234
I=0, T=0, L=10
1004
0000
1235
I=1, T=0, L=10
1010

5

1236
I=1, T=0, L=00
0109
0000

д)

LOAD #0h
STORE Ah
LOAD #1000h
STORE Bh
или
LOAD Eh
STORE Ah
LOAD Fh
STORE Bh
или
LOAD #3h
OUT BC15h



Архитектура рачунара
Први колоквијум

1. (5) У оквиру опслуживања захтева за прекид на стеку се чувају неки регистри процесора.
- а) Навести који се регистри чувају и зашто.
- б) Навести који се регистри обавезно чувају хардверски а који могу и хардверски и софтверски. За оне који могу да се чувају и хардверски и софтверски навести од чега зависи како ће се чувати.

2. (5) У процесору са векторисаним механизмом прекида повратак из прекидне рутине се реализује инструкцијом RTI. Објаснити шта се све и по ком редоследу ради у оквиру извршавања ове инструкције водећи рачуна о варијантама реализација инструкције RTI у зависноти од броја програмски доступних регистра у процесору.

3. (15) Оперативна меморија неког рачунара је капацитета 64 KB, а ширина речи меморије је 8 бита. Подаци ширине 16 бита се у меморију смештају у две суседне меморијске локације и то тако да се на нижој адреси налази виших 8 бита, а на вишој адреси нижих 8 бита податка. Процесор је једноадресни, акумулатор је дужине 8 бита. Улазно/излазни и меморијски адресни простори су раздвојени. Механизам прекида је векторисан. Адресе прекидних рутина се чувају у табели адреса прекидних рутина (IV табела - *Interrupt Vector Table*) која почиње на адреси 2h оперативне меморије и има 256 улаза.

У рачунару могу да се генеришу три спољашња маскирајућа захтева за прекид који долазе у процесор преко улазних линија IRQM₀, IRQM₁ и IRQM₂ као импулс и један спољашњи немаскирајући захтев за прекид који долази у процесор преко улазне линије IRQN. Спољашњи маскирајући захтеви за прекид долазе од контролера периферија, спољашњи немаскирајући захтев за прекид долази од уређаја који контролише исправност рада делова рачунара. Адресе прекидних рутина за спољашње маскирајуће захтеве за прекид са линија IRQM₀, IRQM₁, IRQM₂ и спољашњи немаскирајући захтев за прекид са линије IRQN се налазе у улазима 0, 1, 2 и 3 IV табеле, респективно. Прекидне рутине почињу на адресама 1000h, 100Fh, 1015h и 1009h, респективно. Највиши приоритет има спољашњи немаскирајући захтев за прекид, затим следе спољашњи маскирајући прекид са линије IRQM₂, па спољашњи маскирајући захтев за прекид са линије IRQM₁ и на крају са најнижим приоритетом долази спољашњи маскирајући захтев за прекид са линије IRQM₀.

У процесору постоји регистар PSW (*Program Status Word*) са битовима I (*Interrupt Enable*) и L_{1...0} (*Priority Level*). Бит I вредношћу 1 дозвољава прихватање спољашњих маскирајућих захтева за прекид. Битови L_{1...0} садрже ниво приоритета текућег програма и користе се да се само приликом извршавања главног програма и прекидних рутина спољашњих маскирајућих захтева за прекид реализује механизам којим се прихватају спољашњих маскирајући захтеви за прекид једино уколико су вишег нивоа приоритета од нивоа приоритета текућег програма. Такође постоји и 3 битни регистар маске IMR_{2...0} (*Interrupt Mask Register*) код кога вредност 1 на позицији бита *i* значи да је дозвољен прекид са линије IRQM_{*i*}, *i*=0,1,2. Овај регистар иницијално садржи све јединице.

У оквиру извршавања фазе *опслуживање прекида* на стеку се хардверски чувају PSW и PC тим редом. Стек расте према нижим локацијама, а указивач на врх стека SP указује на задњу заузету локацију. Инструкције INTE, INTD и RTI не реагују на спољашње захтеве за прекид.

Изглед дела главног програма је дат на слици 1, прекидних рутина на слици 2. Инструкција LOAD 1 на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид по линији IRQM₀, у току 5. инструкције по линији IRQN, а у току 8. инструкције по линији IRQM₂. На почетку извршавања главног програма су сви бити регистра програмске статусне речи PSW-а постављени на 0. Почетни садржај меморијске локације 1h је 12h.

Слика 1

Адреса	Наредба
100h	LOAD 1
103h	INTE
104h	INC
105h	STORE 1
108h	INC
109h	INTD

Слика 2

Адреса	Наредба
1000h	LOAD 1
1003h	INTE
1004h	STORE 1
1007h	INC
1008h	RTI

Адреса	Наредба	Адреса	Наредба
1009h	POP	1011h	STORE 1
100Ah	PUSH	1014h	RTI
100Bh	STORE 1	1015h	INC
100Eh	RTI	1016h	RTI
100Fh	INTE		
1010h	INC		

- а) (3) Написати део програма којим се попуњава улаз 3 у IV табели.
- б) (2) Нацртати изглед првих 4 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.
- в) (8) Написати секвенцу адреса наредби које се редом извршавају почев од адресе 100h. Резултат дати табеларно тако да табела садржи редни број инструкције, адресу на којој почиње инструкција, саму инструкцију, садржај акумулатора након извршења инструкције, вредности свих познатих бита унутар програмске статусне речи, и изглед стека. Резултат дати након фазе извршења инструкције и уколико је у фази опслуживања прекида прихваћен прекид и након фазе опслуживања прекида.
- г) (2) Која ће се вредност налазити на локацији 1h након извршења секвенце под в)?

Напомене: На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје 1,5 сат.

**Архитектура рачунара, Први колоквијум 2013.
Решење задатка**

3)

a)

LOAD #10h
STORE 8h
LOAD #09h
STORE 9h

б)

број улаза у меморијска садржај
IV табелу адреса

3	9	09
	8	10
2	7	15
	6	10
1	5	0F
	4	10
0	3	00
	2	10
	1	
	0	

в)

Рб	Адреса	Инструкција	ACC	Стек	I	L	PRIRRN	PRIRR0	PRIRR1	PRIRR2
0	-	-	-	-	0	00	0	0	0	0
1	100	LOAD 1	12	-	0	00	0	0	0	0
2	103	INTE	12	-	1	00	0	1	0	0
3	104	INC	13	-	1	00	0	1	0	0
			13	1	0	01	0	0	0	0
4	1000	LOAD 1	12	1	0	01	0	0	0	0
5	1003	INTE	12	1	1	01	1	0	0	0
6	1004	STORE 1	12	1	1	01	1	0	0	0
				2	0	01	0	0	0	0
7	1009	POP	10	3	0	01	0	0	0	0
8	100A	PUSH	10	2	0	01	0	0	0	1
9	100B	STORE 1	10	2	0	01	0	0	0	1
10	100E	RTI	10	1	1	01	0	0	0	1
11	1007	INC	11	1	1	01	0	0	0	1
			11	4	0	11	0	0	0	0
12	1015	INC	12	4	0	11	0	0	0	0
13	1016	RTI	12	1	1	01	0	0	0	0
14	1008	RTI	12	-	1	00	0	0	0	0
15	105	STORE 1	12	-	1	00	0	0	0	0
16	108	INC	13	-	1	00	0	0	0	0
17	109	INTD	13	-	0	00	0	0	0	0

1

I=1, L=00
05
01

2

I=1, L=00
05
01
I=1, L=01
07
10

3

I=1, L=00
05
01
I=1, L=01
10

4

I=1, L=00
05
01
I=1, L=01
08
10

д) mem[1]=12



Архитектура Рачунара
Први колоквијум

I. (10) (K1) 1. (5) У процесору са векторисаним механизмом прекида у оквиру хардверског дела опслуживања захтева за прекид на стек се стављају и то по следећем редоследу: програмски бројач PC, програмска статусна реч PSW, акумулатор ACC, адресни регистри AR0 и AR1, базни регистри BR0 и BR1, и индексни регистри XR0 и XR1. Повратак из прекидне рутине се реализује инструкцијом RTI. Објаснити шта се све и по ком редоследу ради у оквиру извршавања ове инструкције.

2. (5) У процесору са векторисаним механизмом прекида се у оквиру хардверског дела опслуживања захтева за прекид поред осталог генеришу и бројеви улаза у табелу са адресама прекидних рутина за спољашње маскирајуће прекиде који долазе од улазно/излазних уређаја по линијама (1) INTR3, (2) INTR2, (3) INTR1 и (4) INTR0. За селективно маскирање спољашњих маскирајућих прекида који долазе од улазно/излазних уређаја по линијама (1) INTR3, (2) INTR2, (3) INTR1 и (4) INTR0, користе се разреди (1) IMR3, (2) IMR2, (3) IMR1 и (4) IMR0 регистра наске IMR, респективно. Генерисани бројеви улаза су осмо битне целобројне величине без знака. Нацртати и објаснит шему за генерисање бројева улаза за ова четири прекида уколико се адресе прекидних рутина за прекиде (1), (2), (3) и (4) налазе у улазима 11, 10, 9 и 8 табеле са адресама прекидних рутина и уколико прекид (1) има највиши, прекид (2) нижи, прекид (3) још нижи и прекид (4) најнижи приоритет.

II (15) (K1) Адресни простор процесора, са раздвојеним меморијским и улазно-излазним адресним простором, је величине 4GB, адресбилна јединица је 8-битна реч, а вишечни бројеви се смештају тако да је на вишој адреси нижа реч. Процесор је једноадресни, а механизам прекида је векторисан. Интерапт вектор (IV) табела има 256 улаза и почиње од адресе 16h. Процесор има две улазне линију IRQM1 и IRQM2 за спољне маскирајуће прекиде, при чему је IRQM1 вишег приоритета, и једну улазну линију IRQN за спољне немаскирајуће прекиде. На њих су везане три периферије, PERM1, PERM2 и PERN којима треба доделити улазе 7, 4 и 3 у вектор табели, и којима одговарају прекидне рутине на адресама 100Ch, 1012h и 100Eh, респективно. Адресе 8-битних регистара у којима се чувају бројеви улаза су 2Fh, 31h и 6Ch, респективно. Улаз 5, коме одговара прекидна рутина на адреси 1000h, се користи у случају прекида после сваке инструкције. У PSW-у постоји бити I (*Interrupt Enable*) и T (*Trap*) који се бришу у микропрограму за обраду прекида, као и одређен број L бита. При прекиду се на стеку чувају PSW и PC тим редом. Стек расте према нижим локацијама. Акумулатор и PSW су 16-битни. Инструкције INTE, INTD, INT, TRPE и TRPD не реагују на прекиде. Не прихвата се прекид истог нивоа приоритета. У случају када се генерише више прекида истовремено прво се прихвата инструкција INT, па Тtrap, па немаскирајући па маскирајући прекиди. Не постоји регистар маске IMR. Дат је део главног програма на слици 1, прекидне рутине на слици 2, изглед дела меморије почев од адресе 0 дат је на слици 3. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид по линији IRQM2, у току 6. по линији IRQN, а у току 8. по линији IRQM1.

<u>Адреса</u>	<u>Наредба</u>	<u>Адреса</u>	<u>Наредба</u>	<u>Адреса</u>	<u>Наредба</u>	<u>Адреса</u>	<u>Садржај</u>
0100	TRPE	1000h	LOAD 3h	100Eh	INT #4h	0000	00h
0101	INTE	1005h	INCA	1010h	INCA	0001	0Ah
0102	LOAD 1h	1006h	STORE 3h	1011h	RTI	0002	00h
0103	INTD	100Bh	RTI	1012h	INTE	0003	ACh
0104	STORE 1h	100Ch	INCA	1013h	INCA	0004	98h
0105	TRPD	100Dh	RTI	1014h	RTI	0005	3Ch

Слика 1

Слика 2

Слика 3

a)(3) Написати део програма којим се додељују бројеви улаза наведеним периферијама.

b)(3) Нацртати изглед првих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.

c)(3) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.

d)(3) Приказати садржај свих познатих локација на врху стека након извршавања 10. инструкције. За сачувану вредност PSW дати само вредност бита I, T и L. Назначити у коме смеру расте стек.

e)(3) Која ће се вредност налазити у акумулатору након извршења секвенце под c)?



Електротехнички факултет у Београду
Катедра за рачунарску технику и информатику

19.09.2006.

Архитектура Рачунара Први колоквијум

I. (10) 1. (5) У оквиру извршавања прекидне рутине неке периферије стиже захтев за прекид од неке друге периферије.

a) Навести услове који треба да буду испуњени да би се захтев за прекид прихватио и скочило на прекидну рутину те периферије.

b) За сваки од услова навести на који начин и када се мења и да ли се то чини хардверски или софтверски.

2. (5) У процесору са векторисаним механизмом прекида се у оквиру хардверског дела опслуживања захтева за прекид поред осталог генеришу и бројеви улаза у табелу са адресама прекидних рутина за спољашње маскирајуће прекиде који долазе од улазно/излазних уређаја по линијама (1) INTR3, (2) INTR2, (3) INTR1 и (4) INTR0. За селективно маскирање спољашњих маскирајућих прекида који долазе од улазно/излазних уређаја по линијама (1) INTR3, (2) INTR2, (3) INTR1 и (4) INTR0, користе се разреди (1) IMR3, (2) IMR2, (3) IMR1 и (4) IMR0 регистра маске IMR, респективно. Генерисани бројеви улаза су осмо битне целобројне величине без знака. Нацртати и објаснити шему за генерисање бројева улаза за ова четири прекида уколико се адресе прекидних рутина за прекиде (1), (2), (3) и (4) налазе у улазима 11, 10, 9 и 8 табеле са адресама прекидних рутина и уколико прекид (1) има највиши, прекид (2) нижи, прекид (3) још нижи и прекид (4) најнижи приоритет.

II (15) (K1) Адресни простор процесора, са раздвојеним меморијским и улазно-излазним адресним простором, је величине 16GB, адресибилна јединица је 32-битна реч, а вишечерни бројеви се смештају тако да је на вишој адреси нижа реч. Процесор је једноадресни, а механизам прекида је векторисан. Интерапт вектор (IV) табела има 256 улаза и почиње од адресе 32. Процесор има две улазне линију IRQM1 и IRQM2 за спољне маскирајуће прекиде, при чему је IRQM2 вишег приоритета, и једну улазну линију IRQN за спољне немаскирајуће прекиде. На њих су везане три периферије, PERM1, PERM2 и PERN којима треба доделити улазе 5, 2 и 3 у вектор табели, и којима одговарају прекидне рутине на адресама 1003h, 100Bh и 1000h, респективно. Адресе 8-битних регистара у којима се чувају бројеви улаза су 35h, FFh и C3h, респективно. Улаз 1, коме одговара прекидна рутина на адреси 1005h, се користи у случају прекида после сваке инструкције. У PSW-у постоји бити I (*Interrupt Enable*) и T (*Trap*) који се бришу у микропрограму за обраду прекида, као и одређен број L бита. При прекиду се на стеку чувају ACC, PSW и PC тим редом. Стек расте према нижим локацијама. Акумулатор и PSW су 32-битни. Инструкције INTE, INTD, INT, TRPE и TRPD не реагују на прекиде. Не прихвата се прекид истог нивоа приоритета. У случају када се генерише више прекида истовремено прво се прихвата инструкција INT, па Trap, па немаскирајући па маскирајући прекиди. Не постоји регистар маске IMR. Дат је део главног програма на слици 1, прекидне рутине на слици 2, изглед дела меморије почев од адресе 0 дат је на слици 3. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид по линији IRQM2, у току 5. по линији IRQN, а у току 8. по линији IRQM1. Почетни садржај 32-битног акумулатора је 10h.

<u>Адреса Наредба</u>	<u>Адреса Наредба</u>	<u>Адреса Наредба</u>	<u>Адреса Садржај</u>
0100 TRPE	1000h TRPD	1007h INCA	0000 0112h
0101 INTE	1001h INT #1h	1008h STORE 1h	0001 0153h
0102 INCA	1002h RTI	100Ah RTI	0002 0021h
0103 INTD	1003h INTE	100Bh INTD	0003 02ECh
0104 STORE 1h	1004h RTI	100Ch INCA	0004 6598h
0106 TRPD	1005h LOAD 1h	100Dh RTI	0005 893Ch
Слика 1	Слика 2		Слика 3

a) (3) Написати део програма којим се додељују бројеви улаза наведеним периферијама.

b) (3) Нацртати изглед првих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.

c) (3) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.

d) (3) Приказати садржај свих познатих локација на врху стека након извршавања 10. инструкције. За сачувану вредност PSW дати само вредност бита I, T и L. Назначити у коме смеру расте стек.

e) (3) Која ће се вредност налазити на адреси 1h након извршења секвенце под c)?



Архитектура Рачунара
Први колоквијум

I. (10) (K1) 1. (5) У оквиру извршавања прекидне рутине неке периферије стиже захтев за прекид од неке друге периферије.

а. Навести услове који треба да буду испуњени да би се захтев за прекид прихватио и скочило на прекидну рутину те периферије.

б. За сваки од услова навести на који начин и када се мења и да ли се то чини хардверски или софтверски.

2. (5) У процесору са векторисаним механизмом прекида се у оквиру хардверског дела опслуживања захтева за прекид поред осталог генеришу и бројеви улаза у табелу са адресама прекидних рутина за спољашње маскирајуће прекиде који долазе од улазно/излазних уређаја по линијама (1) INTR3, (2) INTR2, (3) INTR1 и (4) INTR0. За селективно маскирање спољашњих маскирајућих прекида који долазе од улазно/излазних уређаја по линијама (1) INTR3, (2) INTR2, (3) INTR1 и (4) INTR0, користе се разреди (1) IMR3, (2) IMR2, (3) IMR1 и (4) IMR0 регистра маске IMR, респективно. Генерисани бројеви улаза су осмо битне целобројне величине без знака. Нацртати и објаснит шему за генерисање бројева улаза за ова четири прекида уколико се адресе прекидних рутина за прекиде (1), (2), (3) и (4) налазе у улазима 11, 10, 9 и 8 табеле са адресама прекидних рутина и уколико прекид (1) има највиши, прекид (2) нижи, прекид (3) још нижи и прекид (4) најнижи приоритет.

II (15) (K1) Адресни простор процесора је величине 8GB, адресбилна јединица је 16-битна реч, а вишечни бројеви се смештају тако да је на вишој адреси нижа реч. Процесор је једноадресни са раздвојеним меморијским и У/И адресним просторима, а механизам прекида је векторисан. IV (*Interrupt Vector*) табела почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 16h. Процесор има једну улазну линију IRQM за спољне маскирајуће прекиде и једну улазну линију IRQN за спољне немаскирајуће прекиде, којима се може додели произвољан улаз у IV табели. Постоји још и линија INTA којом процесор одобрава прекид и захтева постављање броја улаза на магистралу података. Не постоји посебан уређај, контролер прекида, већ се приотитирање маскирајућих прекида обавља користећи Daisy chainig. На линију IRQM су везане три периферије, PER1, PER2 и PER3, при чему је PER1 највишег приоритета, а на линију IRQN периферија PERN, којима треба доделити улазе 1, 3, 5 и 7 у вектор табели, и којима одговарају прекидне рутине на адресама 1007h, 1000h, 1003h и 1010h, респективно. Адресе 8-битних регистара у којима се чувају бројеви улаза су 24h, 15h, 42h и 6Ah респективно. У PSW-у постоји бит I (*Interrupt Enable*) који се брише у микропрограму за обраду прекида, не постоје L бити. При прекиду се на стеку чувају ACC, PSW и PC тим редом. Стек расте према нижим локацијама. Акумулатор је 16-битни. Дат је део главног програма на слици 1, прекидне рутине на слици 2. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 3. инструкције стиже захтев за прекид од периферије PER1, у току 6. од периферије PER2, а у току 8. од периферије PERN. На почетку су сви бити PSW-а постављени на 0. Инструкције INTE и INTD не реагују на прекид. Почетни садржај локације 1h је 0.

Слика 1 Адреса Наредба

0100h INTE
0101h LOAD 1h
0104h DECA
0105h STORE 1h
0108h INCA
0109h INTD

Слика 2 Адреса Наредба

1000h INCA
1001h INCA
1002h RTI
1003h INTE
1004h DECA
1005h INTE

1006h RTI

1007h INTE
1008h LOAD 1h
100Bh INCA
100Ch STORE 1h
100Fh RTI
1010h LOAD 1h

1013h XOR #1h

1016h STORE 1h
1019h RTI

а) (3) Написати део програма којим се додељују бројеви улаза наведеним периферијама.

б) (3) Нацртати изглед првих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.

с) (3) Нацртати принципијелну структурну шему овог система.

д) (3) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.

е) (3) Приказати садржај свих познатих локација на врху стека након извршавања 9. инструкције. За сачувану вредност PSW дати само вредност бита I. Назначити у коме смеру расте стек.



Архитектура Рачунара
Први колоквијум

I. (10) (K1) 1. (5) У процесору са векторисаним механизмом прекида у оквиру хардверског дела опслуживања захтева за прекид на стек се стављају и то по следећем редоследу: програмски бројач PC, програмска статусна реч PSW, акумулатор ACC, адресни регистри AR0 и AR1, базни регистри BR0 и BR1, и индексни регистри XR0 и XR1. Повратак из прекидне рутине се реализује инструкцијом RTI. Објаснити шта се све и по ком редоследу ради у оквиру извршавања ове инструкције.

2. (5) У процесору са векторисаним механизмом прекида се у оквиру хардверског дела опслуживања захтева за прекид поред осталог генеришу и бројеви улаза у табелу са адресама прекидних рутина за спољашње маскирајуће прекиде који долазе од улазно/излазних уређаја по линијама (1) INTR3, (2) INTR2, (3) INTR1 и (4) INTR0. За селективно маскирање спољашњих маскирајућих прекида који долазе од улазно/излазних уређаја по линијама (1) INTR3, (2) INTR2, (3) INTR1 и (4) INTR0, користе се разреди (1) IMR3, (2) IMR2, (3) IMR1 и (4) IMR0 регистра наске IMR, респективно. Генерисани бројеви улаза су осмо битне целобројне величине без знака. Нацртати и објаснит шему за генерисање бројева улаза за ова четири прекида уколико се адресе прекидних рутина за прекиде (1), (2), (3) и (4) налазе у улазима 11, 10, 9 и 8 табеле са адресама прекидних рутина и уколико прекид (1) има највиши, прекид (2) нижи, прекид (3) још нижи и прекид (4) најнижи приоритет.

II (15) (K1) Адресни простор процесора је величине 8GB, адресбилна јединица је 16-битна реч, а 32-битни бројеви се смештају тако да је на нижој адреси нижа реч. Процесор је једноадресни са раздвојеним улазно-излазном адресним простором, а механизам прекида је векторисан. Интерапт вектор (IV) табела има 4 фиксних улаза и почиње од адресе 2h. Процесор има три улазне линију IRQM1, IRQM2 и IRQM3 за спољне маскирајуће прекиде, при чему је IRQM1 највишег приоритета а IRQM3 најнижег. Њима су придружени улази 3, 2, и 0 у IV табелу, респективно. Улаз 1 се користи у свим осталим случајевима и њему одговара прекидна рутина на адреси 1002h. У PSW-у постоје бити I (Interrupt Enable) и T (Trap) који се бришу у микропрограму за обраду прекида, као и одређен број L бита. При прекиду се на стеку чувају ACC, PSW и PC тим редом. Стек расте према нижим локацијама. Акумулатор је 16-битни. Инструкције INTE, INTD, RTI, TRPE и TRPD не реагују на прекиде. Не прихвата се прекид истог нивоа приоритета. Не постоји регистар маске IMR. Сваки контролер периферије генерише захтев за преки када је бит READY у његовом статусном регистру постављен на 1. Статусни регистри за периферија које су закачене на линије IRQM1, IRQM2 и IRQM3 налазе се редом на адресама FF01h, FF02h и FF03h, а бит READY су редом на позицијама 1, 2 и 3. Прекидне рутине ових периферија почињу на адресама 1006h, 1008h и 100Ch. Дат је део главног програма на слици 1, прекидне рутине на слици 2. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид по линији IRQM1, у току 4. по линији IRQM3, а у току 5. по линији IRQM2. На почетку су сви бити PSW-а постављени на 0.

Слика 1	Адреса	Наредба	Слика 2	Адреса	Наредба	Адреса	Наредба	Адреса	Наредба	
	0100h	INTE		1000h	INCA		1006h	INCA	100Ch	PUSHA
	0101h	LOAD #1h		1001h	RTI		1007h	RTI	100Dh	INCA
	0102h	INCA		1002h	POPA		1008h	#@%^~!	100Eh	POPA
	0103h	INTD		1003h	INCA		1009h	LOAD #1h	100Fh	RTI
	0104h	STORE 1h		1004h	PUSHA		100Ah	TRPE	1010h	INCA
	0105h	TRPD		1005h	RTI		100Bh	RTI	1011h	RTI

- Нацртати изглед свих улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.
- Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.
- Приказати садржај свих познатих локација на врху стека након извршавања 8. инструкције. За сачувану вредност PSW дати само вредности бита I, T и L. Назначити у коме смеру расте стек.
- Уколико би процесор поседовао само једну линију за спољашње маскирајуће прекиде IRQ написати “главну” прекидну рутину, на коју процесор прелази по пријему захтева за прекид по линији IRQ. Прекидне рутине периферија треба да остану непромењене.
- Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h уколико би се користио модификовани процесор описан у тачки под d). Напомена: приликом одређивања тренутка пристизања прекида не бржати инструкције “главне” прекидне рутине.



Архитектура Рачунара

I (10) (K) 1 (5) У оквиру извршавања прекидне рутине неке периферије стиже захтев за прекид од неке друге периферије.

a) Навести услове који треба да буду испуњени да би се захтев за прекид прихватио и скочило на прекидну рутину те периферије.

b) За сваки од услова навести на који начин и када се мења и да ли се то чини хардверски или софтверки.

2. (5) У процесору са векторисаним механизмом прекида у оквиру хардверског дела опслуживања захтева за прекид на стек се стављају и то по следећем редоследу: програмски бројач PC, програмска статусна реч PSW, акумулатор ACC, адресни регистри AR0 и AR1, базни регистри BR0 и BR1, и индексни регистри XR0 и XR1. Повратак из прекидне рутине се реализује инструкцијом RTI. Објаснити шта се све и по ком редоследу ради у оквиру извршавања ове инструкције.

II (15) (K) Адресни простор процесора, са раздвојеним меморијским и улазно-излазним адресним простором, је величине 16GB, адресибилна јединица је 32-битна реч, а вишечерни бројеви се смештају тако да је на вишој адреси нижа реч. Процесор је једноадресни, а механизам прекида је векторисан. Интерапт вектор (IV) табела има 256 улаза и почиње од адресе 32. Процесор има две улазне линију IRQM1 и IRQM2 за спољне маскирајуће прекиде, при чему је IRQM2 вишег приоритета, и једну улазну линију IRQN за спољне немаскирајуће прекиде. На њих су везане три периферије, PERM1, PERM2 и PERN којима треба доделити улазе 0, 5 и 3 у вектор табели, и којима одговарају прекидне рутине на адресама 1002h, 1008h и 1000h, респективно. Адресе 8-битних регистара у којима се чувају бројеви улаза су 15h, ACh и EFh, респективно. Улаз 1, коме одговара прекидна рутина на адреси 1005h, се користи у случају прекида после сваке инструкције. У PSW-у постоји бити I (*Interrupt Enable*) и T (*Trap*) који се бришу у кораку за обраду прекида, као и одређен број L бита. При прекиду се на стеку чувају PSW и PC тим редом. Стек расте према нижим локацијама. Акумулатор и PSW су 32-битни. Инструкције INTE, INTD, INT, TRPE, TRPD и RTI не реагују на прекиде. Не прихвата се прекид истог нивоа приоритета. У случају када се генерише више прекида истовремено прво се прихвата инструкција INT, па Trap, па немаскирајући па маскирајући прекиди. Постоји двобитни регистар маске IMR, његова почетна вредност је 11b. Инструкција INT, прекид после сваке инструкције и немаскирајући прекиди не мењају вредности L бита. Дат је део главног програма на слици 1, прекидне рутине на слици 2, изглед дела меморије почев од адресе 0 дат је на слици 3. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 1. инструкције стиже захтев за прекид по линији IRQM1, у току 2. по линији IRQM2, а у току 5. по линији IRQN. Почетни садржај акумулатора је 10h. На почетку су сви бити PSW-а постављени на 0.

<u>Адреса</u>	<u>Наредба</u>	<u>Адреса</u>	<u>Наредба</u>	<u>Адреса</u>	<u>Наредба</u>	<u>Адреса</u>	<u>Садржај</u>
0100h	INTE	1000h	INCA	1006h	INCA	0000h	1234h
0101h	LOAD 1h	1001h	RTI	1007h	RTI	0001h	2345h
0102h	TRPE	1002h	INTE	1008h	INTE	0002h	3456h
0103h	INTD	1003h	INT #1h	100Ah	INCA	0003h	4567h
0104h	STORE 1h	1004h	RTI	100Bh	STORE 1h	0004h	5678h
0106h	TRPD	1005h	INTD	100Dh	RTI	0005h	6789h
Слика 1		Слика 2				Слика 3	

a) (3) Написати део програма којим се додељују бројеви улаза наведеним периферијама.

b) (3) Нацртати изглед првих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.

c) (3) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.

d) (3) Приказати садржај свих познатих локација на врху стека након извршавања 6. инструкције. За сачувану вредност PSW дати само вредност бита I, T и L. Назначити у коме смеру расте стек.

e) (3) Која ће се вредност налазити на адреси 1h након извршења секвенце под c)?

Напомене: На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје 1,5 сат.



Архитектура Рачунара
Први колоквијум

I. (10) (K1) 1. (5) У процесору са векторисаним механизмом прекида повратак из прекидне рутине се реализује инструкцијом RTI. Објаснити шта се све и по ком редоследу ради у оквиру извршавања ове инструкције водећи рачуна о варијантама реализација инструкције RTI у зависности од броја програмски доступних регистара у процесору.

2. (5) У процесору са векторисаним механизмом прекида се у оквиру хардверског дела опслуживања захтева за прекид поред осталог генеришу и бројеви улаза у табелу са адресама прекидних рутина за (1) унутрашњи прекид због грешке у коду операције (PRCOD), (2) *unutrašnji prekid zbog greške u načinu adresiranja* (PRADR), (3) спољашњи немаскирајући прекид (INM) и (4) унутрашњи прекид због задатог режима рада са прекидом после сваке инструкције (PRTRAP). Генерисани бројеви улаза су осмо битне целобројне величине без знака. Нацртати и објаснит шему за генерисање бројева улаза за ова четири прекида уколико се адресе прекидних рутина за прекиде (1), (2), (3) и (4) налазе у улазима 15, 14, 13 и 12 табеле са адресама прекидних рутина и уколико прекида (1) има највиши, прекид (2) нижи, прекид (3) још нижи и прекид (4) најнижи приоритет.

II (15) (K1) Адресни простор процесора је величине 8GB, адресибилна јединица је 32-битна реч, а вишечрпни бројеви се смештају тако да је на вишој адреси нижа реч. Процесор је једноадресни са меморијски пресликаним У/И адресним просторима, а механизам прекида је векторисан. IV (*Interrupt Vector*) табела почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 0h. Процесор има четири улазне линије IRQ0, IRQ1, IRQ2 и IRQ3 за спољне маскирајуће прекиде, при чему је IRQ3 највишег, а IRQ0 најнижег приоритета и једну улазну линију IRQN за спољне немаскирајуће прекиде на које су везане периферије PER0, PER1, PER2, PER3 и PERN респективно. Њима треба доделити улазе 0, 2, 4, 5 и 6 у вектор табели, и којима одговарају прекидне рутине на адресама 1000h, 1008h, 1003h, 100Fh, 1010h, респективно. Адресе 8-битних регистара у којима се чувају бројеви улаза су FF01h, FA02h, FBC5h, FE03 и F1D0h респективно. У PSW-у постоји бит I (*Interrupt Enable*) који се брише у кораку за обраду прекида, као и одређен број L бита. Не прихвата се прекид истог нивоа приоритета. При прекиду се на стеку чувају ACC, PSW и PC тим редом. Стек расте према нижим локацијама. Акумулатор је 32-битни. Инструкције INTE, INTD, RTI и INT не реагују на прекиде. Инструкција INT не мења ниво приоритета текућег програма. Дат је део главног програма на слици 1, прекидне рутине на слици 2. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид од периферије PER0, у току 6. од периферије PER2, а у току 8. од периферије PERN. На почетку су сви бити PSW-а постављени на 0. Почетни садржај локације 1h је 0.

Слика 1 Адреса Наредба

0100h INTE
0101h LOAD 1h
0103h INCA
0104h DECA
0106h STORE 1h
0107h INTD

Слика 2 Адреса Наредба

1000h INTD
1001h INT #2
1002h RTI
1003h INCA
1004h ADD #3h
1006h INTE

1007h RTI
1008h INTE
1009h LOAD 1h
100Bh INCA
100Ch STORE 1h
100Eh RTI
100Fh LOAD 1h

1010h AND #1h
1012h STORE 1h
1013h RTI

a) (4) Написати део програма којим се додељују бројеви улаза наведеним периферијама.

b) (4) Написати који опсег адреса заузима IV табела и објаснити како је добијен максималан број улаза у IV табелу.

c) (4) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.

d) (4) Приказати садржај свих познатих локација на врху стека након извршавања 10. инструкције. За сачувану вредност PSW дати само вредност бита I и L. Назначити у коме смеру расте стек.

e) (4) Која ће се вредност налазити на локацији 1h након извршења секвенце под b)?



Архитектура Рачунара
Први колоквијум

I (10) 1. (5) У процесору са векторисаним механизмом прекида у оквиру хардверског дела опслуживања захтева за прекид на стек се стављају и то по следећем редоследу: програмски бројач PC, програмска статусна реч PSW, акумулатор ACC, адресни регистри AR0 и AR1, базни регистри BR0 и BR1, и индексни регистри XR0 и XR1. Повратак из прекидне рутине се реализује инструкцијом RTI. Објаснити шта се све и по ком редоследу ради у оквиру извршавања ове инструкције.

2. (5) У процесору са векторисаним механизмом прекида се у оквиру хардверског дела опслуживања захтева за прекид поред осталог генеришу и бројеви улаза у табелу са адресама прекидних рутина за спољашње маскирајуће прекиде који долазе од улазно/излазних уређаја по линијама (1) INTR3, (2) INTR2, (3) INTR1 и (4) INTR0. За селективно маскирање спољашњих маскирајућих прекида који долазе од улазно/излазних уређаја по линијама (1) INTR3, (2) INTR2, (3) INTR1 и (4) INTR0, користе се разреди (1) IMR3, (2) IMR2, (3) IMR1 и (4) IMR0 регистра наске IMR, респективно. Генерисани бројеви улаза су осмо битне целобројне величине без знака. Нацртати и објаснит шему за генерисање бројева улаза за ова четири прекида уколико се адресе прекидних рутина за прекиде (1), (2), (3) и (4) налазе у улазима 11, 10, 9 и 8 табеле са адресама прекидних рутина и уколико прекид (1) има највиши, прекид (2) нижи, прекид (3) још нижи и прекид (4) најнижи приоритет.

II (15) Адресни простор процесора, са раздвојеним меморијским и улазно-излазним адресним простором, је величине 8GB, адресбилна јединица је 16-битна реч, а вишечерни бројеви се смештају тако да је на нижој адреси нижа реч. Процесор је једноадресни, а механизам прекида је векторисан. Интерапт вектор (IV) табела има 256 улаза и почиње од адресе 2h. Процесор има две улазне линију IRQM1 и IRQM2 за спољне маскирајуће прекиде, при чему је IRQM1 вишег приоритета, и једну улазну линију IRQN за спољне немаскирајуће прекиде. На њих су везане три периферије, PERM1, PERM2 и PERN којима треба доделити улазе 2, 4 и 6 у вектор табели, и којима одговарају прекидне рутине на адресама 1000h, 1002h и 1006h, респективно. Адресе 8-битних регистара у којима се чувају бројеви улаза су 1ABCh, 2345h и 5678h, респективно. Улаз 1, коме одговара прекидна рутина на адреси 1008h, се користи у случају прекида после сваке инструкције. У PSW-у постоји бити I (*Interrupt Enable*) и T (*Trap*) који се бришу у микропрограму за обраду прекида, као и одређен број L бита. При прекиду се на стеку чувају ACC, PSW и PC тим редом. Стек расте према нижим локацијама. Акумулатор је 16-битни. Инструкције INTE, INTD, RTI, TRPE и TRPD не реагују на прекиде. Не прихвата се прекид истог нивоа приоритета. У случају када се генерише више прекида истовремено прво се прихвата Tтар, па немаскирајући па маскирајући прекиди. Не постоји регистар маске IMR. Дат је део главног програма на слици 1, прекидне рутине на слици 2, изглед дела меморије почев од адресе 0 дат је на слици 3. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид по линији IRQM2, у току 5. по линији IRQN, а у току 9. по линији IRQM1.

Адреса Наредба
0100h TRPE
0101h INTE
0102h LOAD 1h
0103h INTD
0104h STORE 1h
0105h TRPD

Слика 1

Адреса Наредба
1000h INCA
1001h RTI
1002h POPA
1003h PUSHA
1004h DECA
1005h RTI

Слика 2

Адреса Наредба
1006h INCA
1007h RTI
1008h LOAD 2h
100Ah INCA
100Bh STORE 2h
100Dh RTI

Адреса Садржај
0000h 1000h
0001h F10Ah
0002h 0000h
0003h ABACh

Слика 3

- a)(3)** Написати део програма којим се додељују бројеви улаза наведеним периферијама.
b)(3) Нацртати изглед првих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.
c)(3) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.
d)(3) Приказати садржај свих познатих локација на врху стека након извршавања 6. инструкције. За сачувану вредност PSW дати само вредност бита I, T и L. Назначити у коме смеру расте стек.
e)(3) Која ће се вредност налазити у акумулатору након извршења секвенце под c)?



Архитектура Рачунара
Први колоквијум

I. (10) (K1) 1. (5) У оквиру извршавања прекидне рутине неке периферије стиже захтев за прекид од неке друге периферије.

a. Навести услове који треба да буду испуњени да би се захтев за прекид прихватио и скочило на прекидну рутину те периферије.

b. За сваки од услова навести на који начин и када се мења и да ли се то чини хардверски или софтверски.

2. (5) У процесору са векторисаним механизмом прекида се у оквиру хардверског дела опслуживања захтева за прекид поред осталог генеришу и бројеви улаза у табелу са адресама прекидних рутина за спољашње маскирајуће прекиде који долазе од улазно/излазних уређаја по линијама (1) INTR3, (2) INTR2, (3) INTR1 и (4) INTR0. За селективно маскирање спољашњих маскирајућих прекида који долазе од улазно/излазних уређаја по линијама (1) INTR3, (2) INTR2, (3) INTR1 и (4) INTR0, користе се разреди (1) IMR3, (2) IMR2, (3) IMR1 и (4) IMR0 регистра наске IMR, респективно. Генерисани бројеви улаза су осмо битне целобројне величине без знака. Нацртати и објаснит шему за генерисање бројева улаза за ова четири прекида уколико се адресе прекидних рутина за прекиде (1), (2), (3) и (4) налазе у улазима 11, 10, 9 и 8 табеле са адресама прекидних рутина и уколико прекид (1) има највиши, прекид (2) нижи, прекид (3) још нижи и прекид (4) најнижи приоритет.

II (15) (K1) Адресни простор процесора је величине 8GB, адресибилна јединица је 32-битна реч, а вишечрпни бројеви се смештају тако да је на вишој адреси нижа реч. Процесор је једноадресни са меморијски пресликаним У/И адресним просторима, а механизам прекида је векторисан. IV (*Interrupt Vector*) табела почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 0h. Процесор има четири улазне линије IRQ0, IRQ1, IRQ2 и IRQ3 за спољне маскирајуће прекиде, при чему је IRQ3 највишег, а IRQ0 најнижег приоритета и једну улазну линију IRQN за спољне немаскирајуће прекиде на које су везане периферије PER0, PER1, PER2, PER3 и PERN респективно. Њима треба доделити улазе 0, 2, 4, 5 и 6 у вектор табели, и којима одговарају прекидне рутине на адресама 1000h, 1008h, 1003h, 100Fh, 1010h, респективно. Адресе 8-битних регистара у којима се чувају бројеви улаза су FF01h, FA02h, FBC5h, FE03h и F1D0h респективно. У PSW-у постоји бит I (*Interrupt Enable*) који се брише у кораку за обраду прекида, као и одређен број L бита. Не прихвата се прекид истог нивоа приоритета. При прекиду се на стеку чувају ACC, PSW и PC тим редом. Стек расте према нижим локацијама. Акумулатор је 32-битни. Инструкције INTE, INTD, RTI и INT не реагују на прекиде. Инструкција INT не мења ниво приоритета текућег програма. Дат је део главног програма на слици 1, прекидне рутине на слици 2. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 1. инструкције стиже захтев за прекид од периферије PER2, у току 4. од периферије PERN, а у току 8. од периферије PER1. На почетку су сви бити PSW-а постављени на 0. Почетни садржај локације 1h је 0.

Слика 1

Адреса	Наредба
0100h	INTE
0101h	LOAD 1h
0103h	INCA
0104h	DECA
0106h	STORE 1h
0107h	INTD

Слика 2

Адреса	Наредба
1000h	INTD
1001h	INT #2
1002h	RTI
1003h	INCA
1004h	ADD #3h
1006h	INTE

1007h	RTI
1008h	INTE
1009h	LOAD 1h
100Bh	INCA
100Ch	STORE 1h
100Eh	RTI
100Fh	LOAD 1h

1010h	AND #1h
1012h	STORE 1h
1013h	RTI

a) (3) Написати део програма којим се додељују бројеви улаза наведеним периферијама.

b) (3) Написати који опсег адреса заузима IV табела и објаснити како је добијен максималан број улаза у IV табелу.

c) (3) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.

d) (3) Приказати садржај свих познатих локација на врху стека након извршавања 10. инструкције. За сачувану вредност PSW дати само вредност бита I и L. Назначити у коме смеру расте стек.

e) (3) Која ће се вредност налазити на локацији 1h након извршења секвенце подc)?



Архитектура Рачунара
Први колоквијум

I. (10) (K1) 1. (5) У процесору са векторисаним механизмом прекида у оквиру хардверског дела опслуживања захтева за прекид на стек се стављају и то по следећем редоследу: програмски бројач РС, програмска статусна реч PSW, акумулатор ACC, адресни регистри AR0 и AR1, базни регистри BR0 и BR1, и индексни регистри XR0 и XR1. Повратак из прекидне рутине се реализује инструкцијом RTI. Објаснити шта се све и по ком редоследу ради у оквиру извршавања ове инструкције.

2. (5) У процесору са векторисаним механизмом прекида се у оквиру хардверског дела опслуживања захтева за прекид поред осталог генеришу и бројеви улаза у табелу са адресама прекидних рутина за спољашње маскирајуће прекиде који долазе од улазно/излазних уређаја по линијама (1) INTR3, (2) INTR2, (3) INTR1 и (4) INTR0. За селективно маскирање спољашњих маскирајућих прекида који долазе од улазно/излазних уређаја по линијама (1) INTR3, (2) INTR2, (3) INTR1 и (4) INTR0, користе се разреди (1) IMR3, (2) IMR2, (3) IMR1 и (4) IMR0 регистра наске IMR, респективно. Генерисани бројеви улаза су осмо битне целобројне величине без знака. Нацртати и објаснит шему за генерисање бројева улаза за ова четири прекида уколико се адресе прекидних рутина за прекиде (1), (2), (3) и (4) налазе у улазима 11, 10, 9 и 8 табеле са адресама прекидних рутина и уколико прекид (1) има највиши, прекид (2) нижи, прекид (3) још нижи и прекид (4) најнижи приоритет.

II (15) (K1) Адресни простор процесора је величине 16GB, адресибилна јединица је 32-битна реч, а вишечрци бројеви се смештају тако да је на вишој адреси нижа реч. Процесор је двоадресни са меморијски пресликаним У/И адресним просторима, а механизам прекида је векторисан. IV (*Interrupt Vector*) табела почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 0h. Процесор има четири улазне линије IRQ0, IRQ1, IRQ2 и IRQ3 за спољне маскирајуће прекиде, при чему је IRQ3 највишег, а IRQ0 најнижег приоритета на које су везане периферије PER0, PER1, PER2 и PER3 респективно. Њима треба фиксно доделити улазе 0, 2, 4, и 6 у вектор табели, и којима одговарају прекидне рутине на адресама 1000h, 1008h, 1003h и 1010h, респективно. У PSW-у постоје бити I (*Interrupt Enable*) и T (*Trap*) који се бришу у кораку за обраду прекида и бите L1...L0. При прекиду се на стеку чувају ACC, PSW и PC тим редом. Стек расте према нижим локацијама, а SP показује на последњу заузету локацију. Постоји један регистар података (акумулатор, ACC) и 4 адресних регистара, X0 до X3, сви су 32-битни. Не постоји могућност селективног маскирања прекида. Постоји и *trap* режим, који се задаје инструкцијом TRPE, а укида инструкцијом TRPD.

За описани процесор пројектује се програм за сакупљање статистике о извршеним инструкцијама. Овај програм заснива се на *trap* прекидној рутини, која има задатак да прочита прву реч инструкције која је на реду за извршавање у програму који се анализира. Сама анализа инструкције налази се у потпрограму *Stat*, који не треба писати. Потребно је написати само *trap* прекидну рутину, која има задатак да прву реч инструкцију која је следећа на реду за извршавање у главном програму смести у локацију на адреси 100h, позове процедуру *Stat* (CALL *Stat*), и по повратку из ње врати се у главни програм на регуларан начин. Евентуалну другу реч инструкције анализираће процедура *Stat*. Дозвољено је користити све начине адресирања.

а) Написати описану *trap* прекидну рутину.

б) Да ли је могуће, у описаном процесору, хардверски обезбедити да се *trap* прекидна рутина ни на који начин не може прекинути од стране спољашњег маскирајућег прекида, чак и ако је бит I у њој постављен на 1 (дозвољени су маскирајући прекиди)? Ако јесте, прецизно објаснити како то треба извести. Ако није, прецизно објаснити шта треба изменити у процесору, да би то било могуће.

в) Да ли је могуће анализирати, уместо инструкције која је следећа на реду за извршавање, инструкцију која је *управо извршена* (из које се стигло у *trap* рутину)? Ако јесте, прецизно објаснити како то треба извести. Ако није, прецизно објаснити зашто то није могуће.



Архитектура Рачунара

I (10) (K) 1 (5) У оквиру извршавања прекидне рутине неке периферије стиже захтев за прекид од неке друге периферије.

- а. Навести услове који треба да буду испуњени да би се захтев за прекид прихватио и скочило на прекидну рутину те периферије.
- б. За сваки од услова навести на који начин и када се мења и да ли се то чини хардверски или софтверки.

2. (5) У процесору са векторисаним механизмом прекида се у оквиру хардверског дела опслуживања захтева за прекид поред осталог генеришу и бројеви улаза у табелу са адресама прекидних рутина за спољашње маскирајуће прекиде који долазе од улазно/излазних уређаја по линијама (1) INTR3, (2) INTR2, (3) INTR1 и (4) INTR0. За селективно маскирање спољашњих маскирајућих прекида који долазе од улазно/излазних уређаја по линијама (1) INTR3, (2) INTR2, (3) INTR1 и (4) INTR0, користе се разреди (1) IMR3, (2) IMR2, (3) IMR1 и (4) IMR0 регистра наске IMR, респективно. Генерисани бројеви улаза су осмо битне целобројне величине без знака. Нацртати и објаснит шему за генерисање бројева улаза за ова четири прекида уколико се адресе прекидних рутина за прекиде (1), (2), (3) и (4) налазе у улазима 11, 10, 9 и 8 табеле са адресама прекидних рутина и уколико прекид (1) има највиши, прекид (2) нижи, прекид (3) још нижи и прекид (4) најнижи приоритет.

II (15) (K) Адресни простор процесора, са раздвојеним меморијским и улазно-излазним адресним простором, је величине 8GB, адресибилна јединица је 16-битна реч, а вишеречни бројеви се смештају тако да је на вишој адреси нижа реч. Процесор је једноадресни, а механизам прекида је векторисан. Интерапт вектор (IV) табела има 256 улаза и почиње од адресе 128. Процесор има три улазне линију IRQM0, IRQM1 и IRQM2 за спољне маскирајуће прекиде, при чему је IRQM2 највишег приоритета, а IRQM0 најнижег приоритета, а и једну улазну линију IRQN за спољне немаскирајуће прекиде. На њих су везане периферије, PERM0, PERM1, PERM2 и PERN којима треба доделити улазе 1, 2, 3 и 4 у вектор табели, и којима одговарају прекидне рутине на адресама 1000h, 1001h, 1009h и 100Dh, респективно. Адресе 8-битних регистара у којима се чувају бројеви улаза су FFh, EEh, DDh и CCh респективно. Улаз 0, коме одговара прекидна рутина на адреси 1001h, се користи у случају прекида после сваке инструкције. У PSW-у постоји бити I (*Interrupt Enable*) и T (*Trap*) који се бришу у кораку за обраду прекида, као и одређен број L бита. При прекиду се на стеку чувају ACC, PSW и PC тим редом. Стек расте према нижим локацијама. Акумулатор и PSW су 16-битни. Инструкције INTE, INTD, INT, TRPE и TRPD не реагују на прекиде. Инструкција RTI реагује на све прекиде изузев прекида после сваке инструкције. Не прихвата се прекид истог нивоа приоритета. У случају када се генерише више прекида истовремено прво се прихвата унутрашњи прекид, па инструкција INT, па Trap, па немаскирајући па маскирајући прекиди. Не постоји IMR регистар. Унутрашњи прекиди, инструкција INT, прекид после сваке инструкције и немаскирајући прекиди не мењају вредности L бита. Дат је део главног програма на слици 1, прекидне рутине на слици 2, изглед дела меморије почев од адресе 0 дат је на слици 3. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 1. инструкције стиже захтев за прекид по линији IRQM1, у току 2. по линији IRQM2, а у току 5. по линији IRQN. Почетни садржај акумулатора је 10h. На почетку су сви бити PSW-а постављени на 0.

<u>Адреса Наредба</u>	<u>Адреса Наредба</u>	<u>Адреса Наредба</u>	<u>Адреса Садржај</u>
0100h INTE	1000h RTI	100Ah INT #1h	0000h 1234h
0101h TRPE	1001h LOAD 1h	100Bh INCA	0001h 2345h
0102h LOAD 1h	1004h DECA	100Ch RTI	0002h 3456h
0105h STORE 1h	1005h STORE 1h	100Dh TRPE	0003h 4567h
0108h INTD	1008h RTI	100Eh STORE 1h	0004h 5678h
0109h TRPD	1009h INCA	1010h RTI	0005h 6789h
Слика 1	Слика 2		Слика 3

- a) (3) Написати део програма којим се додељују бројеви улаза наведеним периферијама.
- b) (3) Нацртати изглед првих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.
- c) (3) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.
- d) (3) Приказати садржај свих познатих локација на врху стека након извршавања 7. инструкције. За сачувану вредност PSW дати само вредност бита I, T и L. Назначити у коме смеру расте стек.
- e) (3) Која ће се вредност налазити у акумулатору након извршења секвенце под c)?

Напомене: На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје 1,5 сат.

**Архитектура рачунара, Први колоквијум СИ 2008.
Решење задатка**

II)

- a) LOAD #01h
OUTB FFh
LOAD #02h
OUTB EFh
LOAD #03h
OUTB DDh
LOAD #04h
OUTB CCh

b)

број улаза у IV табелу	садржај	меморијска адреса
7		143 h
		142 h
6		141 h
		140 h
5		139 h
		138 h
4	100Dh	137 h
	0000h	136 h
3	1009h	135 h
	0000h	134 h
2	1001h	133 h
	0000h	132 h
1	1000h	131 h
	0000h	130 h
0	1001h	129 h
	0000h	128 h

- c) 0100h, 0101h, 0102h, 1001h, 1004h, 100Dh, 100Eh, 1001h, 1004h, 1005h, 1008h, 1010h, 1005h, 1008h, 1009h, 100Ah, 1000h, 100Bh, 100Ch, 1001h, 1004h, 1005h, 1008h, 0105h, 1001h, 1004h, 1005h, 1008h, 0108h, 0109h

d)

2345h
I=1 T=1 L=00
0105h
0000h
2344h
I=0 T=0 L=00
1005h
0000h
2344h
I=0 T=1 L=00
1010h
0000h

- e) ACC = 2345h



**Архитектура рачунара
Први колоквијум**

I. (10) (K1) 1. (5) У процесору са векторисаним механизмом прекида у оквиру хардверског дела опслуживања захтева за прекид на стек се стављају и то по следећем редоследу: програмски бројач PC, програмска статусна реч PSW, акумулатор ACC, адресни регистри AR0 и AR1, базни регистри BR0 и BR1, и индексни регистри XR0 и XR1. Повратак из прекидне рутине се реализује инструкцијом RTI. Објаснити шта се све и по ком редоследу ради у оквиру извршавања ове инструкције.

2. (5) У оквиру извршавања прекидне рутине неке периферије стиже само захтев за прекид од неке друге периферије.

а) Навести услове који треба да буду испуњени да би се захтев за прекид прихватио и скочило на прекидну рутину те периферије.

б) За сваки од услова навести на који начин и када се мења и да ли се то чини хардверски или софтверски.

II (15) (K1) Адресни простор процесора је величине 8GB, адресибилна јединица је 16-битна реч, а вишечерни бројеви и адресе се смештају тако да је на вишој адреси нижа реч. Процесор је једноадресни са раздвојеним меморијским и У/И адресним просторима, а механизам прекида је векторисан. IV (*Interrupt Vector*) табела почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 32h. Процесор има три улазне линије IRQ0, IRQ1 и IRQ2 за спољне маскирајуће прекиде, при чему је IRQ2 највишег, а IRQ0 најнижег приоритета и једну улазну линију IRQN за спољне немаскирајуће прекиде на које су везане периферије PER0, PER1, PER2, и PERN респективно. Њима треба доделити улазе 0, 2, 4 и 6 у вектор табели, и којима одговарају прекидне рутине на адресама 1000h, 1005h, 1009h и 1012h, респективно. Прекиду после сваке инструкције одговара улаз 4 у IV табели. Адресе 8-битних регистара у којима се чувају бројеви улаза су FF01h, FA02h, FBC5h и F1D0h респективно. У PSW-у постоје бити I (*Interrupt Enable*) и T (*Trap*) који се бришу у кораку за обраду прекида, као и одређен број L бита. Не прихвата се прекид истог нивоа приоритета. При прекиду се на стеку чувају PC, PSW и ACC тим редом. Стек расте према вишим локацијама. Акумулатор је 16-битни. Инструкције TRPE, TRPD, INTE, INTD, RTI и INT не реагују на прекиде. Уколико је у истом тренутку присутно више захтева за прекидом прво се прихватају унутрашњи прекиди, прекид после сваке инструкције, спољашњи немаскирајући прекиди па спољашњи маскирајући прекиди. Једино спољашњи маскирајући прекиди мењају ниво приоритета текућег програма. Дат је део главног програма на слици 1, прекидне рутине на слици 2. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 1. инструкције стиже захтев за прекид од периферије PER2, у току 3. од периферије PER0, а у току 6. од периферије PERN. На почетку су сви бити PSW-а постављени на 0. Почетни садржај акумулатора и локације 1h је 0.

Слика 1

Адреса Наредба

0100h INTE
0101h TRPE
0102h INCA
0103h STORE 1h
0106h INTD
0107h TRPD

Слика 2

Адреса Наредба

1000h POPA
1001h ADD #2
1003h PUSHA
1004h RTI
1005h ADD #3h
1007h INTE

1008h RTI
1009h INTE
100Ah LOAD 1h
100Dh INCA
100Eh STORE 1h
1011h RTI
1012h LOAD 1h

1015h AND #1h
1016h STORE 1h
1019h RTI

а) (3) Написати део програма којим се додељују бројеви улаза наведеним периферијама.

б) (3) Нацртати изглед првих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.

в) (3) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.

г) (3) Приказати садржај свих познатих локација на врху стека након извршавања 12. инструкције. За сачувану вредност PSW дати само вредност бита I и L. Назначити у коме смеру расте стек.

д) (3) Која ће се вредност налазити на локацији 1h након извршења секвенце под в)?



Архитектура Рачунара
Први колоквијум

I. (10) (K1) 1. (5) У оквиру опслуживања прекида на стеку се чувају неки регистри процесора.

а) Навести који се регистри чувају и зашто.

б) Навести који се регистри обавезно чувају хардверски а који могу и хардверски софтверски. За оне који могу да се чувају и хардверски и софтверски навести од чега зависи како ће се чувати.

2. (5) У процесору са векторисаним механизмом прекида се у оквиру хардверског дела опслуживања захтева за прекид поред осталог генеришу и бројеви улаза у табелу са адресама прекидних рутина за спољашње маскирајуће прекиде који долазе од улазно/излазних уређаја по линијама (1) INTR3, (2) INTR2, (3) INTR1 и (4) INTR0. За селективно маскирање спољашњих маскирајућих прекида који долазе од улазно/излазних уређаја по линијама (1) INTR3, (2) INTR2, (3) INTR1 и (4) INTR0, користе се разреди (1) IMR3, (2) IMR2, (3) IMR1 и (4) IMR0 регистра маске IMR, респективно. Генерисани бројеви улаза су осмо битне целобројне величине без знака. Нацртати и објаснити шему за генерисање бројева улаза за ова четири прекида уколико се адресе прекидних рутина за прекиде (1), (2), (3) и (4) налазе у улазима 11, 10, 9 и 8 табеле са адресама прекидних рутина и уколико прекид (1) има највиши, прекид (2) нижи, прекид (3) још нижи и прекид (4) најнижи приоритет.

II (15) (K1) Адресни простор процесора је величине 128KB, адресбилна јединица је 16-битна реч, а 32-битни бројеви се смештају тако да је на нижој адреси нижа реч. Процесор је једноадресни, а механизам прекида је векторисан. Интерапт вектор (IV) табела има 8 фиксна улаза и почиње од адресе 2h. Процесор има две улазне линију IRQM0 и IRQM1 за спољне маскирајуће прекиде, при чему је IRQM0 вишег приоритета, и једну улазну линију IRQN за спољне немаскирајуће прекиде. Њима су придружени улази 1, 2 и 3 у IV табелу, респективно. Улаз 4 се користи у случају прекида после сваке инструкције (TRAP), а улаз 0 у свим осталим случајевима. У PSW-у постоје бити I (*Interrupt Enable*) и T (*Trap*) који се бришу у кораку за обраду прекида, као и одређен број L бита. При прекиду се на стеку чувају ACC, PSW и PC тим редом. Стек расте према нижим локацијама, а SP указује на прву слободну локацију. Акумулатор је 16-битни. Инструкције RTI, INTE, INTD, TRPE и TRPD не реагују на прекиде. Приликом опслуживања прекида прво се прихватају унутрашњи прекиди, па спољашњи немаскирајући, па спољашњи маскирајући прекиди па прекид после сваке инструкције *trap*. Не прихвата се прекид истог нивоа приоритета. Унутрашњи и спољашњи немаскирајући прекиди не мењају L бите. Постоји регистар маске IMR код кога бит *i* одговара линији *IRQMi* и његова почетна вредност је 10b. Дат је део главног програма на слици 1, прекидне рутине на слици 2, а на слици 3 изглед дела меморије почев од адресе 0. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид по линији IRQM0, у току 4. по линији IRQN, у току 5. по линији IRQM1. На почетку су сви бити PSW-а постављени на 0.

Слика1

Адреса	Наредба
0100h	LOAD #0h
0102h	STORE 1h
0104h	TRPE
0105h	INTE
0106h	ADD 0h
0108h	STORE 1h

Адреса	Наредба
010Ah	INTD
010Bh	TRPD
010Ch	INCA

Слика2

Адреса	Наредба
1000h	POPA
1001h	INCA
1002h	PUSHA
1003h	RTI
1004h	LOAD 1h
1006h	INCA
1007h	STORE 1h

Слика3

Адреса	Наредба	Адреса	Садржај
1009h	RTI	0000h	1000h
100Ah	DECA	0001h	1002h
100Bh	RTI	0002h	1000h
100Ch	INTE	0003h	1004h
100Dh	INCA	0004h	100Ah
100Eh	RTI	0005h	100Ch
		0006h	1004h

а)(3) На којим адресама започињу прекидне рутине за линије IRQ0, IRQ1 и IRQN.

б)(3) Написати део програма којим се иницијализује улаз 1 у вектор табели.

в)(3) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.

г)(3) Приказати садржај свих познатих локација на врху стека након извршавања 8. инструкције. За сачувану вредност PSW дати само вредности бита I, T и L. Назначити у коме смеру расте стек.

д)(3) Која ће се вредност налазити на локацији 1h након извршења секвенце под в)?



**Архитектура рачунара
Први колоквијум**

1. (5) У оквиру опслуживања прекида на стеку се чувају неки регистри процесора.
- Навести који се регистри чувају и зашто.
 - Навести који се регистри обавезно чувају хардверски а који могу и хардверски софтверски. За оне који могу да се чувају и хардверски и софтверски навести од чега зависи како ће се чувати.
2. (5) У процесору са векторисаним механизмом прекида оквиру хардверског дела опслуживања овог захтева за прекид се у зависности од врсте прекида на различите начине долази до броја улаза у табелу са адресама прекидних рутина. Навести како се долази до броја улаза у табелу са адресама прекидних рутина за следеће три врсте прекида:
- унутрашњи прекид због инструкције прекида,
 - унутрашњи прекид због грешке у коду операције и
 - спољашњи прекид од улазно/излазног уређаја за случај када улази нису фиксни.

II (15) Адресни простор процесора је величине 8GB, адресибилна јединица је 16-битна реч, а вишечерни бројеви се смештају тако да је на вишој адреси нижа реч. Процесор је једноадресни са раздвојеним меморијским и У/И адресним простором, механизам прекида је векторисан, IV (*Interrupt Vector*) табела почиње од адресе на коју указује регистар IVTP (*Interrupt Vector Table Pointer*), а регистар IVTP има вредност 16h. Процесор има три улазне линије IRQ0, IRQ1 и IRQ2 за спољне маскирајуће прекиде, при чему је IRQ2 највишег, а IRQ0 најнижег приоритета и једну улазну линију IRQN за спољне не маскирајуће прекиде на које су везане периферије PER0, PER1, PER2 и PERN респективно. Њима треба доделити улазе 1, 2, 3 и 6 у вектор табели, и којима одговарају прекидне рутине на адресама 100Ah, 1014h, 101Ah и 1000h, респективно. Адресе 8-битних регистара у којима се чувају бројеви улаза су FA01h, FBC3h, FD05h и FDB0h респективно. У PSW-у постоји бит I (*Interrupt Enable*) који се брише у кораку за обраду прекида, као и одређен број L бита. Не прихвата се прекид истог нивоа приоритета. При прекиду се на стеку чувају ACC, PSW и PC тим редом. Стек расте према нижим локацијама. Акумулатор је 16-битни. Инструкције INTE, INTD, RTI и INT не реагују на прекиде. Инструкција INT не мења ниво приоритета текућег програма. Дат је део главног програма на слици 1, прекидне рутине на слици 2. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 2. инструкције стиже захтев за прекид од периферије PER0, у току 4. од периферије PERN, а у току 7. од периферије PER1. На почетку су сви бити PSW-а постављени на 0. Почетни садржај локације 1h је 10h.

Слика 1

Адреса	Наредба
0100h	INTE
0101h	LOAD 1h
0103h	DECA
0104h	INCA
0106h	STORE 1h
0107h	INTD

Слика 2

Адреса	Наредба	100Eh	INTE	101Ah	INTD
1000h	LOAD 1h	100Fh	STORE 1h	101Bh	INT #2
1003h	AND #1h	1013h	RTI	101Ch	RTI
1006h	STORE 1h	1014h	INCA		
1009h	RTI	1015h	ADD #3h		
100Ah	LOAD 1h	1018h	STORE 1h		
100Dh	INCA	1019h	RTI		

- (3) Написати део програма којим се додељују бројеви улаза наведеним периферијама.
- (3) Нацртати изглед првих 8 улаза у вектор табели, означити адресе релевантних локација и уписати садржаје у њих.
- (3) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.
- (3) Приказати садржај свих познатих локација на врху стека након извршавања 11. инструкције. За сачувану вредност PSW дати само вредност бита I и L. Назначити у коме смеру расте стек.
- (3) Која ће се вредност налазити на локацији 1h након извршења секвенце под в)?

Напомене: На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје 1,5 сат.



Архитектура рачунара

I (10) 1. (5) У оквиру извршавања прекидне рутине неке периферије стиже захтев за прекид од неке друге периферије.

- а. Навести услове који треба да буду испуњени да би се захтев за прекид прихватио и скочило на прекидну рутину те периферије.
- б. За сваки од услова навести на који начин и када се мења и да ли се то чини хардверски или софтверски.

2. (5) У процесору са векторисаним механизмом прекида оквиру хардверског дела опслуживања овог захтева за прекид се у зависности од врсте прекида на различите начине долази до броја улаза у табелу са адресама прекидних рутина. Навести како се долази до броја улаза у табелу са адресама прекидних рутина за следеће три врсте прекида:

- а. унутрашњи прекид због инструкције прекида,
- б. унутрашњи прекид због грешке у коду операције и
- ц. спољашњи прекид од улазно/излазног уређаја за случај када улази нису фиксни.

II (15)

Адресни простор процесора је величине 1МВ, адресибилна јединица је 16-битна реч, а вишечерни бројеви се смештају тако да је на нижој адреси нижа реч. Процесор је једноадресни, а механизам прекида је векторисан. Интерапт вектор (IV) табела има 8 фиксних улаза и почиње од адресе 4h. Процесор има две улазне линије IRQM0 и IRQM1 за спољне маскирајуће прекиде, при чему је IRQM0 вишег приоритета, и једну улазну линију IRQN за спољне немаскирајуће прекиде. Њима су придружени улази 1, 2 и 3 у IV табелу, респективно. Улаз 4 се користи у случају прекида после сваке инструкције (TRAP), а улаз 5 у свим осталим случајевима. Прекидне рутине започињу на следећим адресама: 1012h, 101Bh, 1000h, 1009h, 100Fh респективно. У PSW-у постоје бити I (*Interrupt Enable*) и T (*Trap*) који се бришу у микропрограму за обраду прекида, као и одређен број L бита. При прекиду се на стеку чувају ACC, PSW и PC тим редом. Стек расте према нижим локацијама. Акумулатор је 32-битни. Инструкције RTI, INTE, INTD, TRPE и TRPD не реагују на прекиде. Не прихвата се прекид истог нивоа приоритета. Не постоји регистар маске IMR. Дат је део главног програма на слици 1 и прекидне рутине на слици 2. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 3. инструкције стиже захтев за прекид по линији IRQN, у току 5. по линији IRQM1, а у току 6. по линији IRQM0. На почетку су сви бити PSW-а постављени на 0. Почетни садржај локације 1h је 10h.

Слика 1

<u>Адреса</u>	<u>Наредба</u>
0100h	TRPE
0103h	LOAD #1h
0104h	INTE
0105h	INCA
0106h	STORE 1h
0109h	INTD

Слика 2

<u>Адреса</u>	<u>Наредба</u>
1000h	LOAD 1h
1003h	INCA
1004h	INTE
1005h	STORE 1h
1008h	RTI
1009h	POPA

100Ah	STORE 1h
100Dh	PUSHA
100Eh	RTI
100Fh	INTD
1010h	INT #2
1011h	RTI
1012h	LOAD 1h

1015h	AND #1h
1018h	STORE 1h
101Ah	RTI
101Bh	POPA
101Ch	ADD #3
101Fh	PUSHA
1020h	RTI

- а) На којим адресама започињу прекидне рутине за линије IRQM0 и IRQM1, респективно?
 б) Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.
 в) Приказати садржај свих познатих локација на врху стека након извршавања 7. инструкције. За сачувану вредност PSW дати само вредност бита I, T и L. Назначити у коме смеру расте стек.
 г) Која ће се вредност налазити на локацији 1h након извршења секвенце под в)?

Напомене: На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје 1,5 сат.



*Електротехнички факултет у Београду
Катедра за рачунарску технику и информатику*

04.04.2006.

Архитектура Рачунара

I (10) Питање

1. (5) У оквиру извршавања прекидне рутине неке периферије стиже захтев за прекид од неке друге периферије.

- a) Навести услове који треба да буду испуњени да би се захтев за прекид прихватио и скочило на прекидну рутину те периферије.
- b) За сваки од услова навести на који начин и када се мења и да ли се то чини хардверски или софтверски.

2. (5) У процесору са векторисаним механизмом прекида оквиру хардверског дела опслуживања овог захтева за прекид се у зависности од врсте прекида на различите начине долази до броја улаза у табелу са адресама прекидних рутина. Навести како се долази до броја улаза у табелу са адресама прекидних рутина за следеће три врсте прекида:

- a) унутрашњи прекид због инструкције прекида,
- b) унутрашњи прекид због грешке у коду операције и
- c) спољашњи прекид од улазно/излазног уређаја за случај када улази нису фиксни.

II (15) Задатак

Адресни простор процесора је величине 128KB, адресибилна јединица је 16-битна реч, а 32-битни бројеви се смештају тако да је на нижој адреси нижа реч. Процесор је једноадресни, а механизам прекида је векторисан. Интерапт вектор (IV) табела има 8 фиксна улаза и почиње од адресе 2h. Процесор има две улазне линије IRQ0 и IRQ1 за спољне маскирајуће прекиде, при чему је IRQ0 највишег приоритета, на које су везане периферије PER0 и PER1, респективно. Њима су придружени улази 0 и 1 у IV табелу, респективно. Процесор не прихвата прекид истог нивоа као што је текући. Улаз 2 у IV табели се употребљава у случају прекида после сваке инструкције (TRAP), а улаз 3 у свим осталим случајевима. Интерни прекиди су вишег приоритета од маскирајућих. У PSW-у постоје бити I (*Interrupt Enable*) и T (*Trap*) који се бришу у микропрограму за обраду прекида, као и одређен број L бита. При прекиду се на стеку чувају PSW и PC тим редом. Стек расте према нижим локацијама. Акумулатор је 16-битни. Дат је део главног програма на слици 1, прекидне рутине на слици 2, изглед дела меморије почев од адресе 0 дат је на слици 3. Инструкција на адреси 0100h означена је као 1. (прва) по редоследу извршавања, а свака следећа инструкција која се извршава означена је следећим редним бројем. У току извршавања 4. инструкције стиже захтев за прекид по линијама IRQ0 и IRQ1. На почетку су сви бити PSW-а постављени на 0. Не постоји IMR регистар.

Слика 1	Адреса	Наредба	Слика 2	Адреса	Наредба	Адреса	Наредба	Слика 3	Адреса	Садржај
0100	INTE		1000h	INTE		1006h	INCA	0000	0001h	
0101	LOAD #2h		1001h	POPA		1007h	POPA	0001	0000h	
0103	DIV 1h		1002h	ADD #2		1008h	RTI	0002	1005h	
0105	STORE 1h		1003h	PUSHA		1009h	INTE	0003	1008h	
0107	DECA		1004h	RTI		100Ah	INCA	0004	100Ah	
0108	INTD		1005h	PUSHA		100Bh	RTI	0005	1000h	

- На којим адресама започињу прекидне рутине за линије IRQ0 и IRQ1, респективно?
- Написати секвенцу адреса наредби које се редом извршавају, почев од адресе 0100h.
- Приказати садржај свих познатих локација на врху стека након извршавања 7. инструкције. За сачувану вредност PSW дати само вредност бита I и L. Назначити у коме смеру расте стек.
- Која ће се вредност налазити на локацији 1h након извршења секвенце под с)?

Напомене: На колоквијуму нису дозвољена никаква помоћна средства, ни калкулатори ни литература. Колоквијум траје 1,5 сат.

**Архитектура рачунара, Први колоквијум СИ 2006.
Решење задатка**

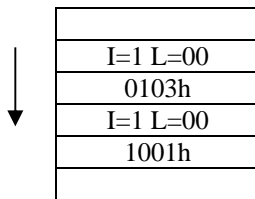
2)

a)

IRQ0 – 1005h
IRQ1 – 1008h

b) 100h, 101h, 103h, 1000h, 1005h, 1006h, 1007h, 1008h, 1008h, 1001h, 1002h, 1003h, 1004h, 105h, 107h, 108h

c)



d)

MEM[1] = 105h

4)