

VEZBA II-2 Kes memorija sa set asocijativnim preslikavanjem

1. WCNT=2 . Brojač WCNT (Wait CouNTer) služi za realizaciju čekanja između generisanja dve operacije. Dužina čekanja zavisi od sadržaja polja WAIT ulaza u memoriji TAB adresiranog sadržajem brojača WCNT.

2. OUT=1, IdMODE=1. Aktivna vrednost signala **IdMODE** bloka *keš interfejs* trajanja jedne periode signala takta i njome se u registar MODE upisuje vrednost iz polja MODE ulaza memorije TAB bloka *generisanje operacija*. Registar MODE (operation MODE) služi za čuvanje binarne vrednosti jedne od četiri operacije koje keš memorija **KEŠ** može da realizuje.

3. MODE=0 Postoji vrednost registra MODE=0, na izlazu dekodera aktivan je signal **rd**, što označava da je u pitanju operacija citanja. Procesor po linijama TADR i signalom IdPAR upisuje adresu sa koje se vrši citanje u registar PAR.

4. PRQ= 1, PRQRD=1 .Postoji aktivan signal PRQ , pa je zbog toga aktivan i signal PQRD, i počinje operacija citanja. Vrednost koja se nalazi u WCNT je 0, što znači da nema čekanja.

5. CAR=01A9. 6. Registar CAR (Cache Address Register) služi za čuvanje ili adrese lokacije memorije **MEM** sa koje treba očitati podatak u slučaju operacije čitanja ili adrese lokacije memorije **MEM** u koju treba upisati podatak u slučaju operacije upisa ili adrese lokacije memorije **MEM** koja pripada bloku koji treba, ukoliko je modifikovan, vratiti iz keš memorije **KEŠ** u memoriju **MEM** u slučaju operacije selektivnog vraćanja.

CRD flip flop služi da u memoriji KES upamti koje su operacije u toku. Vrednost se briše kada se operacija završi.

Vrednost signala CRD =1.

6. MAR=01A9. Predstavlja adresu početka bloka koji se čita iz MEM, a dobijena je kao kombinacija signala CAR_{5..15}, (MAR_{5..15}), MPIF_{0..2}(MAR_{2..4}), CNTBB_{0..1}(MAR_{0..1}).

7. MDRRD=A1

8. FIFO0=0 ,FIFO3=0.

9. selSENT=0, ovim signalom se selektuje broj ulaza u SET-u.

10. writeDATA0=1, writeDATA=0. Oni određuju u koji ulaz DATA memorije se upisuje.

11. DATA=00,A1,00,00 (set 2, ulaz 0). Postoji u pitanju FIFO algoritam kreće se od ulaza 0, a set je uredjen adresom.

12. CDRRD=A1 rec koju je CPU trazio. Registar CDRRD_{7..0} (Cache Data Register for Read) služi za čuvanje očitanoog podatka u slučaju operacije čitanja

13. MDRRD=A1

14. DATA=00,A1,A2,00 (set 2, ulaz 0)

15.adjFIFO=1 upravljacki signal koji služi za azuriranje FIFO brojaca

16.TAG[2]=01Ah, DATA=A0,A1,A2,A3.

17.selSENT=1

18. FIFO0=0, FIFO1=0, FIFO2=1, FIFO3=0.

19. TAG[2]=02Ah,DATA=B0,B1,B2,B3 (set 2,ulaz 1)

20. FIFO0=0, FIFO1=0, FIFO2=0, FIFO3=0.

21.CAR=02B8, CAR_{15..4}=43(tag),CAR_{3..2}=2(set), CAR_{1..0}=0(offset)

22.

takt	Clk=70	Clk=71	Clk=72	Clk=73
WriteDATABUF	1	1	1	0

Potreban je upis u Victim Cache.

23.MAR=02B8

24.selSENT=0

25.MDRRD=C0

26.TAG[2]=01Ah,DATA=C0,C1,C2,C3 (set 2, ulaz 0)

27.FIFO0=0, FIFO1=0, FIFO2=0, FIFO3=0.

28.TAG[2]=02Bh, DATA=C0,C1,C2,C3.